

Asymmetric 고 내압 MOSFET의 구조적 변화에 따른 고온 영역에서의 전기적 특성 분석

최인철, 이조운, 박태수, 구용서
서경대학교 전자공학과

A Study on the electrical characteristics of high voltage MOSFET with
the various structure under the high temperature condition

In-Chul Choi, Jo-Woon Lee, Tae-Su Park, Yong-Seo Koo
Dept. of Electronic Engineering, Seokyeong University

E-mail : redmoon1052@empas.com , ljw4831@empas.com , alamo@skuniv.ac.kr, yskoo@skuniv.ac.kr

Abstract

In this study, the electrical characteristic of asymmetric high voltage MOSFET (AHVMOSFET) for display IC was investigated. Measurement data are taken over range of temperature (300K-400K) and various extended drain length, and gate oxide thickness (175Å, 350Å). In high temperature condition, drain current decreased over 30% and max transconductance decreased over 40%, and specific on-resistance increased over 30% in comparison with room temperature.

I. 서론

최근 반도체 집적회로 기술의 비약적인 발전으로 전자기기의 경박 단소화가 이루어지면서 노트북 컴퓨터나 전자수첩, 휴대전화 등으로 대표되는 휴대기기의 보급이 급속하게 확대되어 가고 있고 멀티미디어화에 의해 음성, 문자, 데이터, 동화상등이 포함된 고기능 휴대용 통신기기 등이 대규모의 시장을 형성함에 따라 더욱더 유기 EL 용 구동 IC 기술의 국산화가 시급하다 할 수 있다. 이러한 유기 EL 구동 IC 는 동작 주변 환경이 주로 고온에서 동작하고 동작온도 범위가 넓기 때문에 다양한 온도 변화에 따라 안정적으로 동작하여야 한다.[1]

따라서 본 논문에서는 상온에서 400K 까지(step:50K) 고온 환경에서 소자의 구조적 변수(소자의 폭, 채널 길이, 드리프트 영역 길이)에 따라 두꺼운 산화막과 얇은 산화막을 갖는 Asymmetric MOSFET (AHVMOSFET) 의 전기적 특성을 측정 분석하였다.

II. 측정 및 측정방법

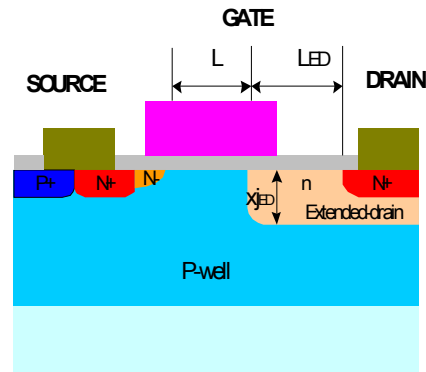


그림 1. 측정에 사용된 AHVMOSFET

측정에 사용된 소자 [그림 1]은 P-well 영역과 extended drain 영역으로 구성되어 있다. 소자의 구조적 변화는 소자 폭 (W), 채널 길이 (L), 드리프트 영역 길이(Led) 이고, gate oxide 두께에 따른 변화를 보기 위해서 175Å ,350Å 의 변화를 주었다. 온도 변화는 상온에서 400K 까지 50K step 으로 주었다. 고온 환경 조성에는 Hot-Chuck 및 온도 controller 를 사용

하고, 4145A 를 이용하여 전기적 특성을 분석하였다.

III. 측정 결과 및 분석

AHVMOSFET 는 구동 IC 의 전류 및 전압을 구동하는 스위치 역할을 한다. 따라서 높은 전압 및 전류 구동능력과 switching speed 는 AHVMOSFET 의 중요한 요소가 된다. [3] 본 논문에서는 위의 성능을 파악하기 위해 전기적 특성(On-resistance, 문턱전압, 트랜스 컨덕턴스, drain 전류) 에 대한 다양한 온도에서의 측정 및 분석을 하였다. 또한 gate oxide 두께변화에 따른 비교 분석을 하였다.

(1) Specific on resistance

On-resistance 는 소자가 스위칭 되는 동안의 power 손실을 나타내는 파라미터 로써 이는 전류 구동능력을 결정하게 된다. [2] on-resistance 가 작은 소자일수록 power 손실이 낮고 이에 따라 전류 구동능력이 크다.

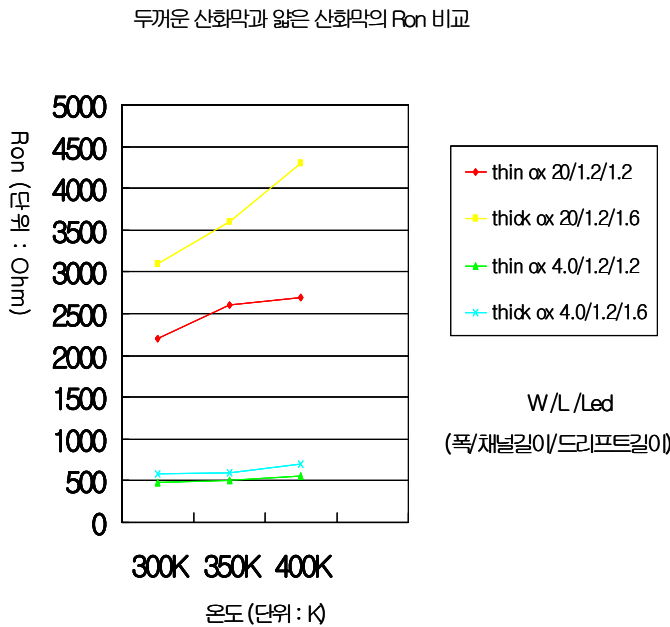


그림 2. 게이트 산화막 AHVMOSFET 두께 및 구조 변화 온도 변화에 따른 Ron

그림 2. 에서 보는 바와 같이 Ron 은 W가 큰 소자

에서 차이를 많이 보인 반면 작은 소자에서는 거의 나타나지 않았다. 온도의 영향에 따라서는 각각의 구조적 변화에 따라 저항이 커졌는데, W가 큰 소자에서는 그 변화 폭이 큼을 알 수 있었다. 또한, On-resistance 는 드레인 및 소스의 저항에 의해 좌우되며, On-resistance는 식(1) 로 표현 할 수 있다.

$$R_{on} = \frac{L_{ed}}{q\mu_n Q_{ed} W} + \frac{L_{es}}{q\mu_n Q_{es} W} \quad \text{-----(1)}$$

온도가 증가하면 lattice scattering 이 증가하게 된다. 이에 따라 carrier 의 mobility 는 감소하게 되고, Ron 은 증가하게 되며, 식(1)을 통해 알 수 있고, 측정을 통해서도 알 수 있었다.

(2) 문턱 전압 (Threshold voltage)

Substrate doping 이 낮을수록 문턱전압의 온도의존성이 낮아진다. 그러나 doping 이 낮으면 leakage current 가 증가하게 되어 power 소모가 커지는 단점을 가지게 된다.

두꺼운 산화막과 얇은 산화막의 Vt 비교

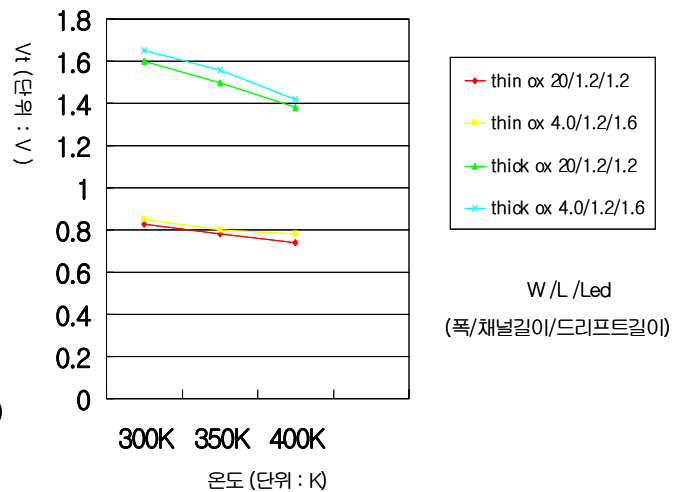


그림 3. 게이트 산화막 AHVMOSFET 두께 및 구조 변화 온도 변화에 따른 Vt

그림 3 은 온도 변화 환경에서 산화막의 변화에 따른 문턱전압의 변화를 나타낸 것으로 얇은 게이트 산화막 보다 두꺼운 산화막에서 문턱전압이 크게 증가하며, 그 크기는 산화막 두께의 비율인 두배에 가깝게 측정 되었

다.

$$V_i = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + 2\phi_F \quad \text{-----}(2)$$

$$C_i = \frac{\epsilon_i}{d} \quad \text{-----}(3)$$

(Φ_{ms} =metal-semiconductor work function difference. Q_i : charge density at the interface

Q_d : charge density in the depletion region

ϕ_F : fermi-potential

d : thickness of gate oxide)

이는 식 (2)(3) 에서도 알 수 있듯이 산화막 두께가 증가하면 C_i (insulator MOS capacitance /area) 가 감소하고, 이에 문턱 전압이 증가함을 식을 통해서도 알 수 있었다. [4][5]

(3) Transconductance

트랜스컨덕턴스는 gate-source 간의 전압의 변화에 따른 drain current 의 변화율이다. 트랜스컨덕턴스는 drain 전류와 마찬가지로 mobility 가 감소할수록 그 값이 감소하게 되는데 온도가 증가 하게 되면

$$\mu \propto T^{-n} (1 < n < 2.5) \quad \text{-----}(4)$$

식 (3) 에 의해 mobility 가 감소하므로 트랜스 컨덕턴스도 감소하게 된다.

두꺼운 산화막과 얇은 산화막의 gm 비교

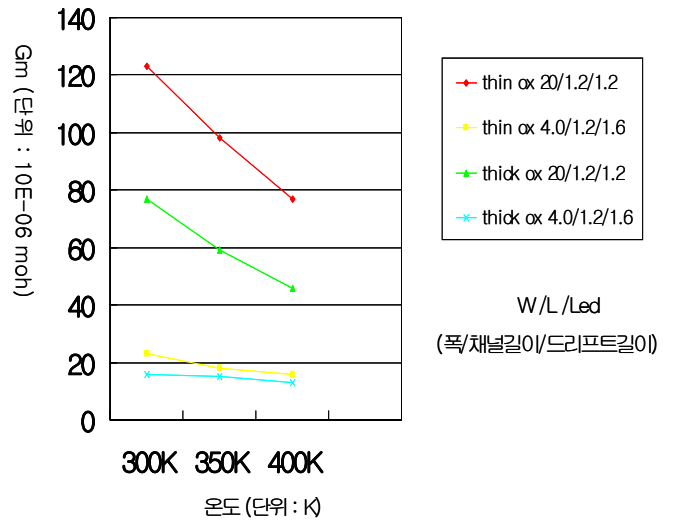


그림 4. 게이트 산화막 AHVMOSFET 두께 및 구조 변화 온도 변화에 따른 gm

그림 4. 에서는 두꺼운 산화막 일수록 낮은 트랜스컨덕턴스 값을 갖고, 상온에 가까울수록 그 차이는 고온에서 보다 더 큰 값을 가졌다.

$$I_{D(sat.)} \cong \frac{1}{2} \mu C_i \frac{Z}{L} (V_G - V_T)^2 = \frac{Z}{2L} \mu C_i V_D^2 \quad \text{-----}(5)$$

$$gm(sat.) = \frac{\partial I_{D(sat.)}}{\partial V_G} \cong \frac{Z}{L} \mu C_i (V_G - V_T) \quad \text{-----}(6)$$

식 4,5에서 알 수 있듯이 산화막이 두꺼워지면 드레인 전류가 감소하고, 이에 트랜스 컨덕턴스 또한 감소한다.

(4) drain current

drain current 는 saturation region 영역에서 측정하였다. 이는 다음과 같이 표현 할 수 있다.

$$I_{DS} = \frac{\mu C_{ox} W}{2L} (V_G - V_T)^2 \quad \text{-----}(7)$$

$$\frac{1}{\mu} = \frac{1}{\mu_L} + \frac{1}{\mu_1} + \dots \quad \text{-----}(8)$$

mobility 는 식 (8) 에 의해 결정되는데, mobility 에

dominant 하게 영향을 주는 항은 impurity scattering 과 lattice scattering 이다. 온도가 증가하면 lattice scattering 의 증가에 의해 surface mobility 가 감소하고 이로 인해 드레인 전류가 감소하게 된다. 식 (3)에서 처럼 드레인 전류에 가장 큰 영향을 미치는 mobility 는 온도가 증가하면 감소하므로 이 또한 트랜스컨덕턴스도 온도의 영향을 쉽게 받는 다는 것을 확인했다. 드레인 전류 또한 온도가 증가하면 감소하였으며, 드리프트 길이 및 채널 길이가 증가하면 감소함을 보였다. [6]

두꺼운 산화막과 얇은 산화막의 I_{dss} 비교

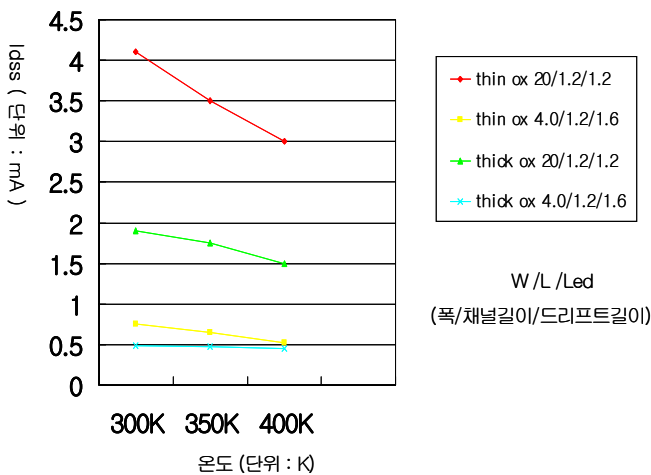


그림 5. 게이트 산화막 AHVMOSFET 두께 및 구조변화 온도 변화에 따른 I_{dss}

IV. 결론

본 논문에서는 고온 동작환경에서 extended drain (Led), 소자 길이 (L), 소자폭(W) 의 변화에 따른 얇은 게이트 산화막 AHVMOSFET (Asymmetric HV MOSFET) 과 두꺼운 게이트 산화막 AHVMOSFET 특성 변화를 살펴 보았다. drain current 는 gate voltage 5V 및 source-drain voltage 5V에서 측정하였다.

측정결과에서 볼 수 있듯이 On-resistance, 문턱전압, 트랜스컨덕턴스, 드레인 전류 등 소자의 여러 parameter 들이 열화 됨을 알 수 있었다. 드리프트 영역길이에 따른 변화는 드리프트 길이가 증가할수록 R_{on} (on-resistance) 은 증가하는 경향을 보였고, drain current 및 transconductance 는 감소하는 경향을 보임을 알 수 있었다. 이에 반해 문턱전압 (Threshold voltage) 는 드리프트

길이에 거의 변화가 없었다.

온도가 증가 함에 따라 R_{on} 은 증가하는 경향을 보였고, drain current , threshold voltage , transconductance 는 감소 하는 경향을 보였다.

구체적으로 살펴보면 400K에서의 드레인 전류가 상온에서 보다 약 30%이상 감소하고, 최대 트랜스컨덕턴스도 40%이하로 감소하고, On-resistance 는 30%정도 증가하는 것을 확인 하였다.

이를 통해 AHVMOSFET 설계 시, R_{on} 과 drain current, transconductance 등은 trade-off 관계를 가지고 있으므로 이들의 적절한 선택을 통한 스위칭 능력 및 전류 구동능력의 적절한 설계가 요구된다. 한편 V_t 는 substrate 농도가 낮을수록 온도에 덜 민감하게 되므로 이를 통하여 온도변화에 최적화된 소자구조를 구현할 수 있다.

참고문헌

[1]G. Dolny et al., "Characterization and Modeling of the Temperature Dependence of Lateral DMOS Transistor for High-Temperature Application of Power ICs", IEDM, pp789-792, 1990

[2]M. Amato et al., "Comparison of Lateral and Vertical DMOS Specific On-Resistance", IEDM, 736p-739p, 1985

[3]M. Willander, "High Temperature Electronics", 69p-119p, Chapman & Hall, 1997

[4]B. Jayanyt Baliga, "Power Semiconductor Devices", 336p-420p, PWS, 1996

[5]G. Groeseneken et al., "Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's", IEEE EDL, VOL.11, NO.8, 329p- 331p, AUG 1990

[6]TAK H. NING, "Fundamentals of modern VLSI Devices" 19p-21p, Cambridge, 2000

Acknowledgement

본 논문은 IT-SoC 사업단 및 ETRI의 지원으로 수행 되었으며, IDEC의 지원 장비를 활용하였습니다.