

동영상용 CSTN LCD 이미지 프로세서 설계 및 구현

*최인석, 조화현, 최명렬
*한양대학교 전자전기제어계측공학과
e-mail : {coolis, chh, choimy}@asic.hanyang.ac.kr

Implementation of Motion Picture Processor for CSTN LCD

*In-Seok Choi, Hwa-Hyun Cho, Myung-Ryul Choi
Dept. of EEIC, Hanyang University

Abstract

In this paper, we propose a motion picture processor for CSTN LCD. In order to eliminate flicker phenomenon, the proposed processor suggests a new driving scheme, SFP(Subgroup Frame Pattern). We use an input image compression method from RGB(8:8:8) to RGB(5:6:5) to improve quality of the image and apply the image to CSTN Module. The proposed hardware architecture has been implemented and verified using a FPGA on prototype board. The proposed Algorithm provide a lower computational complexity. Therefore the processor can be used in the display devices such as PDA, mobile phone and PMP(Portable Multimedia Player).

I. 서론

휴대형 디스플레이 장치는 캐릭터, 동영상 등 다양한 디지털 콘텐츠 서비스에 대한 수요가 확산되면서 컬러 LCD 채용이 크게 증가하고 있다. 휴대형 디스플레이 장치에서 컬러 LCD 동영상 구현을 위해서는 전력소모가 많고 고가의 TFT LCD대신 전력소모가 적고 저가의 CSTN LCD를

사용하는 것이 유리하다. CSTN LCD는 TFT LCD와 비교하여 단순한 드라이버 IC를 사용하고 구동전압과 낮은 공정 비용의 장점을 가지고 있다. 그러나 CSTN LCD는 긴 액정 응답시간과 수동 소자 방식 때문에 동영상을 디스플레이 하기에는 부적합 하였다. 동영상 구현이 가능하고 고화질 화면을 구현하기 위해서는 기존의 구동방식과는 다른 새로운 구동방식이 필요하다. 본 논문에서는 고화질 동영상 디스플레이를 위한 새로운 구동 방법을 제안하였다. 플리커 현상을 제거하기 위하여 SFP(Subgroup Frame Pattern) 방법을 제안하고 액정의 응답 시간을 보상하였다. 입력 RGB(8:8:8)를 CSTN LCD Module에 적용할 수 있도록, 비선형 양자화를 통한 RGB(5:6:5) 이미지를 추출하였다. 본 논문의 2장에서는 기존의 구동방법과 제안한 방법에 대하여 설명하고 3장에서는 FPGA 디바이스를 기반으로 제안된 시스템 구조와 검증 결과를 나타내었다. 4장에서는 결론에 대해 논하였다.

II. 본론

2.1 기존의 구동 방법

일반적인 LCD 구동 시스템은 라인 어드레스 구동 방법을 적용한다. 구동방법은 RMS(Root Mean

Square)전압을 이용한다. 이 장에서는 CSTN LCD를 위한 기존의 구동 방법을 설명한다.

2.1.1 IAPT(Improved Alt Pleshko Technique) 방법

IAPT 방법은 평균화법 구동법이라 불린다. 회로전압은 홀수 프레임에서 양의 주사전압(+Vs)이 걸리고, 짝수 프레임에서는 음의 주사전압(-Vs)이 걸린다. Column 전압은 픽셀전압(Vp)의 크기와 같다. 그러므로 Vp가 선택된 픽셀전압이라면 주사전 전압은 반대 극성 전압이 공급 되어지고 그렇지 않다면 같은 극성 전압이 공급되어진다. 구동방법은 식(1)에 정의된 RMS 전압에 동작한다.

$$V_{rms}^2 = \frac{1}{T} \int_0^T (v_s(t) - v_c(t))^2 dt \quad (1)$$

여기서 T는 프레임 시간, Vs는 주사전압, Vc는 Column 전압이다.

2.1.2. AA(Active Addressing) 방법

AA방법은 STN LCD에서 준동영상을 구현하기 위해 제안되었다[1]. 이 방법은 스캔연산에 의해 얻어지는 직교함수 집합과 Column 전압을 사용한다. 이 방법은 많은 전압 레벨과 처리회로 때문에 복잡한 회로를 필요로 한다. LCD는 픽셀전압(Vp)의 RMS 전압에 동작하며 식(2)로 나타낸다.

$$V_{rms}(i,j) = \frac{1}{\sqrt{T}} \sqrt{\int_0^T (Vs_i(t) - Vc_j)^2 dt} \quad (2)$$

각각의 스캔 i=1,2,3,...,N과 j=1,2,3,...,M은 주기 T를 가지는 주사전압과 Column전압에 의해 구동된다.

2.1.3. 그레이 표현(Grey Shading) 방법

일반적인 방법의 그레이 표현은 FRC(Frame Rate Control)에 의해 구현된다. 이 방법은 중간계조를 표현하기 위해 몇 개의 프레임을 사용하며, Black과 White 상태를 사용하여 중간 계조를 표현한다. 그레이 표현은 식(3)으로 표현된다.

$$V_{FRC} = \sqrt{\frac{f(V_{pon})^2 + (N-f)(V_{poff})^2}{N}} \quad (3)$$

여기서 f는 이미지 중간 계조의 십진수, N은 Sub-frame의 수, Vpon은 On-pixel 전압 이고 Vpoff는 Off-pixel 전압을 나타낸다. 그러나, FRC 방법은 인접한 픽셀이 동시에 Pixel On 또는 Off 될 때 플리커 현상이 발생된다.

2.2 제안된 방법

본 논문에서는 화질이 개선된 CSTN-LCD 동영상 프로세서를 제안한다. 플리커 현상을 감소시키기 위해 새로운 구동 방법인 SFP 방법을 사용하였으며 제안된 프로세서의 기본적인 구조는 그림 1과 같다.

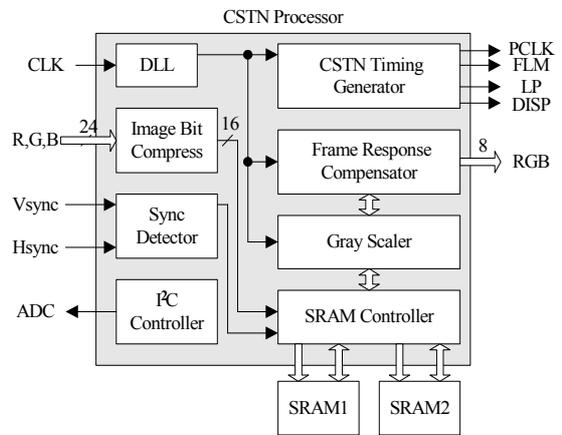


그림 1. 제안된 프로세서의 구조

2.2.1 Image Bit Compression(IBC)

LCD 시스템의 출력은 RGB(8:8:8 비트) 컬러 시스템을 사용한다. 시스템은 메모리 생산 제품이 16비트의 데이터 IO핀을 가지기 때문에 효율적인 메모리 관리를 수행하기 위한 압축 기술이 필요하다. 적용된 압축함수는 sigmoid 형태를 사용하여 입력 데이터 압축을 하였다. 이 함수는 RGB 입력 형식(8:8:8 비트)을 RGB 출력 형식 (5:6:5 비트)로 변환한다. 그림 2는 IBC (Image Bit Compression) 함수를 나타낸다.

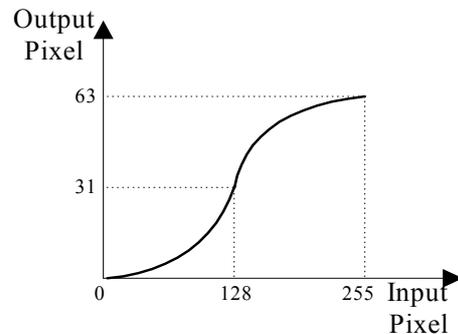


그림 2 Sigmoid 형태를 기초한 IBC 함수

2.2.2 동기 검출기

디지털 TV 와 PC 디스플레이 시스템은 VESA 타이밍 표준 형식에 따라 영상을 표시한다. 영상은 Vsync(Vertical Sync Timing)과 Hsync (Horizontal Sync Timing)으로 구성된다. 수직 동기 신호 Vsync는 영상의 첫 번째 시작신호를 나타내고, Sync 검출기는 sync 시작을 검출한다. 검출된 신호는 Controller 블록에 제어신호로 사용된다. 그림 3에 메모리 타이밍 파형을 나타낸다.

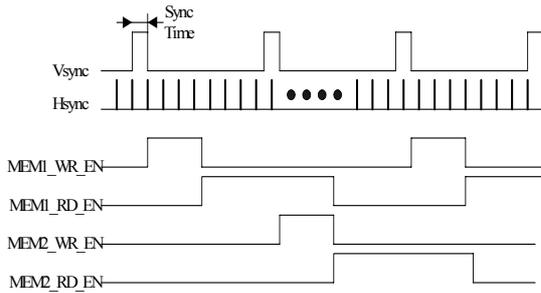


그림 3 메모리 타이밍 제어기의 파형 형태

2.2.3 메모리 제어

SRAM 컨트롤러는 Sync 검출기의 출력 신호에 동기화 되어져있다. 그러므로 활성화 신호가 High (Logic '1') 일때 컨트롤러는 메모리 읽기/쓰기 기능을 수행한다. 메모리 컨트롤러의 기능은 입력 데이터와 드라이브 IC의 동기화 시키는 것이다. 사용된 메모리는 40KB을 사용하였다.

III. 구현 및 검증

제안된 프로세서는 VHDL을 이용하여 설계 하였으며, 시스템의 검증보드는 Xilinx사의 Virtex 600E와 ADC, SRAM 메모리 등으로 구성된다. 구현한 하드웨어는 그림 4와 같다.

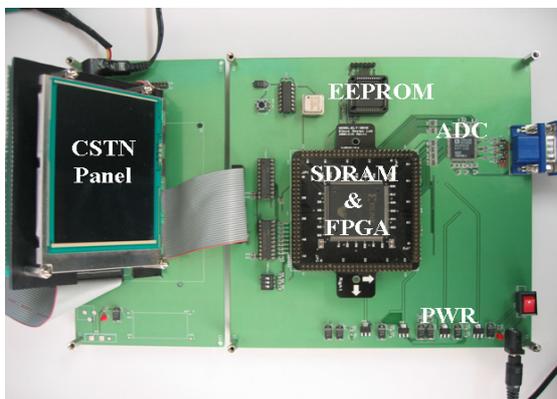


그림 4 FPGA를 이용한 테스트 보드

VHDL로 설계하여 Synplify를 이용한 합성결과에 따라 각 블록에서 요구되는 Resource를 보면 표 1과 같다.

표 1. FPGA hardware resource

	Slice	Flip-flop	4-input LUT	Max Frequency (MHz)
Image Bit Compress	24	23	35	109.83
Sync Detector	123	143	197	105.44
I2C Controller	55	28	106	111.98
CSTN Timing Controller	36	36	57	143.678
Frame Response Compensator	57	70	68	98.814
Gray Scaler	50	65	65	103.15
SRAM Controller	107	145	133	90.383

제안한 프로세서의 최대 동작 주파수 및 공급전압 과 같은 하드웨어 성능에 대한 사항은 표 2에 나타나 있다.

표 2. 제안한 프로세서의 성능

Parameter	Spec.
Max freq.	88.325MHz
Power consumption	2 mW
Color depths	65K color
Resolution	QVGA(320×240)
Frame per sec	15~30 FPS
Supply voltage	DC 3.3V

프로세서의 검증을 위한 테스트 환경은 다음의 그림4와 같다.

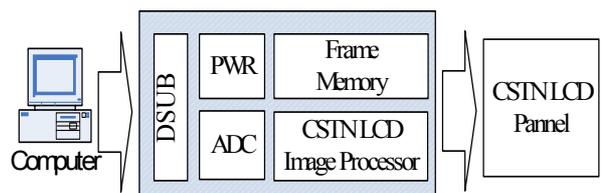


그림 5 제안된 프로세서 테스트 환경

PC로부터 VGA(640×480) 영상을 입력받아 CSTN LCD Module에 적합한 QVGA(320×240)으로 변환하여 출력한다. 테스트 환경에 대한 시뮬레이션 영상은 다음의 그림 6과 같다.



그림 6 제안한 프로세서의 테스트 시스템

IV. 결론 및 향후 연구방향

본 논문에서는 디스플레이 장치에서 주목받는 CSTN LCD의 저전력, 저가격화를 위하여 CSTN LCD 이미지 프로세서를 구현하였다. 구현한 CSTN LCD 이미지 프로세서는 동기신호(Sync) 추출기, DLL, 메모리 컨트롤러, 그레이 스케일러, CSTN LCD 타이밍 신호 생성기 블록으로 구성되어 있다. CSTN LCD에서 동영상 구현을 위하여 SFP구동방법을 제안하였다. 이 회로는 플리커 현상을 제거하고, 액정 응답시간을 보상함으로써 고화질 동영상의 구현을 가능하게 하였다. 구현한 모바일 CSTN LCD 이미지 프로세서는 VHDL을 이용하여 설계하고 Xilinx Virtex 라이브러리를 이용하여 회로 합성을 수행하였으며, FPGA를 이용한 테스트 보드를 제작하여 그 기능을 검증하였다. 구현한 CSTN LCD 이미지 프로세서는 FPGA를 이용한 테스트 보드에 다운로드하여 그 기능을 테스트 보드와 LCD 패널을 연결하여 직접 데이터를 LCD 패널에 디스플레이 함으로써 시각적으로 검증하였다. 구현한 CSTN LCD 이미지 프로세서는 중·저가의 모바일 디스플레이의 휴대용 디스플레이 장치와 고성능 PDA 및 휴대폰과 같은 여러 응용분야에 맞게 다양한 해상도와 색이 지원 가능하다.

참고문헌

- [1] T. J. Scheffer, Clifton B, "Active addressing Method for High-Contrast Video-Rate STN Display", SID SYM Digest, pp. 228-231, 1992
- [2] Ruckmongathan T. N., "Addressing Techniques for the RMS Responding LCDs", IDRC, pp. 77-82, 1992.
- [3] T. Scheffer, "Addressing Method for passive-Matrix LCDs", SID'95 Lecture notes.
- [4] Y. Hirai, et al., "STN-LCDs Enhanced by Multiple Line Addressing (MLA) : Present and Future Applications", SID'97 Digest, pp. 401-404, 1997.
- [5] T. Luk, et al., "Implementation of Double-Line Addressing for Passive Panels", IDRC'97, pp. 108-111, 1997.
- [6] Y. Fukui, et al., "A Study of the Active Driver Method for STN-LCD", SID'94 Digest, pp. 69-72, 1994.
- [7] A. R. Conner, et al. "Pulse-Height Modulation (PHM) Gray Shading Methods for Passive Matrix LCDs", Japan Display'92, pp. 69-72, 1992
- [8] S. Ihara et al., "A Color STN-LCD with improved Contrast", Uniformity and Response Times, "SID 92 DIGEST, pp. 232~235, 1992
- [9] Rafael C. Gonzalez, "Digital Image Processing," Prentice-Hall, pp. 148-213, 2002.
- [10] Keith Jack, "Video Demystified 4th Edition," Elsevier, pp. 203-261, 2005.
- [11] Ernst Lueder, "Liquid Crystal Display," SID, pp. 21-78, 2001.
- [12] J. Bhasker, "A Guide to VHDL Syntax", Prentice Hall, 1995
- [13] Douglas J. Smith, "HDL Chip Design", Doone Publications, 1996
- [14] D. L. Perry, "VHDL", Dinnelley & Sons Company, 1993
- [15] Ben Cohen, "VHDL Coding Style and Methodologies", Kluwer Academic Publishers, 1995