

향상된 영상 획득을 위한 실시간 시스템의 VHDL 모델링

*오세진, 김영모
경북대학교 전자공학과
e-mail : goodluck2c@msn.com

VHDL modeling of a real-time system
for image enhancement

*Se-Jin Oh and Young-Mo Kim

School of Electrical Engineering and Computer Science
Kyungpook National University
Daegu 702-701, Korea

Abstract

The aim of this work is to design a real-time reusable image enhancement architecture for video signals, based on a spatial processing of the video sequence. The VHDL hardware description language has been used in order to make possible a top-down design methodology. By adding proposed algorithms to the LPR(License Plate Recognition) system, the system is implemented with reliability and safety on a rainy day. Spartan-2E XC2s300E is used as implementation platforms for real-time system.

I. 서론

경북대학교는 2004년부터 자동차 번호판 인식 주차관리 시스템(LPR system)을 도입하여 운영하게 되었다. 실제 시스템을 운영하며 우천시 획득된 영상은 빗방울에 의한 빛의 반사로 번호판 영역이 훼손되어 미인식 또는 오인식 되는 경우가 발생하였고, 이러한 영상의 훼손은 특히 시스템의 야간 운영에서 자동차 전조등으

로 인하여 더욱 심각하였다. 따라서 우천시 주차 관리 시스템의 원활한 소통이 이루어지지 않게 되어 시스템의 개선을 필요로 하였다. 이미 시스템은 많은 소프트웨어적인 알고리즘을 사용하고 있었기 때문에 영상의 획득 단계에서부터 실시간을 만족하며 향상된 영상을 얻기 위한 하드웨어 가속기(accelerator)의 사용이 요구되었다.

하드웨어 가속기로서 FPGA(Field Programming Gate Array)를 선택하게 되었다. FPGA가 과거에는 복잡한 하드웨어 검증을 목적으로 하드웨어 원형 제작(prototyping)용으로만 주로 사용되었으나, 근래에는 공정기술의 발달로 게이트 당 단가가 떨어지고, FPGA 내부에 메모리나 표준 입출력을 위한 인터페이스 회로 등 다양한 특수 기능 블록들을 내장함으로써 단일 칩으로 시스템 레벨의 설계 및 구현을 소화해낼 수 있게 되었고 이에 따라 소량 생산의 내장형 시스템 제품의 부품으로 직접 FPGA가 사용되기도 한다. 일반적으로, 넓은 비트 수의 피연산자를 사용하는 논리연산이 병렬적으로 요구되는 응용이나, 응용에 따른 맞춤형 데이터 경로 폭을 필요로 하는 응용 등에서 하드웨어 가속기로서의 사용이 더욱 효과적이다.

II. 관련 연구

2.1 FPGA

기술적으로 Xilinx FPGAs는 SRAM 디바이스들이다. 이것은 칩들이 디바이스에 전원이 공급된 후에 구성되어야만 한다는 것을 의미한다. 구성 가능한 로직 블록들(Configurable Logic Blocks, CLB)은 Xilinx FPGA에서 주요한 로직 요소들이다. 각 CLB는 두 가지 부분들(slices)로 이루어지는데 그것들 각각은 두 개의 LUT(Look Up Table)과 두 개의 D-플립플롭을 포함한다. 각 LUT는 하나의 32x1 또는 하나의 16x2비트 동기 RAM으로 사용될 수 있다. 실험에 사용된 FPGA는 Xilinx Spartan-2e 제품군의 XC2S300E[1]를 사용하였다. XC2S300E는 32x48 크기의 CLB의 어레이를 가지는데 이것은 총 6912개의 로직 셀들과 300,000개의 게이트들로 구성된다.

Spartan-2E 시리즈는 블록 램 시스템을 가지는데 이것은 FIFO 구현들 또는 기본적인 RAM 사용과 같은 제한된 RAM 동작들을 위하여 칩의 사용을 허용한다. XC2S300E는 98,304 비트의 블록 램을 가진다. CLB를 연결하는 것은 상호연결들의 방대한 web이다. 입출력 능력들은 입/출력 블록들에 의해서 다루어진다. Spartan-2E XC2S300E는 329개의 IOBs를 가진다.

2.2 SDRAM (Synchronous Dynamic Random Memory)

SDRAM은 DIMM 소켓이 출지어선 패럴렐 방식으로 처음 발표되었을 당시 CPU와의 병목 현상을 해결해 줄 총아로 각광받았다. 하지만 요즘은 CPU의 속도가 급격히 빨라져 133MHz SDRAM으로도 차세대 CPU를 지원하지 못할 정도가 되었다. 하지만 여전히 많은 임베디드 시스템에서는 충분한 성능과 가격으로 선택되어지고 있다. SDRAM의 간단한 특징으로는 RAS(Row Address Strobe)신호와 CAS(Column Address Strobe)신호 외에 System Clock(CLK), Clock Enable(CKE), Write Enable(WE), Chip Select(CS), DQ Mask(DQM) 등 동기 신호가 DRAM에 첨가되어 여러개의 연속되는 데이터가 필요한 영상데이터의 경우 제어부가 많이 간단해진다. 한개의 명령으로 1행 데이터 전체를 액세스하는 버스트(Burst) 접근도 가능하다. 또 여러개의 뱅크를 두어 행과 열의 어드레스를 액세스하는 시간을 줄일 수 있다. 읽을 때는 4사이클(Cycle)이 필요하고 쓸때는 2사이클의 액세스 시간이 필요한데 두 뱅크의 데이터를 번갈아 액세스 할 때는 A뱅크의 데이터를 액세스 할 때에 B뱅크를 활성화 해줌으로서 B뱅크 액

세스 시간을 줄인다. 실험에 사용된 SDRAM은 MICRON사의 MT48LC8M16LFFF[2]이며 2Meg x 16 x 4banks 로 구성된다.

SDRAM을 외부 프레임 버퍼로 사용하기 위해서는 SDRAM을 컨트롤 하기위한 로직을 설계 해야한다. 이 논문에서는 실현을 위한 SDRAM 컨트롤러로서 Xilinx사의 어플리케이션 노트[3]를 참고하였다. 참고한 SDRAM 컨트롤러는 프레임 버퍼에 적합한 풀 페이지 버스트 모드는 지원하지 않았고 실험을 위해 추가시켰다.

2.3 VHDL (VHSIC Hardware Description Language)

VHDL은 알고리즘 레벨에서 게이트 레벨에 이르기까지 여러 레벨에서 시스템을 모델링 하는데 사용될 수 있는 하드웨어 기술 언어를 말한다. 모델링 되는 디지털 시스템은 게이트처럼 간단하거나 완전한 디지털 전자 시스템처럼 복잡할 수 있다. 또한 이 디지털 시스템은 계층적으로 기술될 수 있으며 타이밍도 명시적으로 모델링 될 수 있다.

VHDL은 디지털 시스템의 병행적 또는 순차적 동작을 표현할 수 있고 컴포넌트의 상호 연결로서 시스템을 설계할 수 있도록 구성 되어 있다. 또한 동일한 구성 요소를 사용하여 테스트 파형을 생성시킬 수 있으며 하나의 모델 안에서 시스템을 포괄적으로 기술하기 위해 위의 모든 구성 요소가 결합될 수 있다.

VHDL은 구문과 각 구성 요소에 대한 명확한 시뮬레이션 의미도 정의하고 있다. 그러므로 VHDL로 기술된 모델은 VHDL 시뮬레이터를 사용하여 검증될 수 있다. VHDL은 순차적 언어 부분에서 프로그래밍 언어 C와 유사하다. VHDL은 모델링 분야가 광범위하기 때문에 복잡하고 종종 이해하기 어려울 때가 있다. 그러나 다행스럽게도 복잡한 특징을 배우지 않더라도 주요 부분을 쉽고 간단하게 이해할 수 있으며 대부분의 하드웨어를 설계하는데 충분하다.

III. 영상처리 알고리즘을 위한 윈도우 생성

공간적 필터처리(spatial filtering)기술[3][4]은 영상 내에서 필터 마스크의 움직임으로 이루어진다. FPGA를 이용한 시스템에서 움직이는 필터 마스크를 구현하기 위해 3x3 크기의 윈도우를 선택하였다. 그 구조는 그림1 과 같다. 3x3 크기의 윈도우는 가장 흔하게 사용되는 이미지 크기들에 효과적이며 충분히 큰 것이고 더 큰 윈도우를 위해서 더 많은 FIFO(First-in,

First-out)와 플립-플롭들이 사용되어야 하는데 이것은 사용되는 FPGA 자원들을 상당히 증가시킨다.

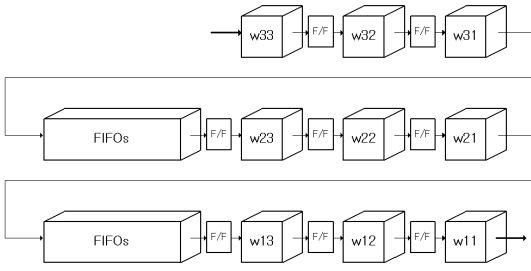


그림 1. 3x3 윈도우 생성기

IV. 향상된 영상을 위한 랭크 오더 필터 (Rank Order Filter)

훼손된 야간 영상에서 빗물이 반사된 대부분의 화소들은 주위 화소 보다 밝다는 것을 확인할 수 있었다. 이러한 특징을 이용하여 랭크 오더 필터를 사용한 두 가지 알고리즘을 제안한다.

4.1 연속영상 프레임 랭크오더 필터

제시하는 시스템 구성의 블록도는 그림1과 같다. 컨트롤러는 SDRAM의 리드 단계에서 프레임 버퍼에 저장된 연속하는 3개의 영상을 순차적으로 하나의 라인씩 읽기 가능하게 구성 한다. 읽혀진 과거의 영상들과 현재의 영상들은 각 영상의 동일한 좌표의 값들과 비교 후 가장 어두운 값을 선택하게 됨으로서, 실시간으로 저장된 여러 영상들을 읽으며 간단한 비교 연산만으로 향상된 영상을 얻을 수 있다.

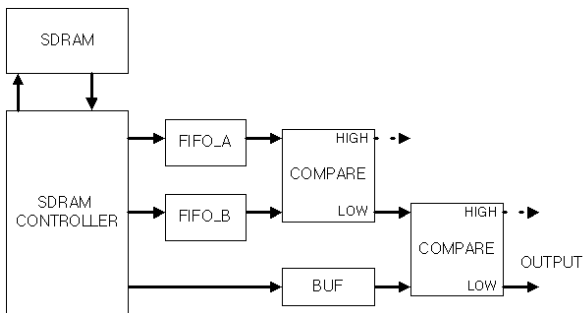


그림 2. 프레임 랭크 오더 필터 (오더=1)

4.2 단일영상 수평방향 랭크 오더 필터

영상에서 빗물이 반사된 대부분의 화소들은 주위 화소 보다 밝다는 것과 빗방울이 영상에서 빗방울이 움

직이는 방향 즉, 세로 방향으로 위치한다는 점을 이용하여 수평방향에 대한 랭크 오더 필터를 그림 3와 같이 구현하여 가장 어두운 값을 선택하는 구조를 사용하므로서 영상을 향상할 수 있다.

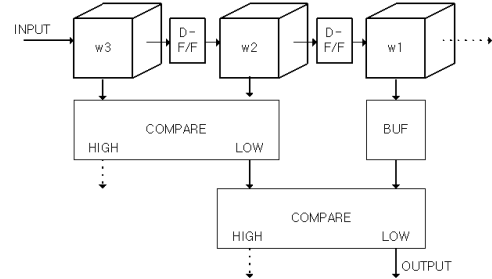


그림 3. 1x3 수평방향 랭크 오더 필터 (오더=1)

수평방향 랭크오더 필터는 일반적인 윈도우를 사용하는 알고리즘과는 다르게 FIFO를 사용하지 않고 구조도 간단하며 파이프라인되어 5클럭 이후 결과 데이터를 연속적으로 출력한다. 외각 데이터에 대한 유효신호 입력이 반드시 있어야 하지만 그 구성은 카운터를 이용한 간단한 로직으로 구성 가능하다.

V. 실험결과



(a) (b)



(c) (d)

그림 4. 연속영상 프레임 랭크 오더 필터; (a), (b), (c) 연속하는 3장의 입력영상 (d) 출력영상 (오더=1)



그림 5. 단일영상 수평방향 랭크 오더 필터; (a) 입력 영상 (b) 3x3 메디안 필터 (c) 3x3 평균 처리 필터 (d) 1x3 수평방향 랭크 오더 필터 (오더=1)

VI. 결론

VHDL을 이용한 FPGA 기반 이미지 처리의 구현은 공간영역에서의 많은 알고리즘들이 완벽한 한 장의 영상 획득이 완료되기 이전에 영상 데이터의 일부를 받아들임과 동시에 알고리즘 적용이 가능하다. 또 이미지 센서의 데이터를 FPGA가 직접 입력 받음으로서 PC환경에서와 같은 광범위한 메모리 서브시스템의 접근을 최소화한다. 그리고 영상처리를 위한 VHDL의 시스템 모델링은 실험 결과와 시스템 구조 그리고 알고리즘의 구현단계의 병렬처리, 파이프라이닝을 이용하여 시스템 속도를 향상시킨다. 이 논문에서 사용된 알고리즘들은 부동소수점 연산을 포함하지 않고 있으며 어떤 복잡한 수학을 포함하지 않고 있어 제시하는 알고리즘 구현에 하드웨어 가속기로서 FPGA가 적합하다는 것을 보여준다. 실험 목표인 우천시 빗물의 간섭에 대한 영상의 향상을 위한 두가지 경우의 실험에 대해서도 소프트웨어적인 처리에 비해 더욱 효과적인 시스템을 구성할 수 있었다.

참고문헌

- [1] Xilinx Product Specification "Spartan-III 1.8V FPGA Family: Complete Data Sheet," DS077 July 28, 2004.
- [2] Micron Technology, Inc. "SYNCHRONOUS DRAM," 2002.
- [3] Arrigo Benedetti, Andrea Prati, Nello Scarabottolo, "Image Convolution on FPGAs: the Implementation of a Multi-FPGA FIFO Structure," IEEE CNF, Digital Object Identifier, Volume 1, 25-27 Aug. 1998.
- [4] C.T. Johnston, K.T. Gribbon, D.G. Bailey, "Implementing Image Processing Algorithms on FPGAs," Proceedings of the Eleventh Electronics New Zealand Conference, ENZCon'04, Palmerston North, New Zealand, pp 118-123 (November 2004)
- [5] Miriam Leeser, Shawn Miller and Haiquian Yu "Smart Camera Based on Reconfigurable Hardware Enables Driverse Real-time Applications," 12th Annual IEEE Symposium, Field-Programmable Custom Computing Machines (FCCM'04)
- [6] Gonzalez R. and Wintz P.: *Digital Image Processing*, Addison - Wesley 1987.
- [7] 김혁, Real Xilinx FPGA World, 엔트미디어, 2003.