

다채널 단일톤 위상 측정칩 개발

*김병일, 홍근표, 황진용, 장태규
중앙대학교 전자전기공학부

e-mail : *savart@dmc.cau.ac.kr*, *tgchang@cau.ac.kr*

Development of a Sensor Chip for Phasor Measurement of Multichannel Single Tone Signals

*Byoung-Il Kim, Keun-Pyo Hong, Jin-Yong Hwang, Tae-Gyu Chang
School of Electrical and Electronics Engineering
Chung-Ang University

Abstract

This paper presents a design of a hybrid sensor chip which integrates an A/D converter module and a phase measurement module for measuring power line phase. Recursive sliding DFT based phase measurement module is designed using time shared multiplier which can reduce the size of SoC implementation. A/D converter is based on the sigma delta modulation in order to minimize the implementation space of the analog part and designed to obtain 8-bit resolution. Computer simulations and FPGA implementation are performed to verify hybrid sensor chip design. The hybrid sensor chip for 4-channel power line phase measurement is fabricated by using 0.35 micrometer CMOS process.

I. 서론

단일 톤 신호의 위상 측정은 통신에서의 반송파 검출, 계측측장비의 실시간 정밀 모니터링 및 전력선 시스템 제어를 위한 60Hz의 위상 동기 측정과 같은 많

은 응용들 중 가장 기본적인 기술 구성요소 중 하나이다. Modified zero crossing 기법, level crossing 기법, least squares 기법, Newton method, DFT 기법등과 같은 기존의 방법들 중 단일톤 신호의 위상 측정에 적용되는 가장 전형적인 방법으로, 순환 DFT는 비교적 낮은 구현 복잡성으로 인해 임베디드 시스템 적용을 위한 가장 적합한 방법 중 하나이다[1]-[4]. 하지만, ASIC이나 마이크로프로세서에 기반한 임베디드 시스템의 응용에 있어서 순환 DFT는 처리 속도 향상이나 구현상의 감소함을 위해 유한 비트 근사에 의한 심각한 오차 누적을 나타낸다. 본 논문에서는 순환 DFT 알고리즘의 실질적인 응용을 위해서 오차 누적을 해결하는 개선된 순환 DFT 알고리즘을 제안하고 이에 기반한 단일톤 위상측정장치를 설계하였다. 또한 본 논문에서는 위상측정 시스템의 구현 간소성을 얻기 위해 위상측정장치와 함께 ADC를 집적한 SoC로 구현하였다. 설계한 단일톤 위상측정 SoC의 입력범위는 60Hz의 중심주파수를 대상으로 하였으며, ADC는 1st order sigma-delta modulation에 기반하여 8-bit 정밀도를 제공하도록 설계하였다. 순환 DFT 연산장치는 매 입력 신호의 주기마다 32샘플을 얻기 위해 1.92kHz로 동작하도록 설계하였다. 설계한 단일톤 위상측정장치는 FPGA에 구현하여 동작을 검증하였으며 검증완료 후 Hynix 0.35 μ m CMOS 공정으로 구현하였다.

II. 순환 DFT 기반 위상측정장치 설계

단일 톤 신호의 phasor는 샘플링 주파수가 단일 톤 주파수의 정수 M배이고 DFT 구간 길이가 N이라는 가정 아래 신호의 DFT 성분 중 l번째 bin 주파수 성분으로 얻을 수 있다. $x(n)$ 을 단일 톤 신호의 주파수에 정수배(M)로 샘플링해서 얻은 이산신호라 하고, $X_l(n)$ 은 $x(n)$ 으로 시작하는 N-point DFT 블록의 l번째 bin 주파수 성분으로 할때 각각은 다음 식 (1)과 (2)로 나타낼 수 있다. 여기서 식 (1)을 식 (2)에 대입함으로써 식 (3)과 같이 이산 신호 $x(n)$ 의 페이지 값에 따른 N포인트 DFT의 l-번째 bin 주파수 성분을 표현할 수 있다.

$$x(n) = \frac{X}{2} (e^{j(\frac{2\pi n}{M} + \phi)} + e^{-j(\frac{2\pi n}{M} + \phi)}) \quad (1)$$

$$X_l(n) = \sum_{m=n-N+1}^n x(m) W_N^{-nl} \quad (2)$$

$$\begin{aligned} X_l(n) &= \sum_{m=n-N+1}^n A \cos\left(\frac{2\pi}{M} m + \phi\right) \cdot e^{-j\frac{2\pi}{N} lm} \\ &= \sum \frac{A}{2} (e^{j\frac{2\pi}{M} m + \phi} + e^{-j\frac{2\pi}{M} m + \phi}) \cdot e^{-j\frac{2\pi}{N} lm} \\ &= \frac{N}{2} A \cdot e^{j\phi} \end{aligned} \quad (3)$$

위상 측정을 위한 순환 DFT 알고리즘은 식 (2)를 이용하여 $X_l(n)$ 과 $X_l(n-1)$ 의 관계로부터 얻을 수 있다. 이러한 순환 DFT 알고리즘을 다음 식 (4)에 나타내었다.

$$X_l(n) = W_N^l \{X_l(n-1) + x(n) - x(n-N)\} \quad (4)$$

where, $W_N = \exp[j2\pi/N]$

식 (4)는 계수의 곱이 누적되는 순환식이므로 유한 bit로 근사화 되었을 때 오차의 누적을 야기한다. 제안한 알고리즘은 각 순환 단계마다 $2\pi/N$ 의 위상 회전 성분을 포함하여 식 (5)와 같이 유도할 수 있다. 제안한 알고리즘은 DFT 블록의 sliding에 따른 절대 기준 위상을 줌으로써 위상 회전의 효과를 상쇄해준다.

$$\begin{aligned} X_l(n) W_N^n &= W_N^l \{X_l(n-1) W_N^{-1} + x(n) - x(n-N)\} \\ X_l(n) &= x(n-1) + W_N^{-n} [x(n) - x(n-N)] \\ &\textit{where, } X_l(n) = X_l(n) \cdot W_N^{-n} \end{aligned} \quad (5)$$

순환 DFT기반 단일톤 신호 위상계측 연산장치는 그

림 1에서 보인 것과 같이 FIR과 IIR 필터의 종속 연결과 같이 설명될 수 있다. IIR 필터 부분은 단위원 상에 $z=1$ 인 곳에 pole이 존재하는 불안정성을 포함하는 누산기이지만, 데이터 블록 길이 N에 따라서 FIR 필터의 zero에 의해서 pole이 상쇄되므로, 결과적으로 전체 종속 연결 시스템은 안정화 된다.

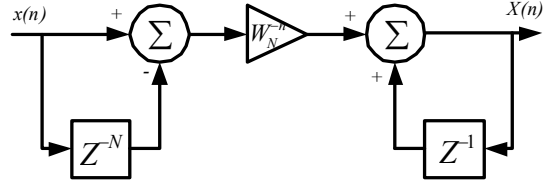


그림 1. 제안한 순환 DFT 기반 위상계측 연산장치.

본 연구에서는 순환 DFT 기반 위상계측 연산장치를 FPGA나 ASIC으로 구현시 사용되는 연산 모듈 중 게이트 소요량이 큰 곱셈기를 시간 구간별로 공유하도록 설계하여 필요한 게이트를 최소화할 수 있는 구조를 도출하였다. 또한 각 채널별 요구되는 동일한 순환 DFT 연산구조를 정확한 타이밍으로 시분할하여, 연산장치를 공유함으로써 순차적으로 채널별 출력 결과를 얻고 이를 각각 더하는 순차 구현 방식을 적용하였다. 각 채널의 입력은 60Hz의 단일톤 신호이며 샘플링 주파수는 입력의 32배인 1.92kHz이다. 곱셈기를 공유하여 4채널 입력을 32샘플 DFT 처리하기 위해 전체 시스템의 클럭은 $1.92 \times 4 \times 32 = 245.76\text{kHz}$ 를 사용한다. 유한 비트로 근사화된 DFT 계수는 클럭의 4사이클마다 한번씩 look-up table에서 참조하여 곱셈기에 공급된다. 곱셈기는 실수 및 허수를 처리하기 위해 두개로 구현하였다.

III. Sigma-delta ADC 설계

본 연구에서는 위상측정을 위한 아날로그 입력신호를 디지털 신호로 변환하기 위해 Sigma-delta ADC를 단일톤 신호의 위상계측 연산장치와 함께 집적한 하이브리드 센서칩으로 설계하였다. Sigma-delta ADC는 oversampling 기법과 noise shaping 특성을 이용하여 낮은 구현복잡도로 높은 정밀도를 얻을 수 있어[5]-[7] 설계하고자하는 위상측정 SoC에 적합하다고 하겠다.

위상측정 대상인 60Hz의 단일톤 신호는 8bit 정밀도의 입력으로도 설계한 위상계측 연산장치에서 충분한 위상정밀도를 얻을 수 있는 범위이므로, ADC의 구현 복잡도를 낮추기 위해서는 높은 차수의 modulator를 사용하는 것보다 OSR(oversampling rate)을 높이는 것이 유리하다. 설계한 sigma-delta ADC의 루프 필터는

1차 적분기로 설계하여 구현 복잡도를 낮추었으며, 1차 modulator에 의해서 형성되는 noise power는 다음 식 (6)와 같이 나타낼 수 있다[8].

$$P_{noise} = \frac{\pi^2 \cdot A^2}{36} \cdot \frac{1}{OSR^3} \quad (6)$$

여기서 256배의 OSR인 경우 noise power는 2²⁴배 감소, 즉 SNR은 72dB 이상 개선되어 유효비트수는 12bit에 이른다. 따라서 설계한 sigma-delta ADC의 OSR는 256으로 설정하였으며, 동작 클럭속도는 위상계측 연산장치의 입력샘플링 주파수 1.92KHz의 32배인 491.52KHz이다.

본 연구에서 설계한 sigma-delta ADC는 그림 2에 나타낸 것과 같이 OP-Amp를 이용한 1차 적분기, 1bit 양자화를 위한 comparator, D flip-flop, 그리고 1bit D/A 변환기로 구성하였다. 각 모듈별 설계에 따른 MOS gate의 수는 OP-Amp, comparater, D flip-flop, D/A 변환기 각각 8, 8, 8, 4개로 전체 28개의 gate를 사용하여 설계하였다. 3.3V의 SoC 개발공정을 고려하여 입력신호의 전압 범위는 ±1.0Vpp로 설계하였으며, 1차 적분기는 Miller 적분기에 DC gain을 감소시키기 위한 저항을 추가하여 1.8MHz의 Cut-off 주파수를 갖도록 설계하였다.

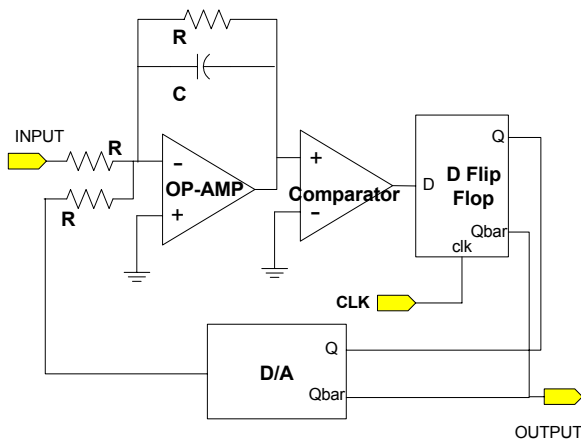


그림 2. 설계한 sigma-delta ADC의 블록도.

설계한 Sigma-delta modulator는 256배로 over-sampling된 1bit 신호를 출력한다. 이러한 출력신호는 디지털 decimation 필터를 통해 위상측정장치의 샘플링 주파수로 downsampling 함과 동시에 8bit의 정밀도로 변환한다. 일반적인 decimation 필터는 comb 필터 및 FIR 필터를 다단으로 연결하여 구현하지만 본 논문에는 구현 복잡도를 낮추기 위해 OSR값에 해당하

는 256-sample averager로 디지털 decimation filter를 설계하였다.

IV. 실험 및 결과

본 논문에서 설계한 단일톤 위상측정 센서 칩은 sigma-delta modulator에 해당하는 아날로그부와 decimation 필터 및 위상계측 연산장치의 디지털부로 나뉘어 설계 및 구현하였다. 먼저 아날로그부의 시물레이션을 수행하기 위해 60Hz의 사인과 입력을 포함하는 SPICE netlist를 작성하였으며, 시물레이션 결과는 그림 3에서 보인바와 같이 정상동작을 하는 것을 확인하였다. decimation 필터와 위상측정장치를 포함하는 디지털부는 VHDL로 구현하였으며 그림 4에 보인바와 같이 시물레이션을 통해 동작을 확인하였다. 또한 이를 FPGA로 구현하여 동작을 검증하였다.

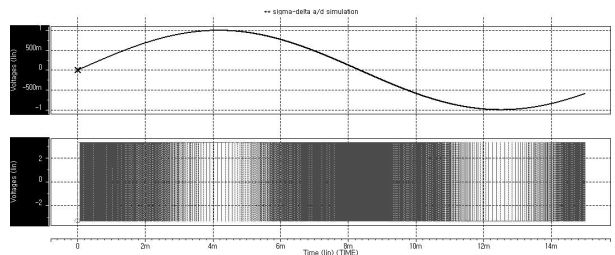


그림 3. sigma-delta modulator의 시물레이션 결과.

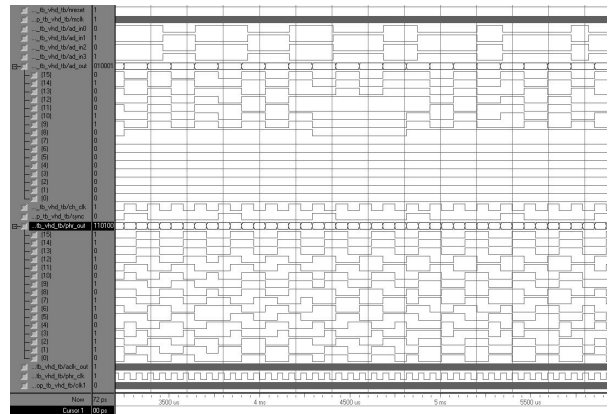


그림 4. 설계한 위상계측 연산장치의 시물레이션결과.

시물레이션을 통해 동작이 검증된 단일톤 위상계측 연산장치는 Hynix 0.35μm CMOS 공정기술을 바탕으로 layout 설계 구현하였다. 그림 5에 보인 바와 같이 5×5 mm²의 칩면적에서 아날로그부는 1.25×1.45mm² 정도로 약 7.3%를 차지하며, 디지털부는 1.67×1.45mm² 정도로 약 11.15%를 차지하여 전체 구현면적은 20%로 집적도가 매우 높음을 확인할 수 있었다.

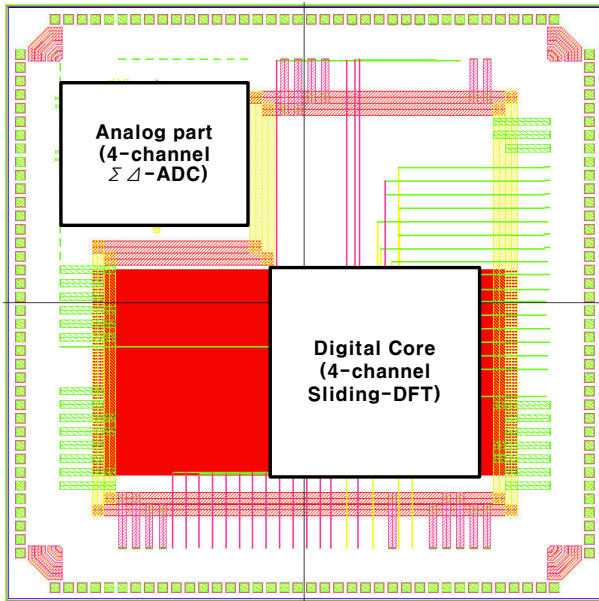


그림 5. 설계한 다채널 단일칩 위상측정 칩의 layout.

V. 결론

본 논문에서는 순환 DFT에 기반한 단일칩 신호의 위상측정 알고리즘을 제안하였고, 이를 설계 구현하여 sigma-delta A/D 변환기와 함께 집적한 하이브리드 센서 칩을 개발하였다. 구현 복잡도를 낮추기 위해 아날로그부는 OSR을 높이는 대신 sigma-delta modulator를 1차 적분기로 구현하였으며, 디지털부는 여러단의 comb 필터와 FIR 필터를 사용하는 대신 sample averager를 적용하여 구현 복잡도를 낮추었다. 또한 단일칩 위상측정 연산장치는 구현 게이트를 많이 필요로하는 곱셈기를 시분할 공유구조로 설계하여 구현면적을 최소화하였다. 본 논문에서 설계한 순환 DFT기반 위상측정 SoC는 $0.35\mu\text{m}$ CMOS 공정기술을 바탕으로 구현하였으며, $5\times 5\text{mm}^2$ 의 칩면적에서 전체 구현면적이 약 20%를 차지하여 집적도가 매우 높음을 확인할 수 있었다. 이는 본 연구에서 제시한 설계 기법이 상용화에 적용될 경우 상품경쟁력이 우수할 것으로 기대한다.

참고문헌

[1] B.P. McGrath, D.G. Holmes, J.J.H. Galloway, "Power Converter Line Synchronization Using a Discrete Fourier Transform Based on a Variable Sample Rate," IEEE Trans. Power Electronics, Vol. 20, pp. 877-884, July 2005.

[2] Jun-Zhe Yang, Chih-Wen Liu, "A precise calculation of power system frequency and phasor," IEEE Trans. Power Delivery, Vol. 15, pp. 494-499, April 2000.

[3] K. Liu, C.Chiu, K.Koagotla, and J.Ja Ja, "Optimal unified architectures for the real-time computation of time-recursive discrete sinusoidal transforms," IEEE Trans. Circuits Syst., Vol. 4 pp. 168~180, Apr. 1994.

[4] N. Murthy, M. Swamy, "On the computation of running discrete cosine and sine transform," IEEE Trans. Signal Processing, Vol. 40, pp. 1430-1437, June 1992.

[5] Y. Geerts, M.Steyaert, W. Sansen, "A high-performance multibit $\Delta\Sigma$ CMOS ADC," IEEE Journal of Solid-State Circuits, Vol. 35, Issue 12, pp. 1829-1840 Dec. 2000.

[6] R. Stewart, E. Pfann, "Oversampling and sigma-delta strategies for data conversion," Electronics & Comm. Engineering Journal, Vol.10, Issue 1, pp.37-47 Feb. 1998.

[7] B. Boser, B.Wooley, "The design of sigma-delta modulation analog-to-digital converters," IEEE Journal of Solid-State Circuits, Vol. 23, Issue 6, pp. 1298 - 1308 Dec. 1988.

[8] P.M.Aziz, H.V. Sorensen, J. van der Spiegel, "An overview of sigma-delta converters" IEEE Signal Processing Magazine, Vol.13, Issue 1, pp. 61-84, Jan. 1996.