

측정용 지그 시스템을 이용한 VCXO의 스펙트럼 분석 및 성능평가

*김성우, *배동주, *윤달환, **허정화, **김호균, **한정수, **이선주

세명대학교 *전자공학과

**세명대학교 정보통신학과

yoondh@semyung.ac.kr

Spectral Analysis of VCXO using the Test Jig

*Seng Woo Kim, *Dong Ju Bae, *Dal Hwan Yoon, **Jeong Hwa Heo, **Ho Kyun Kim,

**Jeong Su Han, **Sun Ju Lee

Dept. of Electronic Eng, Semyung University

Dept. of Information and Communication, Semyung University

요약

본 연구에서는 $5mm \times 7mm$ 크기의 적층 세라믹 SMD(surface mounted device)형 PECL VCXO에 테스트지그를 이용하여 스펙트럼을 분석한다. 패키지에 PECL 칩을 장착 후 와이어결선(wire bonding)을 완료한 VCXO는 그 길이 및 패키지 내부의 패턴 등에 의하여 부유인덕턴스(stray inductance) 및 커패시턴스가 발생하고, 칩의 발진부 임피던스에 영향을 준다. 이에 칩이 패키지에 장착된 상태에서 발진부 입력임피던스 영향을 제거하고 안정한 발진기 측정을 통하여 발진기의 정확한 스펙트럼 분석 및 성능을 평가한다.

I. 서론

발진기 설계에 있어 공통적으로 사용되는 인터페이스는 PECL(Positive Emitter-Coupled Logic), LVDS(Low-Voltage Differential Signals)과 CML(Current Mode Logic) 등이 있다. 구형 HFF(high fundamental frequency crystal)수정을 사용하는 PECL 전압제어 수정발진기는 기본모드의 발진을 통하여 안정적인 고주파수를 발진시키며, 높은 주파수에 신호 처리를 위한 고부가가치 전자통신 제품에 응용되고 있다[1, 2].

VCXO에 사용되는 수정 진동자는 원하는 주파수에 맞추어 얇게 가공한 후 전압을 인가하기 위한 전극을 구축하고, 외부 회로와 연결하기 위해 외부 패키지(package)를 사용하거나 직접회로에 적용할 수 있다[3, 4].

기존에 사용되는 50 MHz 이상의 수정진동자는 ASIC 및 회로기술에 힘입어 수정 진동자의 3차 상음(overtone)을 이용하여 발진 주파수를 형성하고 있으나 점차 발전하는 IC 방식의 발진은 세계

시장의 진화에 품질이 적응하지 못하는 실정이다 [5].

신호를 제공하는 TTL의 경우 지연시간은 10 ns 정도인데 비해 PECL의 동작지연 시간은 2 ns 이하에서 동작하여 고속 연산 IC에 적합한 기준 주파수를 제공 한다[6].

본 연구에서는 지그시스템을 개발하여 $150\text{--}180\text{ MHz}$ 영역 IC 패키지의 VCXO를 테스트 한다.

II. 지그(Jig)와 신호분석

PECL형 VCXO의 출력은 직류성분을 포함한 기본파와 더불어 수많은 고조파들로 구성되어 있다. 이러한 고조파 성분의 진폭감쇄 및 손실은 파형의 변형과 더불어 파형 시정수의 변화가 발생한다. 이를 해결하기 위하여 RF전송이론 개념을 도입한 지그(Jig) 시스템이 필요하다.

PECL VCXO의 출력은 상보적인 형태로서 양 출력단자의 전송선로 지연상수와 출력 임피던스에 대한 균형을 맞추어야 한다. 그렇지 않으면 두

출력 파형의 제로교차(zero cross)점이 달라지는 현상이 발생하여 측정시 파형의 대칭성 문제점이 발생할 수 있으므로 전송선로의 길이와 선폭을 동일하게 해야 한다.

먼저 출력파형의 주파수 스펙트럼과 진폭을 고찰할 때 푸리에급수(Fourier series)로 전개하여 직류와 교류성분을 식(1)처럼 표현할 수 있다.

$$f(t) = \frac{A_0}{2} + \sum_{i=1}^{\infty} [A_n \cos(n\omega t) + B_n \sin(n\omega t)] \quad (1)$$

여기서 n이 홀수(1, 3, 5 ...)일 때, 식 (1)는 $A_n = 0$ 이고 식(2)처럼 쓸 수 있다.

$$f(t) = \frac{A_0}{2} + \sum_{i=1}^{\infty} B_n \sin(n\omega t) \quad (2)$$

식(2)에서 교류성분은 고조파 차수에 따라 신호 레벨이 작아진다. 그러나 신호상승(rising)과 하강(falling) 시간이 서로 다른 기함수파의 경우는 홀수뿐만 아니라 짝수차 고조파도 발생한다. 신호의 상승시간과 하강시간을 각각 반주기의 푸리에 급수로 전개하면 보다 복잡한 형태의 고조파 성분들의 합으로 표현된다.

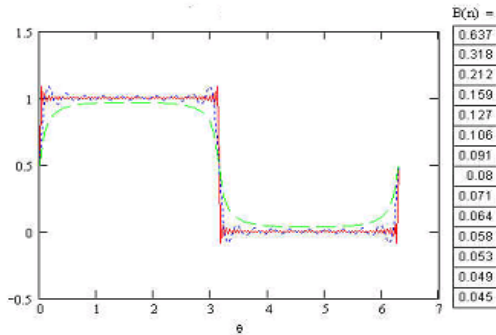


그림 1. B_n 고조파 신호

그림 1은 n차의 B_n 고조파항을 나타낸다. 여기서 차수 변화에 따라 파형의 리플(ripple)을 관찰할 수 있다. 따라서 수정진동자가 155.52 MHz일 경우 발생하는 고조파는 311.03 MHz(n=2), 466.56MHz(n=3), 622.08 MHz(n=4), 77.60 MHz(n=5), 1555.2MHz(n=10) 및 3110.04 MHz(n=20) 등으로 생성된다.

PECL VCXO 출력단 임피던스(Z_o)는 전송선로 임피던스(Z_s)와 임피던스 정합관계를 나타내는 입력 반사계수(Γ_{in})관계가 성립하고, 전송선로 임피

던스와 계측기 입력임피던스(Z_l) 또는 측정 프로브의 입력 임피던스와 정합관계를 나타내는 출력 반사계수(Γ_o)가 중요한 요소가 된다. 따라서 임피던스 부정합으로 인해 진행파의 반사가 발생하여 출력단에 전송되는 신호 레벨에 손실이 생기고, 파형의 왜곡 및 파형시정수의 악화가 초래되어 시스템 잡음으로 작용한다.

입출력 반사계수는 식(3)으로 표현되며 입출력 임피던스와 전송선로 임피던스는 RF 동축케이블(coaxial cable)과 계측기의 입출력 임피던스와의 정합성 때문에 50Ω으로 설정하여 사용한다. 75Ω 시스템일 경우는 특성임피던스가 75Ω인 RF 동축케이블의 사용과 PCB상의 전송선로 임피던스를 75Ω이 되도록 선폭을 설계한다.

$$\Gamma_{in} = \frac{Z_s - Z_o}{Z_s + Z_o}, \Gamma_o = \frac{Z_l - Z_o}{Z_l + Z_o} \quad (3)$$

식 (3)에서 임피던스 부정합으로 인한 손실은 데시벨(dB)로 나타낸다. 고조파의 전송손실을 줄이는 또 다른 방법은 PCB 기판자체가 저손실 특성의 재질을 사용하거나 전송선로 특성임피던스를 시스템에 맞게 최적화하는 것이다.

그림 2는 측정용 지그(Jig)회로도를 나타낸다. 시험보드는 전송선로 종단에 임피던스 개선용 정합감쇄기(matched attenuator)의 장착유무에 따라 설계한다.

전송선로 종단에 부착하는 정합감쇄기는 신호레벨을 조정하는 임피던스 정합용으로 사용하며, 접속시스템의 임피던스 변동에 의해 발생하는 반사파를 억압하여 진행파의 왜곡을 줄이는 회로구간 격리용으로도 쓰인다.

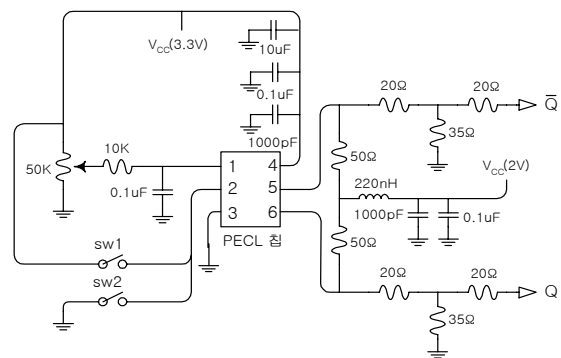


그림 2. 지그회로

이러한 정합감쇄기 특성은 사용 주파수 대역에 걸친 평탄도와 입출력 VSWR(voltage standing wave ratio) 및 전력크기 정도로 결정된다. VSWR의 감소효과에 대한 식과 VSWR과 반사계수의 관계식은 다음과 같다.

$$\frac{1}{VSWR_{in}} = \tanh \left[\frac{1}{8.686} + \tanh^{-1} \frac{1}{VSWR_{out}} \right] \quad (4)$$

$$\Gamma = \frac{VSWR - 1}{VSWR + 1}, \quad VSWR = \frac{1 - \Gamma}{1 + \Gamma} \quad (5)$$

정합감쇄기는 토폴로지(topology)에 따라 π 형, T형, 브리지-T형 및 L형 등이 있다.

그림 3은 $5mm \times 7mm$ 용 SMD형 소형 세라믹 VCXO를 제작하는데 사용한 발진 제어 회로이다. 부착한 칩크기는 $1.55 \times 1.475mm$, 출력주파수 $120MHz$ 및 출력전류 $60mA$ 의 정격을 갖고 있다.

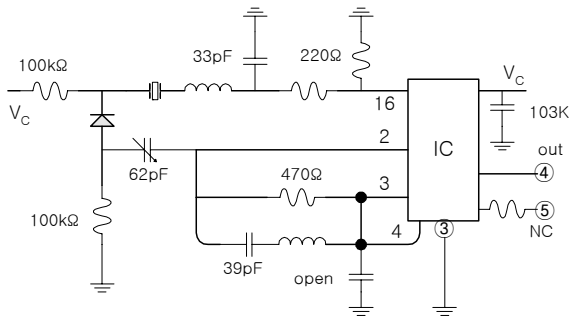


그림 3. 발진 제어 회로

그림 4는 0.8ϕ 인 역메사형 HFF소자와 제어회로를 연결한 $5mm \times 7mm$ 크기의 VCXO 발진기를 나타낸다.

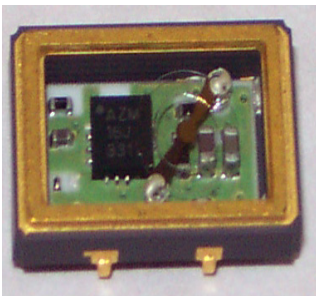


그림 4. VCXO

이 회로를 PECL VCXO에 연결하여 신호 스펙트럼을 분석한다.

III 실험결과

그림 5는 상승시간은 $345ps$ 이고, 하강시간은 $312ps$ 로서 비율이 설계규격 $2ns$ 이하의 특성을 갖고, 듀티사이클(duty cycle)은 49.99%인 출력신호의 주파수 특성을 나타낸다.

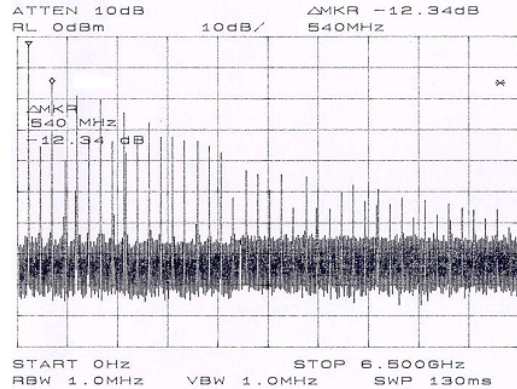


그림 5. PECL VCXO 스펙트럼

그림 6은 VCXO의 위상잡음으로 주파수 구간에 따라 잡음의 존재를 확인할 수 있다. 신뢰성 시험은 환경변화에 대한 주파수의 변화를 관찰함으로써 제품의 결함 여부를 판단하고, 내구성에 대한 수명 시험은 $85^\circ C$ 고온 챔버(Chamber)에서 30일 동안 노화에 대한 주파수 변화를 실험한다.

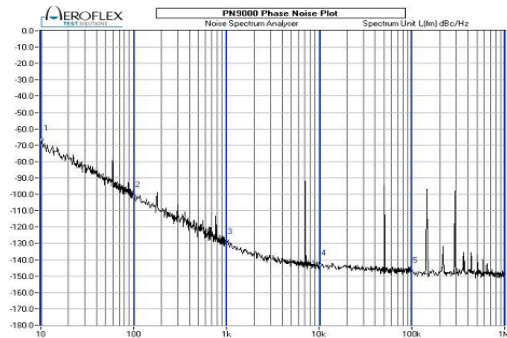


그림 6. 위상잡음

그림 7은 고온에서의 경화실험 결과를 나타낸다.

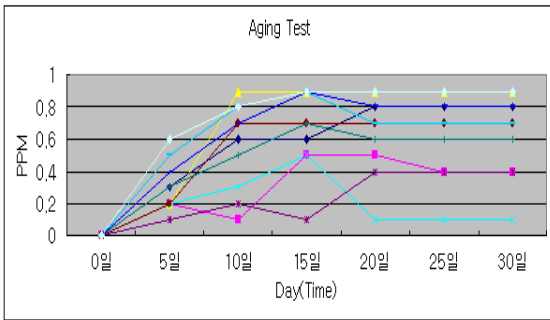


그림 7. 경화실험

pp. 329-330, April 1966

[10] Conexant System, Inc., Phase Noise Application Note, 2001

[11] www.vecron.com, Jitter in Clock Sources

V. 결론

본 연구는 PECL 칩을 이용한 $5\text{mm} \times 7\text{mm}$ 크기의 세라믹 SMD VCXO의 다양한 환경변수에 대한 변화를 관찰함으로써 제품의 신뢰성 및 결함 여부를 판단하기 위해 지그시스템을 개발한다. 실험결과 180 MHz에서 제어전압을 0~3.3V로 가변할 경우 부성저항은 $-96 \Omega \sim -466 \Omega$ 까지 변하고, 가변용량은 2.5~9.0 pF까지 변화는 특성을 관찰하였다.

또한 $-40^\circ\text{C} \sim 85^\circ\text{C}$ 범위 온도 특성 분석에서는 변화폭이 20ppm 이내이고, 듀티사이클 49.99%를 가짐으로서 주파수 안정도를 판별함으로써 정확한 분석결과를 얻었다.

참고문헌

- [1] www.conexant.com
- [2] www.vecron.com
- [3] www.sawtech.com
- [4] R. W. Rhea, *Oscillator Design and Computer Simulation*, Noble, 1995
- [5] (주)K.Q.T, "Technical Information for Crystal Oscillator & VCXO," 2002
- [6] NPC Nippon Precision Circuits Inc., 330 MHz PECL-output Oscillators ICs, CF5034 Series
- [7] U. L. Rohde, "Nonlinear Effects in Oscillators and Synthesizers," IEEE MTT-S, pp. 1-23, May 2001
- [8] www.kqt.co.kr, www.temex.com
- [9] D. R. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. of the IEEE,