

광수신기 설계

한창용*, 김규철*

*단국대학교 전자컴퓨터공학과

e-mail : heyryong@empal.com

Optical receiver design

Chang-Yong Han*, Kyu-Chull Kim*

*Dept. of Electronics and Computer Engineering, Dan-Kook University

요 약

현재의 인터넷과 같은 전자 통신망과 멀티미디어 시스템의 발달은 고속의 대용량 데이터 전송을 필요로 한다. 초고속 통신 시스템에서의 고속 데이터 전송은 주로 광섬유를 사용하는 광통신으로 이루어지고 있다.

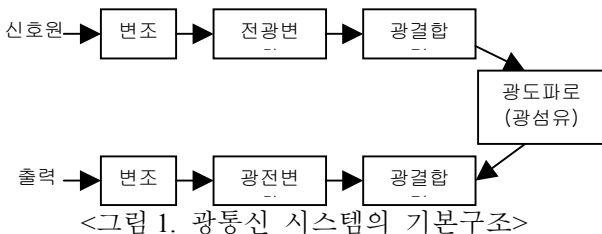
FTTH(Fiber To The Home)와 같은 광통신 시스템은 멀티미디어 커뮤니케이션을 위해 필요한 큰 데이터 전송률을 제공할 수 있기 때문에 더욱 더 중요성이 높아지고 있으며 이러한 광통신 시스템에서는 통신환경의 영향을 적게 받고 외부 조절이나 부품이 필요하지 않는 수신기 IC의 개발이 요구되고 있다.

일반적으로 광통신 수신기에는 고속 동작에 적합한 특성을 가진 GaAs-MESFET가 사용되고 있으나, 본 논문에서는 0.35um CMOS 2-poly 4-metal 공정을 이용하여 5Gbps 광수신기를 설계하였다. 설계된 수신기는 Preamplifier, Main amplifier, ABC 회로로 구성되어 있다. Transimpedance amplifier 형태의 Preamplifier는 광검출기에 의해 생성된 전류 신호를 전압 신호로 변환한다.

ABC 회로는 Peak_Hold 회로와 Bottom_Hold 회로로 구성되어 있다. 기존의 Peak_Hold 회로에서는 다이오드와 hold capacitor를 이용하여 peak 값을 검출하도록 되어 있는데, 다이오드를 이용하는 경우 작은 입력 신호전압의 Peak 값을 검출하는 데 한계가 있다. 이러한 단점을 보완하고자 전류 거울 형태의 Peak_Hold 회로를 설계하였다. 전류거울(current mirror)형태의 출력 신호의 duty error를 줄이고 비트 에러율(Bit Error Rate)을 개선하는데 효과적이었다.

설계된 광수신기는 30dB의 입력 dynamic range와 입력 capacitance 3pF에서 80MHz의 대역폭을 가진다. 전력 소비량은 3.3V 전원 전압이 인가된 경우 약 150mW 정도이다.

1. 서론



<그림 1. 광통신 시스템의 기본구조>

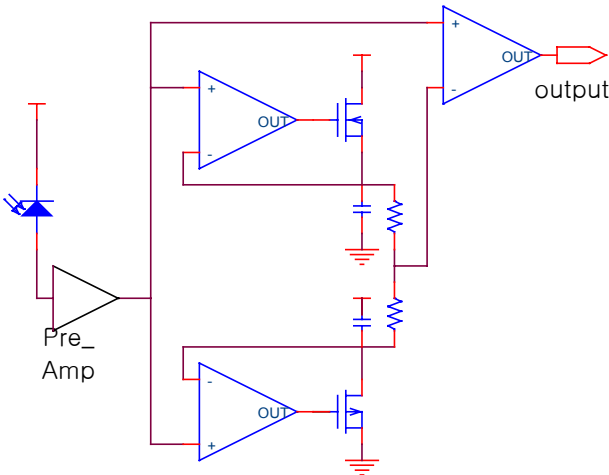
그림 1은 광통신 시스템의 기본구조를 보이고 있다. 일반적으로 광통신계는 송신부, 광도파로, 수신부로 구성되는데 광전송을 위해서는 우선 문자, 음성, 화상과 같은 비전기신호를 전기신호로 변환한다.

그림 2 간단한 구조의 수신기 블록도와 그림 3 회로

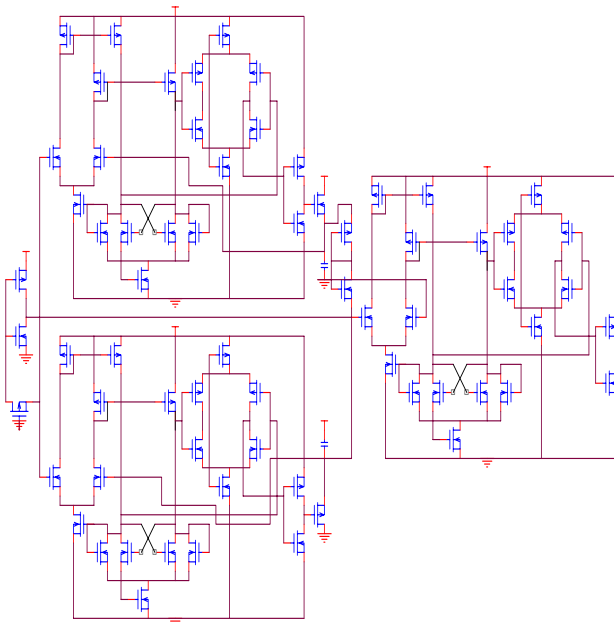
도에서 보는 것과 같이 Preamplifier가 내장된 Photo Detector로부터 들어오는 신호의 중간값을 잡아주는 역할은 Peak Detector 회로가 담당하게 된다. Peak Detector 회로는 각각 Positive Peak Detector와 Negative Peak Detector로 나뉘지며 그 동작 원리는 다음과 같다.

입력 신호가 Low 레벨에서 High 레벨로 될 때 n-type MOSFET는 ON이 되고 따라서 capacitor가 충전된다. 이 충전현상으로 인해 capacitor 양단에 걸리는 전압은 VDD까지 상승할 것이나 도중에 입력 신호의 High 레벨과 같게 되면 comparator의 다른 입력으로 피드백되어지므로 comparator의 동작이 끊기고 따라서 MOSFET도 OFF가 되어 그 동안의 전압을 유지하게 되는 것이다(Positive Peak Detector) 유사한 방법

으로 p-type MOSFET 를 사용하여 Negative Peak Detector 회로를 얻을 수가 있다.



<그림 2. Simple Receiver Block Diagram>



<그림 3. Receiver Schematic>

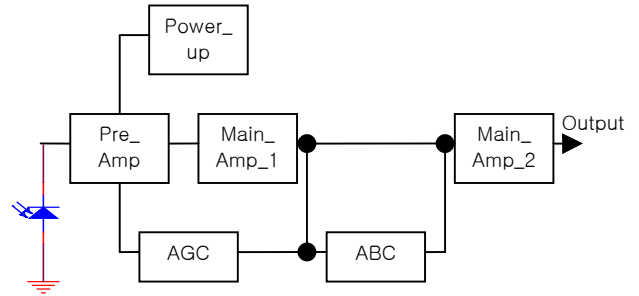
이렇게 해서 얻어진 전치증폭기의 High Peak 와 Low Peak 는 다음 단에서 두 개의 동일한 저항 역할을 하는 MOSFET 에 의해 전압 분배되어 결국에는 신호 전압의 중간값을 결정할 수 있게 되는 것이다.

이러한 과정을 통해 위에서 얻어진 기준 전압을 다음 단의 comparator 의 한쪽 입력으로 원신호를 또, 다른 쪽의 입력으로 사용하게 되면 comparator 는 두 입력의 차이에 의해 우리가 원하는 출력을 얻을 수 있게 해준다.

그리고 comparator 회로 내부에는 디지털 레벨로 full swing 할 수 있도록 뒷부분에 인버터 버퍼를 사용하였다.

2. 본론

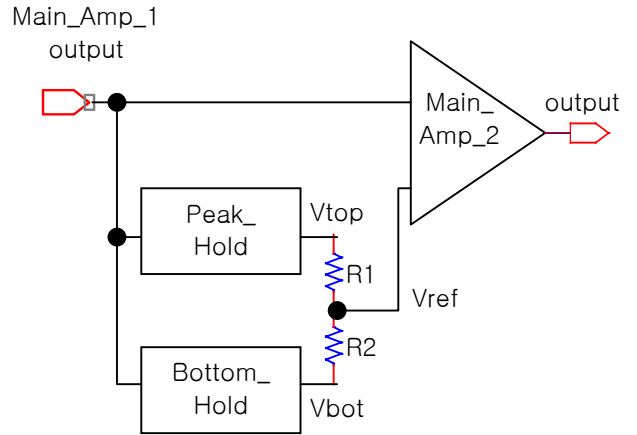
2-1 광수신기의 설계



<그림 4. 설계된 광수신기의 블록 구조>

그림 4 은 설계된 수신기의 블록 구조를 보이고 있다. 이 광수신기는 transimpedance preamplifier 형태의 Pre_Amp, 두 개의 main amplifier 인 Main_Amp_1 과 Main_Amp_2, AGC(Automatic Gain Control), ABC(Automatic Bias Control), Power_up 블록으로 구성되어 있다.

2-2 ABC(Automatic Bias Circuit)



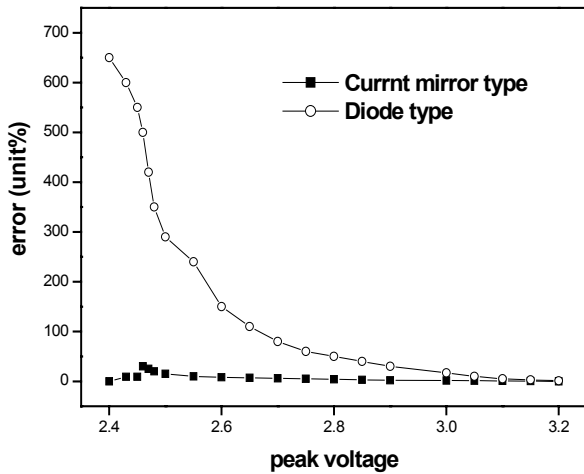
<그림 5. ABC 블록도>

그림 5 는 ABC 회로의 블록도를 보이고 있다. ABC 회로는 Peak_Hold 회로와 Bottom_Hold 회로 그리고, 두 개의 저항으로 구성되어 있다. Peak_Hold 회로는 입력 신호의 top level(Vtop)을 검출하며, Bottom_Hold 회로는 bottom level(vbot)을 검출한다. Main_Amp_2 에 대한 최적의 reference level(Vref)은 같은 값을 갖는 두 개의 저항 R1 과 R2 를 이용하여 top level 과 bottom level 의 평균을 구함으로써 얻을 수 있다. 즉, ABC 에서의 Vref 는 다음과 같다.

$$V_{ref} = \frac{V_{top} + V_{bot}}{2}$$

그림 6 은 다이오드를 이용한 Peak_Hold 회로와 본문에서 제시한 Peak_Hold 회로에서의 Peak error 를 비교한 것이다. Bottom level 은 2.5V 로 일정하게 유지하고 Peak level 만 증가시키면서 시뮬레이션한 결과이다. 다이오드를 이용한 Peak_Hold 회로는 입력 신호의

Peak 값이 작은 경우 다이오드가 켜지지 않기 때문에



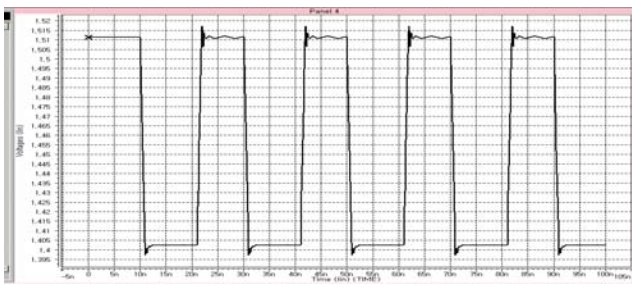
<그림 6. 다이오드를 이용한 Peak_Hold 와 current mirror 를 이용한 Peak_Hold 의 error 비교>

큰 에러율을 가지지만 전류 거울 형태의 Peak_Hold 회로를 사용하면 입력 신호의 Peak 값의 크기에 관계 없이 일정하게 아주 낮은 에러율을 유지하였다.

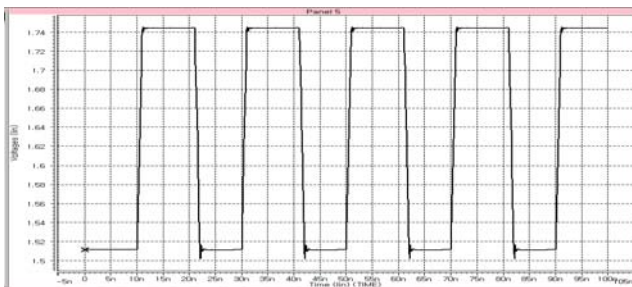
2-3 Simulation

그림 4. 설계된 광수신기의 블록 구조로 설계한 회로도를 H-spice 에서 simulation 한 결과를 보여준다.

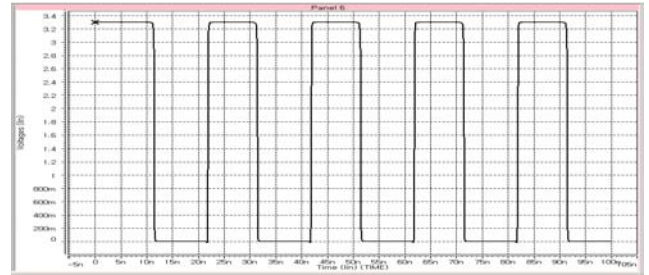
여기에서 입력 전압은 입출력 port 에서는 5V 로 동작하고 core 부분에서는 3.3V 에서 동작하는 공정에 맞도록 simulation 하였다.



<그림 7. Input signal>



<그림 8. Preamplifier output>



<그림 9. Final output>

2-4 광수신기의 Layout

설계된 광수신기의 Layout 은 Mentor Graphics 에 IC-Station 을 사용하였으며, 0.35um 2-poly 4-metal Hynix 공정에서 제공 되어진 layer 를 사용하였다.

설계된 광수신기의 Layout 의 크기는 1 x 1mm² 이며, I/O 와 관련된 패드 수는 전원 전압과 그라운드를 포함하여 20 개이다. Layout 에서 사용되지 않은 공간과 패드가 생긴 이유는 IDEC MPW 에서 제공되는 칩 사이즈(4 x 4mm²)와 패드 수(100 개)가 정해져 있기 때문에 설계된 layout 이외의 영역은 빈 공간으로 남는다

3. 결론

현재의 인터넷과 같은 전자 통신망과 멀티미디어 시스템의 발달은 고속의 대용량데이터 전송을 필요로 한다. 고속 광통신 수신기에는 일반적으로 고속 동작에 적합한 특성을 가진 GaAs-MESFET 가 사용되고 있으나 본 논문에서는 0.35um CMOS 2-poly 4-metal 공정을 이용하여 5Gbps 광수신기를 설계 및 제작하였다.

설계된 수신기는 기존 회로의 Preamplifier 와 automatic bias control 을 위한 Peak_Hold 의 회로를 개선함으로써 넓은 동작 범위를 얻을 수 있었으며, 동시에 duty error 도 줄일 수 있었다.

PMOS 피드백 저항을 이용하여 고정된 이득을 갖는 transimpedance preamplifier 를 구현하였으며, ABC 회로에서는 다이오드를 이용한 Peak_Hold 대신 전류 거울 형태의 Peak_Hold 회로를 사용하였다. 그리고 시뮬레이션을 통하여 설계된 광수신기의 동작 특성을 분석하였다.

설계된 광수신기는 입력 기생 capacitance 가 약 3pF 이고, 고정된 transimpedance 이득이 약 86dBΩ일 때 약 80MHz 의 대역폭을 가졌으나 5Gb/s 의 속도로 최적화하였다. 이때 입력 dynamic range 는 100nA 에서부터 100uA 까지의 30dB 를 갖도록 하였다.

전류 거울 형태의 Peak_Hold 회로를 이용함으로써 출력 신호의 duty error 가 10% 미만의 값을 갖도록 하였다.

설계된 회로의 시뮬레이션에는 H-spice tool 을 사용하였으며, Layout 에는 Mentor Graphics(DA_IC) tool 을 사용하였다.

참고문헌

[1] R. G. Mayer and R. A. Blauschild, "A 4-Terminal Wide-Band Monolithic Amplifier," IEEE Journal of Solid_State

- Circuit, vol. Sc-16, No. 6, Dec, 1981.
- [2] Mark Ingels and Michel S. J., "A 1-Gb/s, 0.7-um CMOS Optical Receiver with Full Rail-to-Rail Output Swing," IEEE Journal of Solid_State Circuit, vol. 34, No. 7, July, 1999.
- [3] J. S. Barrera, "Microwave transistor review, Part 1. GaAs field-effect transistors," Microwave J. (USA), 19(2), pp. 28-31, 1976.
- [4] B. S. Hewitt, H. M. Cox, H. Fukui, J. V. Dilorenzo, W. O. Scholesser and D. E. Iglesias, "Low noise GaAs MESFETS," Electron. Lett., 12(12), pp. 309-310, 1976.
- [5] T. Suzaki, M. Sodda, T. Morikawa, H. Tezuka, C. Ogawa, S. Fujita, H. Takemura and T. Tashiro, "Si Bipola Chip Set for 10-Gb/s Optical Receiver," IEEE Journal of Solid_State Circuit, vol. 27, No. 12, Dec. 1992.
- [6] R. Reimann and Rein, "A Single-Chip Bipola AGC Amplifier with Large Dynamic range for Optical-Fiber Receivers Operating up to 3Gbit/s," IEEE Journal of Solid State Circuit, vol. 24, No. 6, Dec. 1989.
- [7] Makoto Nakamura, Noboru Ishihara, Yukio Akazawa and Hideaki Kimura, "An Instantaneous Response CMOS Optical Receiver IC with Wide Dynamic Range and Extremely High Sensitivity Using Feed-Forward Auto-Bias Adjustment," IEEE J. of Solid State Circuits, vol. 30, No. 9., Sept. 1995.
- [8] Jungwook Yang, Joongho Choi, Daniel M. Kuchta, Kevin G. Stawiasz, Petar Pepeljuginoski and H. A. Ainspan, "A 3.3-V, 500-Mb/s/ch Parallel Optical Receiver in 1.2-um GaAs Technology," IEEE Journal of Solid_state Circuit, vol. 33, No. 12, Dec, 1998.
- [9] Makoto Nakamura, Noboru Ishihara and Yukio Akazawa, "A 156-Mb/s CMOS Optical Receiver for Burst-Mode Transmission," IEEE Journal of Solid State Circuit, vol. 33, No. 8, Aug, 1998.
- [10] R. G. Smith and S. D. Personick, "Receiver design for optical fiber communication systems," in H. Kressel (Ed.), Semiconductor Devices for Optical Communication, 2nd, Springer-Verlag, 1982.
- [11] J. L. Hullett and T. V. Muoi, "Referred impedance noise anaysis for feedback amplifiers," Electron. Lett., 13(13), pp. 387-389, 1977.
- [12] Paul T. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits," Wiley, 3rd, 1993.
- [13] 김윤기, "고속 디지털 시스템을 위한 60MHz PLL 의 설계 및 제작," 단국대학교, 1996.
- [14] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2001.
- [15] Dan Clein, "CMOS IC Layout Concepts, Methodologies, and Tools," Newnes, 2000.
- [16] 박홍준, "CMOS 아날로그 집적회로 설계 (상), (하)," 시그마프레스, 1999