

Arrester용 digital surge counter의 서지 검출 장치에 관한 연구

김석수, 최익순, 조동환*, 이강섭**, 박태곤***

한국전기연구원, 하늘산업전자, 천호산업(주)*, 창원대학교**

The study on surge detector of digital surge counter for arrester

Seok-Sou Kim, Ike-Sun Choi, Dong-Hwan Cho*, Kang-sup Lee** and Tae-Gon Park***

KERI, Sky Ind. Chun-Ho Co., LTD* and ChangWon Uni.***

Abstract

The purpose of this study is to design the digital surge counter for lightning arresters. The used detecting method for surges is using the signal of both ends of ZnO varistor. The electronic detecting parts of the digital counter are arranged in outside of main processer for protecting it from noise. The detecting parts change detected signals into small signals. The countermeasures for noises are (1) Shielding (2) Reinforcement of power circuits (3) Cables & Circle core (4) Watch-dog & control of input signals.

Key Words : digital surge counter, processor, ferrite, regulator, shunt, potocoupler

1. 서 론

피뢰기에 인가되는 surge는 적어도 수 kA를 상회하게 되는데 이를 검출하기 위한 counter는 수 kA에서 수백 kA를 넘나드는 surge로부터 안전해야 하며 surge의 유입을 정확히 검출할 수 있어야 한다. surge의 검출을 위한 counter는 고용량의 순간적인 전력을 저용량의 지속적인 전력으로 변환하는 변환작업이라고 할 수 있으며, 각 counter들이 적정 전압으로 적정 시간을 유지해야하는 기계적, 전기적 특성을 가져야 한다.

surge counter는 surge를 검출하는 것에 있어서 surge current를 이용하여 검출하는 방식인 CT 방식과 ZnO 바리스터가 활성화되기 이전에 일정 범위의 Voltage를 이용하는 ZnO 및 Gab방식이 사용되고 있다. 이 때, 어떤 방식을 사용하더라도 순간적인 과전압 및 과전류 즉, 높은 순간에너지가 인가되는 과전력에 따른 안정화 회로를 설계하여 순간 과전력에 의한 회로의 소손을 방지할 수 있어야 한다.

digital surge counter는 이러한 관점에서 바라볼 때 검출 방식에 대한 것은 별도로 고려하지 않아도 기존의 기계, 전자의 복합형에서 사용하던 방식을 적용할 수 있다.

따라서 본 연구에서는 이러한 digital surge counter의 surge 검출 방식 및 노이즈에 대한 대책에 대하여 논하고자 한다.

2. 시제품 제작

2.1 Digital Surge Counter의 기본회로 설계

그림 1은 digital surge counter의 기본적인 구조를 도식화 한 것으로, 기본적인 특성으로 예측된 surge 횟수와 누설전류를 표기하고 유지하는 회로가 설계되어야 한다. 그림에서 나타낸 바와 같이 digital surge counter는 main processer, 신호 처리부, display, 통신부, memory 등 5 부분으로 나누어진다.

main processer는 surge counter의 각 부분을 연동, 제어하여 counter의 전반적인 동작을 구현한다.

또한, surge 시 발생하는 noise에 강하거나 또는 noise가 유입되더라도 회로가 안전하고 구동에 문제가 없어야 한다.

신호 처리부는 surge 신호 및 누설전류 입력을 처리, 가공하여 main processor에 알맞게 조절한다. 그리고, 검출된 surge를 문제없이 counter할 수 있어야 하며 surge에 의해 회로에 문제를 야기 시키지 않도록 안전하게 설계되어야 한다.

count 된 surge 및 누설전류를 실시간으로 표기하기 위한 display을 설치하였고, counter가 보유하고 있는 데이터를 on-line으로 전송하기 위한 통신부를 설치하였다.

또한 counter 된 데이터를 저장하기 위한 memory를 설치하였고 counter에 전원이 차단되어도 저장 값을 기억해야 하며, surge 시 counter가 down 되는 경우가 발생하더라도 저장된 data에는 문제가 없어야 한다.

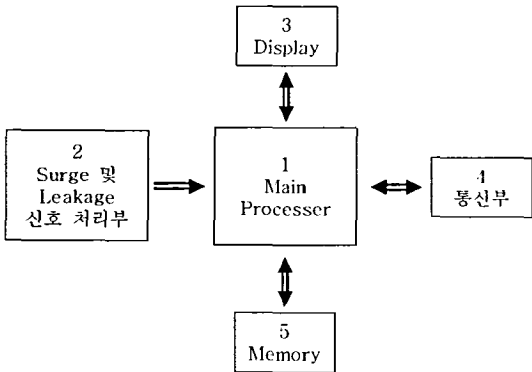


그림 1. digital surge counter의 기본적인 구조도

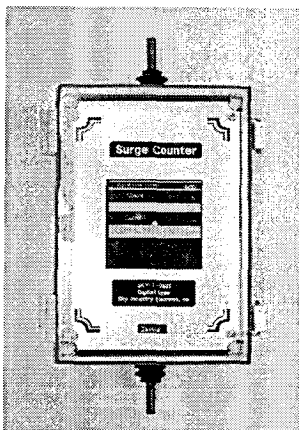


그림 2. digital surge counter 시제품 사진

2.2 Digital Surge Counter 제작 및 설치

digital surge counter의 기본적인 구조 조건에 따라 설계하여 그림 2와 같은 counter를 제작하였다.

digital surge counter는 옥외 설치를 고려하여 기밀 유지가 가능한 구조로 구성되어 있다.

3. 결과 및 고찰

3.1 검출방식 선정

기존의 CT방식인 surge counter는 CT를 통한 절연이 이루어지더라도 noise에서 자유로울 수 없다. 특히 digital화 된 surge counter는 noise에 더욱 민감할 것이다.

따라서 digital surge counter에 활용된 기본 회로의 induction noise 영향에 대한 시험을 하였다. 피뢰기에 약 18kV의 고압을 On/Off를 반복하여 noise에 대한 회로의 상태를 파악하였고 그 결과를 표 1에 나타내었다.

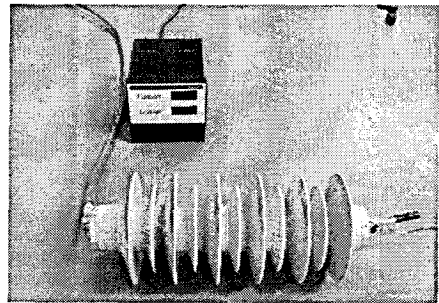


그림 3. induction noise의 영향 실험 사진

표 1. induction noise의 영향 실험 결과

실험회수	개폐전압	회로의 상태
1	18.4	○
2	18.3	○
3	18.3	x
4	18.4	x
5	18.3	○
6	18.5	○
7	18.4	x
8	18.3	○
9	18.4	○
10	18.4	x

○ 정상, x- down

표 1에 나타낸 바와 같이 결선된 전선을 통하지

않고도 noise의 영향을 받는 것을 알 수 있다.

digital surge counter의 경우 소신호 검출이 가능하므로 CT의 절연성을 이용하기보다는 surge를 소신호로 가공하는 방식이 용이하다. induction noise에 대한 조치로서 보호 및 noise 방지회로를 설치하여 noise가 실제 결선된 회로선로를 따라 회로에 미치는 경우 차단이 가능하다. 또한 차후 전력적 분석을 위하여 전압과 전류를 일괄적으로 검출하여야 하므로 CT 방식이 아닌 ZnO 바리스터의 양단신호를 이용하는 것으로 선정하였다.

3.2 Surge 검출

그림 4와 같은 일반적인 뇌 Surge를 검출한 신호는 그대로 digital 회로에 적용하면 회로의 소손을 일으킬 수 있다.

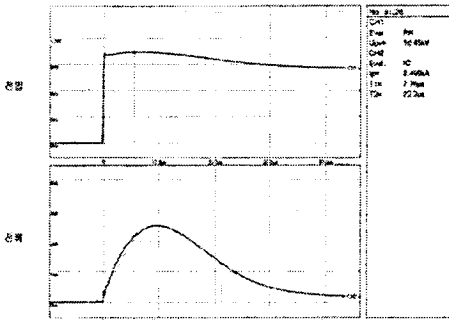


그림 4. 일반적인 뇌 surge의 파형

소손 방지를 위해 보호회로를 내부에 설계하면 surge에 의한 소손을 방지할 수는 있지만 나중에 설명할 noise에 대한 영향으로 digital 회로에 오동작을 일으킬 수 있다. 따라서 그림 5와 같이 digital counter는 전자적 surge 검출부를 main processor의 외부에 두어 회로를 보호하고 노이즈의 악영향을 방지하고 원하는 신호를 소신호화하여

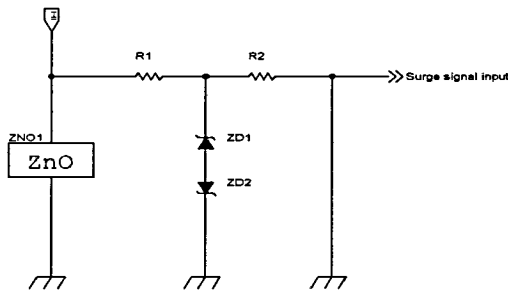


그림 5. surge 신호의 처리

main processor에 전달하도록 하였다.

그림 5에 나타난 바와 같이 R1은 1차적인 전류제한을 하는 것으로 ZnO 바리스터가 활성화되기 전 약 2kV의 전압이 인가되는데 이러한 전압에 대하여 내력이 충분하도록 선정하며, 또한 ZD1과 ZD2가 견딜 수 있는 내구성을 고려하여 제한폭을 결정하였다. surge는 R1의해 충분한 전류제한을 이루고 ZD1, ZD2에 의해 전압을 제한한다. 이 때 ZD1, ZD2는 R1에 의해 보호받으며 후단 회로를 보호한다. R2까지 이른 surge 신호는 다시 한번 전류적 제한을 거쳐 후단 회로를 보호한다. 이러한 3단계 제한회로를 거친 surge는 소신호화 되어 main processor에 전달되게 된다. 누설전류의 경우 이미 소신호이고 평상시 파괴기를 포함한 ZnO 바리스터의 임피던스가 높으므로 파괴기의 누설전류 크기에 변화는 없다고 볼 수 있다.

3.3 검출된 Surge 신호의 변조

소신호화 된 surge 신호는 digital 회로가 인식할 수 있는 신호로 변조된다. 그림 6에 나타난 회로도에서 R4는 평시 누설전류 측정을 위한 shunt로 활용되고 surge가 인가되면 ZD3, 4에 의해 보호된다.

Surge 신호는 ZD3, 4를 거쳐 D1에 의해 정류되고 C1에 의해 신호를 축적한다. 축적된 신호는 R5를 거쳐 U1에 의해 절연된 신호로 일정시간 동안 유지되어 CPU로 전달된다. 이때 ZD5, 6에 의해 후단의 콘덴서와 저항, photocoupler등이 보호된다.

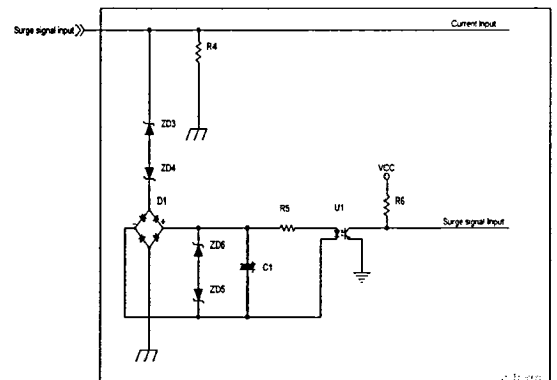


그림 6. surge signal 변조 회로도

3.4 노이즈에 대한 대책

(1) 차폐막 효과

차폐막으로 철판을 이용하여 앞서 노이즈에

대한 시험과 동일한 조건으로 노이즈 차폐에 대한 시험을 실시하였으며, digital 회로에는 별도의 노이즈 방지 회로를 설치하지 않았다. 표 2에 나타난 바와 같이 차폐 효과는 표 1의 결과치 보다 양호한 결과를 나타내었다.

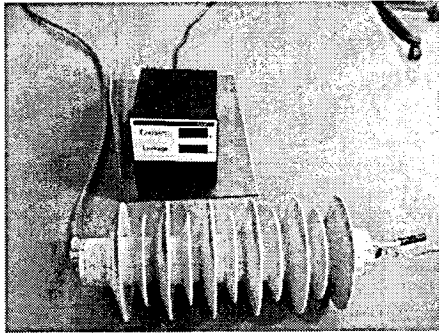


그림 7. 유도성 노이즈에 대한 차폐막효과 실험

표 2. 유도성 노이즈에 대한 차폐막효과 실험 결과

실험회수	개폐전압	회로의 상태
1	18.2	○
2	18.2	○
3	18.4	○
4	18.4	○
5	18.4	○
6	18.3	○
7	18.4	○
8	18.3	x
9	18.3	○
10	18.4	○

○ 정상, x- down

(2) 전원회로의 보장설계

micro processor가 사용되는 회로에 기본적으로 chip주변에 콘덴서를 설치하여 노이즈성분에 대비를 한다. 그러나 surge counter의 경우 고압 surge를 처리하는 경우이므로 전원회로의 보장설계를 하는 것이 좋다. 그림 8은 전압 regulator를 이용한 정전압 회로이다. a)의 경우가 가장 기본적인 회로이며 b) 경우 일반적으로 사용하는 형태의 회로이고 c)의 경우가 노이즈에 강력한 내력을 갖는 형태이다. 그림의 점선 부분이 기본적인 회로에 추가된 안정화 회로이다.

(3) 케이블 선정 및 원형 코아 삽입

전원선, 통신선, 신호 입력선 등은 쉴드가 있으며 각 선들이 꼬여있는 형태의 케이블을 이용한다. 이러한 케이블은 쉴드에 의한 차단 효과와 각

선들에 의한 노이즈 방지효과가 뛰어나다. 또한 케이블에 원형 코어를 삽입하여 효과를 극대화한다.

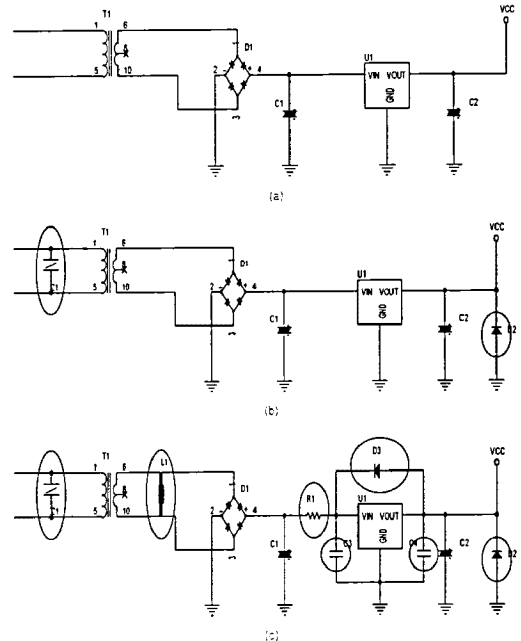


그림 8. 전원회로의 보장

그림 9의 (a)가 원형 코아, (b)가 쉴드, (c)가 트위스트 형태의 배선형태를 나타낸 것이다.

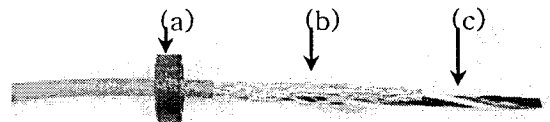


그림 9. 결선용 케이블의 형태

(4) watch-dog 과 입력 신호의 control

최악의 상황에 노이즈의 영향으로 CPU가 down 될 수 있다. 이럴 경우 회로가 제 기능을 할 수 없으므로 스스로 초기화 할 수 있도록 해야 한다. 따라서 digital surge counter는 watch-dog 기능을 내장해야하고 surge 인입순간 down으로 인해 count하지 못했다면 초기화와 동시에 정상적인 count를 할 수 있어야 한다. 그림 10의 입력회로는 U3의 potocoupler는 surge 신호가 충전된 c1의 에너지의 소모여부를 결정한다. 이것은 surge signal input enable 단자의 활성화 여부에 따라 surge 신호를 대기상태로 만들 수 있음을 말한다. CPU가 down되면 CPU의 모든 핀들은 high impedance 상

태가 되는데 이 경우 surge signal input enable 단자를 활성화 시켜 줄 수 없다. 즉, down 상태에선 U3의 photocoupler가 활성화 될 수 없다. surge 신호가 대기상태에 놓이게 되고 watch-dog에 의해 초기화된 CPU가 signal input enable 단자를 활성화 시킴으로써 발생한 surge 신호를 정상적으로 카운터 할 수 있다.

FBR1은 ferrite 비드 저항으로 GND를 분리하여 안정성을 높인 것이다.

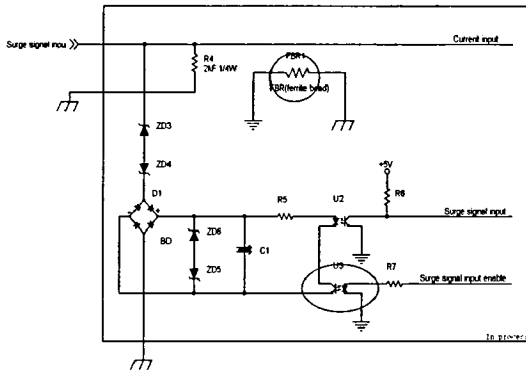


그림 10. processor down시 정상동작을 하기 위한 입력회로

4. 결 론

surge 검출 방식은 CT 방식이 아닌 ZnO 바리스터의 양단신호를 이용하는 것으로 선정하였고 digital counter는 전자적 surge 검출부를 main processor의 외부에 두어 회로를 보호하고 노이즈의 악영향을 방지하며, 원하는 신호를 소신호화하여 main processor에 전달하도록 하였다. 노이즈에 대한 대책으로는 (1) 차폐막 효과 (2) 전원회로의 보강설계 (3) 케이블 선정 및 원형 코어 삽입 (4) watch-dog과 입력 신호의 control등의 방법을 고안하여 차세대 Digital Surge Counter을 설계하였다.

감사의 글

본 연구는 중소기업청 지원으로 산·학·연 컨소시엄사업으로 수행되었습니다.

참고 문헌

- [1] 김석수, 조한구, 박태곤, 박춘현, 정세영, 김병규, “배전급 피뢰기용 ZnO 바리스터 소자의 미세구조 및 서지 특성에 관한 연구,” 전기전자재료학회논문지, 15권, 2호, p. 190, 2002.
- [2] 한국산업규격, “갭리스형 금속산화물 피뢰기,” KS C 4616, 1997
- [3] 한국전력공사, “전력용피뢰기,” ES-153-261~283, 1998.
- [4] 김석수, 조동환 3명 “Surge arrester용 surge counter의 동작특성” 2004 한국전기전자재료학회 하계 학술대회 논문지 vol.5 No.2 pp. 1134-1137.
- [5] 김석수, 이강섭외 3명 “arrester용 surge counter의 동작특성” 2004 한국전기전자재료학회 춘계 학술대회 논문지 pp. 30-33 .
- [6] Metal-oxide surge arresters without gaps for a.c. systems, IEC 60099-4, 1998. 8.