박막 그린시트의 두께 및 적층 층수에 따른 X7R 고용량 MLCC의 전기적 특성

윤중락 우병철, 이석원*, 이헌용**
삼화콘덴서, *호서대학교, **명지대학교,

Effect of the electrical properties on the green sheet thickness and stacking layer of high capacitance X7R MLCC

Jung-rag Yoon, Byung-chul Woo, Sek-won Lee*, Heun-Young Lee**
SAMWHA Co. Ltd . Hoseo Univ*, .Myoung Ji Univ**

Abstract : X7R 특성을 가지는 적층 칩 캐패시터 제작시 그린시트의 두께에 따라 유전율, 절연파괴 전압, C-V특성이 변화되며 특히, 그린시트의 두께는 C-V특성에 중요한 인자임을 확인할 수 있었다. 적층수 증가에 따른 특성 검토시 80층 이상부터 재료의 물성 변화로 예상되는 특성을 볼 수 있으며 특히 전류-전압특성에서의 층수 증가에 따른 영향을 볼 때 유전체 조성 및 공정조건을 최적화하여야 함을 확인하였다.

Key Words : X7R , MLCC, C-V특성, Green Sheet

1. 서 론

최근 휴대용 멀티미디어 제품의 수요 증가와 전자기기의 경박 단소화 추세로 인하여 제품의 생산성과 경제성을 고려하여 표면 실장이 증가하면서 적층 세라믹 캐패시터 (Multi-Layer Ceramic Capacitor)의 수요가 증가하고 있다. 적층 세라믹 캐패시터의 고용량화를 위해서는 전극간 유전체 두께를 얇게 하면서 내부 전극 층수를 늘여야 한다. 적층 세라믹 캐패시터의 구성 요소로서는 유전체 세라믹, 내부 전극, 외부전극으로 구성되며 일반적으로 유전체 세라믹은 고유전율을 얻기 위하여 $BaTiO_3$계를 사용한다. 내부 전극의 경우 Pd, Ag와 같은 귀금속 대신 최근에는 경제성을 고려하여 비금속인 Ni를 적용하는 경우가 증가하고 있다.[1] Ni을 내부전극으로 적용시 소결 중 Ni 내부전극의 산화를 방지하기 위하여 환원 분위기 소결이 필요하다. 고용량의 제작을 위해서는 내환원 조성의 원료 뿐 만 아니라 제조 공정이 변수로 작용한다. 최근에는 고용량 적층 칩 캐패시터 제작시 3um이하의 박막 그린시트를 800층을 적층하여 10 [uF] 이상의 적층 칩 캐패시터를 제작한다. 본 논문에서는 적층 칩 캐패시터 제작시 공정 및 설계 변수인 적층 층수와 그린시트의 두께에 따른 전기적 특성, 미세 구조, 신뢰성의 관계를 조사였다.

2. 실 험

$BaTiO_3$에 MgO, MnO, Y_2O_3, $(Ba,Ca)SiO_3$를 첨가하여 X7R 특성을 만족하는 원료를 제작하였다. 최종원료는 전기적 특성은 유전율이 2200, 유전손실 0.7, 절연저항 1000[G-ohm]이고 분체특성은 평균입경은 0.4um이고 BET는4.4[m^2/g]인 원료이다.[2] 세라믹 원료에 PVB 바인더, 분산제, 톨루엔/에탄올을 적정 배합비로 칭량한 후 고분산성을 얻기 위하여 Basket Mill을 적용하여 2시간 혼합, 분산하여 슬러리를 제작하였다. 제작된 슬러리를 Die coating 방식을 적용하여 25, 12, 8, 5um의 그린시트를 제작하였다. 제작한 그린시트를 Ni을 내부전극으로 한 후 일반적인 적층 칩 공정을 적용하여 표1과 같이 10 ~ 110층을 적층하였다. 적층 칩을 내환원성 분위기에서 소성한 후 전기적 특성을 측정하였다.

표. 1 적층 칩 캐패시터 두께 및 층수

실험 내용	Spec.	내부	
		두께	층수
층수에 따른 변화 (동일 Sheet사용:8㎛)	683K	8	10
	334k	8	40
	474k	8	70
	824K	8	110
Sheet두께에 따른 변화 (동일 LAYER : 20층)	473k	25	20
	104K	12	20
	154K	8	20
	224K	5	20

3. 결과 및 검토

그림 1은 8 um 그린시트의 적층 층수에 따른 용량의 변화를 유전율로 환산한 값으로 층수가 증가할수록 유전율이 증가하는 경향을 보이지만 40층 이상에서 부터는 큰 유의차는 나타나지 않는다. 이와같은 결과는 디스크로 만든 경우와 다른 결과로 저층에서 낮은 유전율이 보이는 것은내부 전극의 층수에 따른 소성 특성의 변화에 의한 것으로 예측된다.

그림 2는 적층 수를 20층으로 한 후 그린시트 두께에 따른 유전율의 변화를 나타낸 그림으로 5 um에서는 유전율이 크게 나타나지만 그 이상에서는 큰 차이가 없음을 볼 수 있었으며 5 um에서의 유전율 변화는 내부전극과 그린시트간에 압착 수축율 또는 소성시 소결성의 차이에 의한 것으로 예측된다.

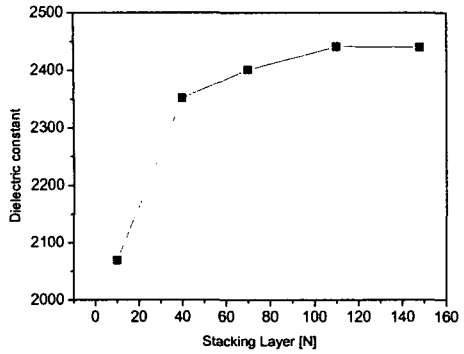

그림 1. 적층 층수에 따른 유전율 변화

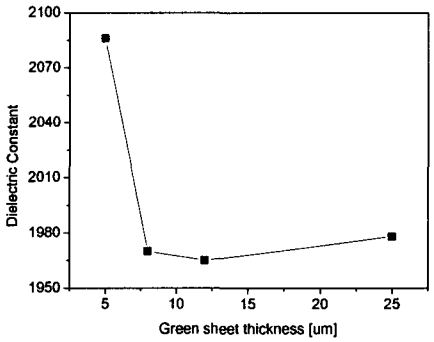

그림 2. 그린시트 두께에 따른 유전율 변화

그림 3은 8 um 그린시트의 적층 층수에 따른 절연저항의 변화로서 적층수가 증가할수록 지수적으로 감소하는 경향을 보이고 있으며 적층 층수가 높은 경우 절연저항이 감소하는 원인은 층수에 의한 것보다는 용량에 의한 R*C =constant 값에 의한 것으로 예측된다. 그림 4는 적층 수를 20층으로 한 후 그린시트 두께에 따른 절연저항의 변화를 나타낸 그림으로서 그린시트의 두께가 증가할수록 절연저항 값이 선형적으로 증가함을 볼 수 있다.

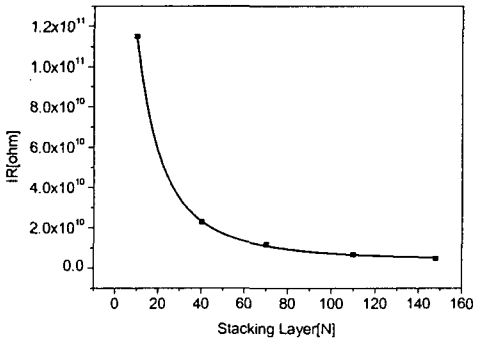

그림 3. 적층 층수에 따른 절연저항

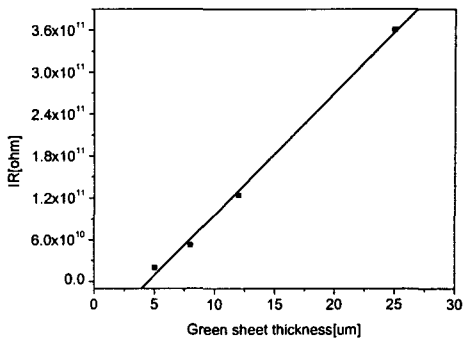

그림 4. 그린시트 두께에 따른 절연저항

그림 5는 8 um 그린시트의 적층 층수에 따른 절연파괴 전압으로 층수가 증가할수록 파괴전압값이 낮게 나타남을 볼 수 있으며 이와같은 결과는 단위면적당 결함의 개수와도 연관이 있는 인자임을 보여주고 있다.

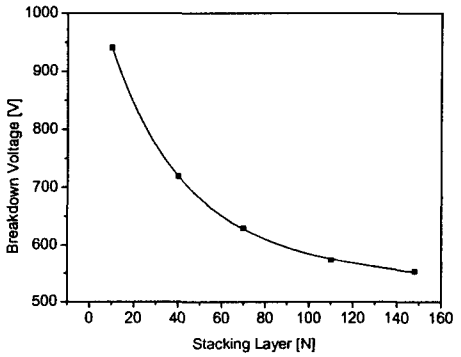

그림 5. 적층 층수에 따른 절연파괴전압

그림 6은 적층 수를 20층으로 한 후 그린시트 두께에 따른 절연파괴 전압으로 유전체의 두께가 증가할수록 절연파괴전압이 증가하는 경향을 보이고 있으나 두께가 증가하는 경우 포화되는 경향도 보이고 있다.

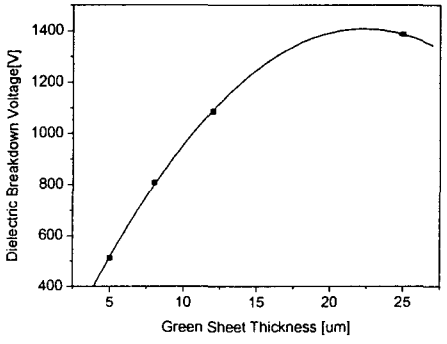

그림 6. 그린시트 두께에 따른 절연파괴전압

그림 7은 8 um 그린시트의 적층 층수에 따른 C-V특성으로 층수가 증가할수록 특성 변화가 크게 나타남을 볼 수 있지만 그림 8의 두께에 따른 변화 보다는 적게 나타나고 있으며 C-V특성은 적층수 보다는 두께의 인자임을 보여주고 있다.

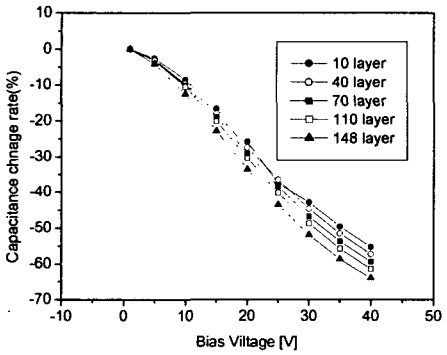

그림 7. 적층 층수에 따른 정전용량 변화율

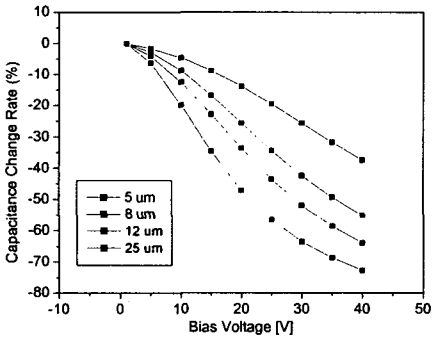

그림 8. 그린시트 두께에 따른 정전용량 변화율

그림 9는 8 um 그린시트의 적층 층수에 따른 전압-전류 특성으로 사용전압에서는 유의차를 나타내지 않는 반면 고전압 인가시 절연저항에 차이가 큰 것으로 보아 공정변수보다는 재료의 변화에 의한 것도 유추할 수 있다. 그림 10의 두께에 따른 전압-전류특성을 보면 적층 층수보다는 두께에 의한 영향이 크게 나타남을 보여주고 있으며 향후 고용량 적층 칩 캐패시터 설계시 두께와 절연저항의 관계를 통해 정격전압을 주요 인자로 적용할 수 있음을 보여주고 있다.

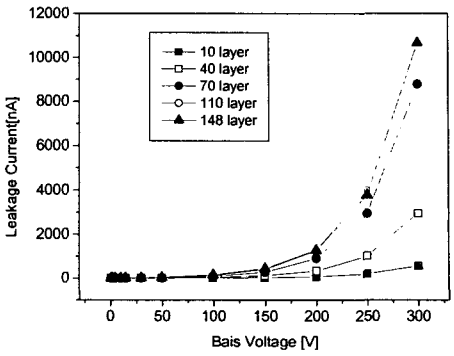

그림 9. 적층 층수에 따른 전류-전압 특성

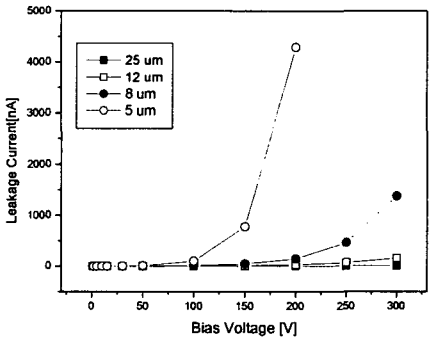

그림 10. 그린시트 두께에 따른 전류-전압 특성

4. 결 론

고용량 적층 칩 캐패시터를 제작하는 데 있어 적층수의 증가에 따라 절연저항, 유전율 특성의 변화함을 확인하였으며 특히, 그린시트 두께에 따라 C-V 특성의 연관성이 크게 나타났으며 재료 정수 및 공정능력을 고려하여 적층수 및 그린시트두께를 조절하여 설계하는 것이 타당함을 확인할 수 있었다.

참고 문헌

[1] Hiroshi Kishi, Youichi Mizuno and Hirokazu Chazono, "Base-Metal Electrode-Multilayer Ceramic Capacitor:Past,Present and Future Perspectives," Jpn.J.Appl.Phys.Vol.42, pp. 1-15, 2003.

[2]이석원, 윤중락, "X7R 적층칩 세라믹 캐패시터조성의 희토류첨가에 따른 유전특성" 전기전자재료학회논문지, Vol. 16, No.12, pp.1080, 2003