

PRAM용 GST계 상변화 박막의 하부막에 따른 특성

장낙원, 김홍승
한국해양대학교

Properties of GST Thin Films for PRAM with Bottom Electrode

Nak-won Jang, Hong-seung Kim
Korea Maritime Univ.

Abstract : PRAM (Phase change Random Access Memory) is one of the most promising candidates for next generation Non-volatile Memories. The Phase change material has been researched in the field of optical data storage media. Among the phase change materials, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST) is very well known for its high optical contrast in the state of amorphous and crystalline. However, the characteristics required in solid state memory are quite different from optical ones. In this study, the structural properties of GST thin films with bottom electrode were investigated for PRAM. The 100-nm thick GST films were deposited on TiN/Si and TiAlN/Si substrates by RF sputtering system. In order to characterize the crystal structure and morphology of these films, we performed x-ray diffraction (XRD) and atomic force microscopy (AFM).

Key Words : $\text{Ge}_2\text{Sb}_2\text{Te}_5$, PRAM, Phase change material, AFM , XRD

1. 서 론

IT시대의 도래와 함께 초고속, 대용량, 저전력 비휘발성 메모리에 대한 요구가 증가되면서 비휘발성 메모리의 시장은 폭발적으로 증가하고 있는 추세이다. 현재 비휘발성 메모리 시장의 75% 이상을 플래시메모리가 사용되고 있으나 동작속도가 느린 단점이 있어 차세대 메모리로는 부족한 면이 있다. 플래시메모리의 대안으로 FRAM (Ferroelectric RAM), MRAM (Magnetic random access memory), PRAM (Phase Change RAM) 등의 새로운 메모리소자에 대한 연구가 활발히 진행 중에 있다. 그중에서 상변화 메모리 PRAM은 저항 변화에 따라 정보를 저장하는 비휘발성 메모리로, 제조공정이 단순하여 저가격화 달성이 용이하고, 셀 크기를 기존의 메모리에 비해 크게 줄일 수 있어 플래시 메모리를 대체할 차세대 정보기기용 메모리로 수요가 증가할 것으로 예측된다.

PRAM에 이용되는 상변화 재료의 경우, 광 메모리 소자에 응용되면서 구조 및 결정 특성에 대한 연구는 꾸준히 이어지고 있으나, 상변화 재료의 반도체 메모리 소자의 응용에 대한 연구는 그 기간이 얼마 되지 않아 소자의 구조 변화에 따른 전기적 성질 변화, 집적공정 진행에 따른 열화의 원인등에 대한 연구는 아주 미미한 실정이다.

특히, 상변화 소재가 반도체 메모리 소자로 응용이 되는 경우는 기존의 광 메모리의 레이저 열에 의해 상전이가 아닌 하부전극에서의 전류의 주열 열에 의한 상전이가 이루어져 열 공급원 차이가 소자에 미치는 영향에 대한 연구가 절대적으로 필요하며, 또한 PRAM 소자의 가장

큰 단점으로 알려져 있는 큰 쓰기전류를 감소시키기 위해 적절할 하부 전극막에 대한 연구와 하부 막질에 따른 GST 박막의 특성을 연구하는 것이 필요하다.

따라서 본 연구에서는 PRAM용 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 박막을 TiN/Si 와 TiAlN/Si 기판위에 제작하여 하부 전극막에 따른 GST 박막의 특성 변화를 조사하였다.

2. 실험

본 연구에서는 상변화 메모리 PRAM의 상변화 물질로 사용하기 위해 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 조성의 GST 박막을 RF sputtering 법으로 제작하였다.

GST 박막은 TiN 300 Å/Si 기판과 TiAlN 300 Å/Si 기판위에 각각 제작되었다. GST Target 과 기판 사이의 거리는 10cm, 챔버 내의 초기 진공도를 2×10^{-6} Torr, 증착시 기판의 온도는 250 °C 로 하여 제작하였다.

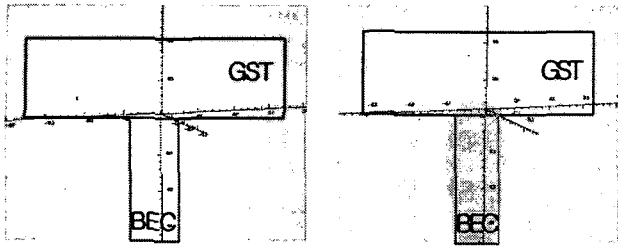
GST 박막 증착시 GST 박막의 비저항을 높이기 위해 Ar 가스에 N_2 를 혼합하여 N 도핑된 GST 박막을 제작하였다. N_2/Ar 의 비는 0.7% 이다.

제작된 GST 박막을 AFM (atomic force microscope), XRD (X-ray diffraction) 등의 관찰을 통하여 하부막에 따른 GST 박막의 결정화 정도, 결정 구조 등 박막의 구조적 특성을 분석하였다.

3. 결과 및 검토

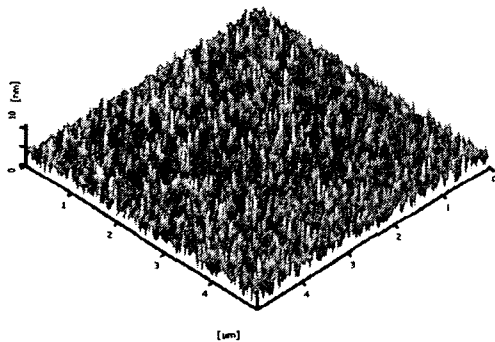
그림 1은 PRAM Cell 구조에서 열 공급원으로 사용되는 하부 전극에 따른 발열량의 차이를 시뮬레이션 한 결

과이다. 하부전극 BEC의 재료를 TiN과 TiAlN으로 변화시킨 후 동일한 전류를 흘려 주었을 경우, BEC를 TiN으로 했을 때에 보다 TiAlN을 사용하면 상대적으로 큰 발열량을 보이는 것을 알 수 있다. 이는 저항차이에 오는 것으로 하부전극을 TiAlN 사용하는 경우 동일한 발열량을 내기 위한 공급되는 전류의 크기를 크게 감소시킬 수 있음을 알 수 있다.

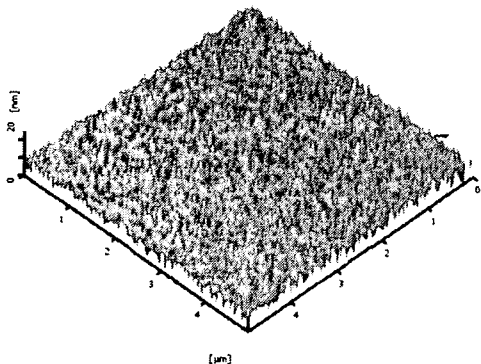


(a) TiN (b) TiAlN
그림 1. 하부전극에 따른 발열량.

그림 2는 GST 박막의 하부막에 따른 AFM 분석 결과이다. 면적 $5\mu\text{m} \times 5\mu\text{m}$ 에서 관찰한 시편의 표면평활도 RMS 값은 TiN 기판의 경우 2.175nm, TiAlN의 기판의 경우 1.087 nm를 나타내어 TiAlN일때 표면의 평활도가 좋음을 알 수 있다.



(a) TiN



(b) TiAlN

그림 2. 하부전극에 따른 시편의 AFM 결과

그림 3은 하부전극에 따른 GST 박막의 XRD 결과이다. TiN과 TiAlN 기판위에 250 °C에서 증착된 N 도핑된 GST 박막이 FCC 격자구조임을 나타내는 XRD 피크들이 보임을 알 수 있다.

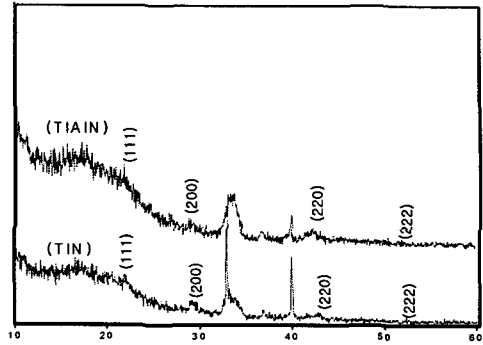


그림 3. 하부전극에 따른 시편의 XRD 결과

결론

본 연구에서는 상변화 메모리 PRAM 용 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 박막의 하부 전극에 따른 특성 변화를 알아보기 위해 TiN/Si와 TiAlN/Si 기판위에 RF sputtering 방법으로 GST 박막을 제작하여 특성 변화를 조사하였다.

AFM 이미지 분석결과, TiAlN 기판위에 제작된 GST 박막의 평활도가 TiN 기판위에 제작된 GST 박막보다 좋음을 알 수 있었다.

감사의 글

“본 연구는 2004년 한국학술진흥재단의 지원에 의하여 연구되었음.” (KRF-2004-002-D00246)

참고 문헌

- [1] S.Lai, T.Lowrey, IEEE IEDM Tech. Dig., p803, 2001.
- [2] Y.N.Hwang, J.S.Hong, S.H.Lee, S.J.Ahn, G.T.Jeong, G.H.Koh, J.H.Oh, H.J.Kim, W.C.Jeong, S.Y.Lee, J.H.Park, K.C.Ryoo, H.Horii, Y.H.Ha, J.H.Yi, W.Y.Cho, Y.T.Kim, K.H.Lee, S.H.Joo, S.O.Park, U.I.Chung, H.S.Jeong, K.Kim, IEEE Symposium on VLSI Tech. Dig., p.173, 2003.
- [3] S.H.Lee, Y.N.Hwang, S.Y.Lee, K.C.Ryoo, S.J.Ahn, H.C.Koo, W.C.Jeong, Y.T.Kim, G.H.Koh, G.T.Jeong, H.S.Jeong and Kinam Kim, IEEE Symposium on VLSI Tech. Dig., p.20, 2004.
- [4] K.Nakayama, K.Kojima, Y.Imai, T.Kasai, S.Fukushima, A.Kitagawa, M.Kumeda, Y.Kakimoto, M.Suzuki, Jpn. J. Appl. Phys., Vol.42. p.404, 2003.
- [5] T. H. Jeong, M.Y. Kim, H.S. Seo, J. W. Park and C. Yeon, Jpn. J. Appl. Phys., Vol.39. p.2775, 2000