

CMOS 공정으로 구현한 고전압 LDMOSFET의 전기적 특성

박훈수, 이영기, 권영규

위덕대학교

Electrical Characteristics of High-Voltage LDMOSFET Fabricated by CMOS Technology

Hoon-Soo, Young-Ki Lee, and Young-Kyu Kwon

Uiduk University

Abstract : The electrical characteristics of high-voltage LDMOSFET (Lateral Double-diffused MOSFET) fabricated by a CMOS technology were investigated depending on the process and design parameters. The off-state breakdown voltages of n-channel LDMOSFETs were linearly increased with increasing to the drift region length. For the case of decreasing n-well ion implant doses from $1.0 \times 10^{13}/\text{cm}^2$ to $1.0 \times 10^{12}/\text{cm}^2$, the off-state breakdown voltage was increased approximately two times, however, the on-resistance was also increased about 76%. Moreover, the on- and off-state breakdown voltages were also linearly increased with increasing the channel to n-tub spacing due to the reduction of impact ionization at the drift region.

Key Words : LDMOSFET, high-voltage, on-resistance, drift region

1. 서 론

고 전압 LDMOSFET는 스위칭 속도가 빠르고 on-저항 (on-resistance) 특성이 우수하며 집적화에 용이한 특성으로 200V 이하 전압 범위의 smart power IC 및 고전압 구동 회로 응용이 급속히 확대되고 있는 소자이다[1]. 지금까지 고 전압 LDMOS 트랜지스터에 대한 기술개발은 주로 on-저항 특성을 향상에 대한 연구에 집중되어 왔다 [2-3]. 그러나, 고전압 LDMOS는 저전압 CMOS 소자와는 달리 소자 구조가 매우 다양하고 소자설계 및 공정조건에 따라 전기적 특성이 매우 민감하게, 그리고 상호의존적으로 변화한다. 예컨대, LDMOS의 항복전압을 증가시키는 경우 on-저항 특성이 나빠지고, on-저항을 감소시키는 경우 off-상태의 항복전압이 증가하지만 snapback 현상으로 on-상태 항복전압이 감소한다. 따라서, 전기적 특성이 우수한 LDMOS를 구현하기 위해서는 소자구조, 소자 설계 및 공정 등의 최적 조건에 대한 종합적인 연구가 필요하다. 본 연구는 기존 twin-well CMOS 기술을 기반으로 고 전압 LDMOS를 설계/제작하고 공정조건, 및 소자 설계치수 변화에 따른 on/off 상태 항복전압과 on-저항 등 전기적 특성 변화를 분석하였다.

2. 실 험

본 연구에서는 기존 twin-well CMOS 공정기술을 이용하여 고전압 n-채널 LDMOSFET를 구현하였으며 간략화한 단면구조는 그림 1과 같다. N-well은 LDMOS의 표동 영역 역할을 하므로 n-well 농도 변화에 따른 LDMOS의 전기적 특성변화 관계를 관찰하기 위해 인 이온 주입량을 1.0×10^{12} ~ $1.0 \times 10^{13}/\text{cm}^2$ 으로 변화하였고, p-well은 봉소를 $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입하였다. 드레인 영역의 n-tub 확산은 well 형성 후 LOCOS 격리 공정 전에 이온 주입하고, 추가 열처리 공정 없이 LOCOS 산화막 성장하는 동안 drive-in 되도록 하여 tub 추가 확산에 의한 well 농도 변화를 배제함으로써 저전압 CMOS 소자의 전기적

특성이 변화하지 않게 하였다. 다음으로 LOCOS 산화막을 약 6500\AA 성장하고, 희생 산화막 성장과 문턱전압 조절 이온 주입 후 두께 175\AA 의 게이트 산화막을 성장하였다. 게이트 산화막 성장 이후의 공정 단계는 기존 CMOS 제작기술과 동일하게 진행하였다.

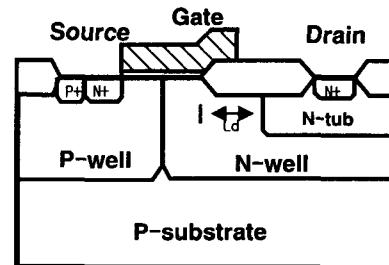


그림 1. 고 전압 n-채널 LDMOSFET 단면도.

3. 결과 및 고찰

그림 2는 채널 폭이 $20\mu\text{m}$, 표동영역의 필드 산화막 길이가 $5.0\mu\text{m}$ 이고 n-well을 $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입한 n-채널 LDMOSFET의 I_d - V_{ds} 특성곡선이다. 문턱전압은 약 0.6V 이고, on-저항은 $2.1\text{m}\Omega\cdot\text{cm}^2$ 으로 우수하고, off-상태의 항복전압은 약 89.4V 로 측정되었다. 그림 3은 채널 길이가 $2.4\mu\text{m}$ 이고, n-well 4.0×10^{12} , p-well $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입한 n-채널 LDMOS에서 표동 영역 길이 변화에 따른 off-상태의 항복전압 변화 특성을 측정한 결과이다. 측정 결과 LDMOS의 표동 영역 길이를 3.5 ~ $8.0\mu\text{m}$ 로 변화함에 따라 off-상태의 항복전압은 68.4 ~ 114.1V 로 증가하였다. 그림 4는 표동영역 길이에 따른 off-상태의 항복전압 및 on-저항 특성 변화 그래프로 표동영역의 길이가 증가하는 경우 드레인 영역의 전계가 감소하여 항복 전압은 거의 선형적으로 증가하였으나, 표동영역의 길이가 증가할수록 항복전압이 증가폭은 약간 둔화되었다. 반면 on-저항은 드레인 표동 영역의 저항 증가로 거의 선형적으로 증가하였다. 그림 5는 필드 산화막

이 $5.0\mu\text{m}$ 이고, n-well $4.0 \times 10^{12}/\text{cm}^2$, p-well $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입한 LDMOS에서 n-tub와 필드 산화막과의 설계 치수(Ld)가 다른 경우의 off- 및 on-상태 항복 전압 변화를 측정한 그래프이다.

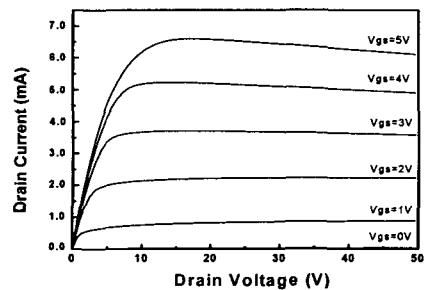


그림 2. LDMOS의 $\text{Id}-\text{V}_{\text{ds}}$ 특성 곡선. ($\text{W}/\text{L}=20/2.4\mu\text{m}$)

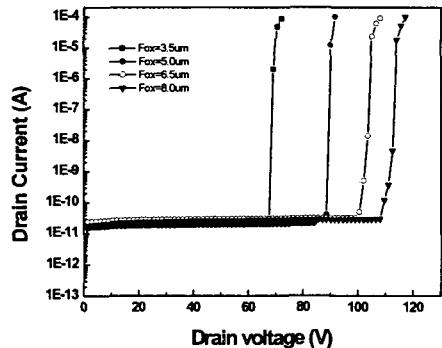


그림 3. 필드 산화막길이 변화에 따른 LDMOSFET의 off-상태 항복 전압 특성.

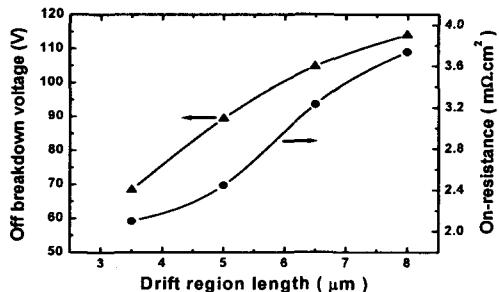


그림 4. 필드 산화막 길이 변화에 따른 LDMOS의 off-상태 항복전압 및 on-저항 특성.

그림과 같이 Ld가 증가하는 경우 최대 전계가 감소하고 전계 분포가 n+ 영역으로 분산되어 항복 전압이 증가한다. 한편, LDMOS의 on-상태 항복 전압도 n-tub의 길이에 비례하여 증가하였다. LDMOS의 on-상태 항복 현상은 드레인 인가 전압 증가에 따라 드레인 전계가 증가하여 충격 이온화가 증가하고, 충격 이온화에 의하여 발생한 전공(hole)이 기판으로 주입되어 기판 전위를 증가시켜 소스(n+)-기판(p)-드레인(n/n+)으로 형성되는 기생 lateral npn 바이폴라 트랜지스터가 전도상태가 되는

snap-back 현상으로 발생하고, 소자는 회복 불능의 파괴 상태가 된다.

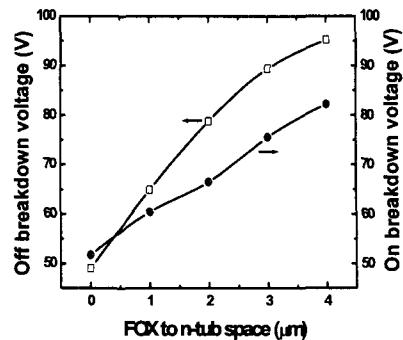


그림 5. N-well 이온 주입량에 대한 항복전압 및 on-저항 특성
(a) $1.0 \times 10^{13}/\text{cm}^2$, (b) $1.0 \times 10^{12}/\text{cm}^2$.

4. 결론

본 연구는 기존 twin-well CMOS 기술을 기반으로 고전압 LDMOS 를 설계/제작하고, LDMOS 공정조건 및 설계치수 변화에 따른 on/off-상태 항복전압과 on-저항 등 전기적 특성 변화를 분석하였다. N-well 4.0×10^{12} , p-well $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입한 n-채널 LDMOS에서 표준 영역 길이가 $3.5 - 8.0\mu\text{m}$ 로 변화함에 따라 off-상태의 항복전압은 $68.4 - 114.1\text{V}$ 로 증가하였으며, on-저항은 약 76% 증가하였다. 또한, n-well 농도를 $1.0 \times 10^{13}/\text{cm}^2$ 에서 $1.0 \times 10^{12}/\text{cm}^2$ 으로 감소한 경우 off-상태 항복전압은 $62.3 - 118.1\text{V}$ 로 약 2배 증가하였다. N-well 이온 주입량이 낮은 경우 드레인 전계가 n-tub 영역으로 이동하여 분산되고 절대값도 낮아지므로 항복전압이 증가하게 되는 것으로 사료된다. 또한, n-tub와 필드 산화막과의 설계 치수가 다른 경우의 off- 및 on-상태 항복 전압 변화를 측정한 결과 필드 산화막과 n-tub의 길이가 증가하는 경우 최대 전계가 감소하여 항복 전압이 증가함과 동시에 드레인 전계 감소로 충격 이온화에 의한 캐리어 발생이 감소하여 on-상태 항복 전압도 n-tub의 길이에 비례하여 증가하였다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2002-000-00507-0) 지원으로 수행되었음.

참고 문헌

- [1] L. Vestling, et al, "A novel high-frequency LDMOS transistor using an extended gate RESURF technology," ISPSD '97, p. 45, 1997
- [2] P. G. Tsui, et al, "Integration of power LDMOS into a low-voltage $0.5\mu\text{m}$ BiCMOS technology," IEEE IEDM Digest, p. 27, 1992
- [3] D. Ueda, et al, "An ultra-low on-resistance power MOSFET fabricated by using a fully self-aligned process," IEEE Electron Devices, Vol. ED-34, No. 7, p. 926, 1987