

고전압 LDMOSFET의 Hot-Carrier 효과에 의한 특성분석

박훈수, 이영기, 권영규
위덕대학교

Analysis of Hot-Carrier Effects in High-Voltage LDMOSFETs

Hoon-Soo, Young-Ki Lee, and Young-Kyu Kwon
Uiduk University

Abstract : In this paper, the electrical characteristics and hot-carrier induced electrical performance degradations of high-voltage LDMOSFET fabricated by the existing CMOS technology were investigated. Different from the low voltage CMOS device, the only specific on-resistance was degraded due to hot-carrier stressing in LDMOS transistor. However, other electrical parameters such as threshold voltage, transconductance, and saturated drain current were not degraded after stressing. The amount of on-resistance degradation of LDMOS transistor that was implanted n-well with $1.0 \times 10^{13}/\text{cm}^2$ was approximately 1.6 times more than that of LDMOS transistor implanted n-well with $1.0 \times 10^{12}/\text{cm}^2$. Similar to low voltage CMOS device, the peak on-resistance degradation in LDMOS device was observed at gate voltage of 2.2V while the drain applied voltage was 50V. It means that the maximum impact ionization at the drain junction occurs at the gate voltage of 2.2V applying the drain voltage of 50V.

Key Words : LDMOSFET, Hot-carrier, On-resistance, Drift region

1. 서론

고 전압 LDMOSFET (Lateral Double-diffused MOSFET)는 스위칭 속도가 빠르며 on-저항 (specific on-resistance) 특성이 우수하여 smart power IC 및 전력소자 기술 분야에서 광범위하게 사용되고 있는 소자이다[1]. 최근 고전압 LDMOS에서 단위소자 크기 축소에 의한 on-저항 특성은 크게 향상되었으나, hot-carrier에 의한 전기적 특성 및 장기적 신뢰성 저하가 심각한 문제로 대두되고 있다[2-3]. 특히, 얇은 게이트 산화막의 LDMOSFET를 고 집적 CMOS 회로와 동일칩에 구현하고 얇은 산화막 구조의 DMOS 소자에서는 hot-carrier에 의한 신뢰성 특성 저하가 심각한 문제이다. 그러나, 전력 DMOSFET에서 hot-carrier 효과에 대한 연구는 거의 이루어지지 않았다. 본 연구는 기존 twin-well CMOS 기술을 기반으로 설계 제작한 고 전압 LDMOS에서 공정 조건과 스트레스 (stress) 인가에 따른 on-저항, 문턱 전압 (threshold voltage) 및 포화 전류 변화 등 hot-carrier 효과에 의한 전기적 특성 변화를 분석하였다.

2. 실험

본 연구에서는 기존 CMOS 공정기술을 이용하여 고전압 n-채널 LDMOSFET를 구현하였으며, LDMOS의 간략화된 단면구조는 그림 1과 같다. 기판 웨이퍼는 비저항 6-9 $\Omega\cdot\text{cm}$ 인 p-형 웨이퍼이고, n-/p-well은 자기정렬 (self-aligned) 방법으로 형성하였다. 그림의 단면 구조와 같이 n-well은 n-채널 LDMOS의 표동영역 (drift region) 역할을 하므로 LDMOS의 항복 전압, on-저항 특성 및 hot-carrier 신뢰성 특성에 매우 중요한 영향을 미치는 핵심요소이다. 따라서, 본 실험에서는 n-well 농도 변화에 따른 LDMOS의 전기적 특성변화 및 신뢰성 특성을 분석하기 위하여 n-well의 인 이온 주입량 변화하였고, p-well은 농도를 $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입하였다.

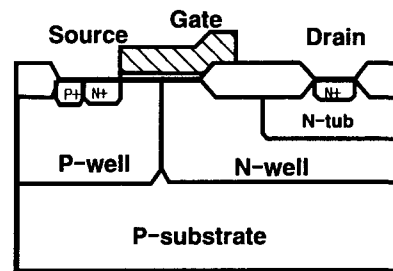


그림 1. 고 전압 n-채널 LDMOSFET 단면도

LDMOSFET의 게이트 산화막은 저전압 CMOS 소자와 동일하게 동일한 두께 175Å으로 성장시켰다. 게이트 산화막 성장 이후의 공정 단계는 기존 CMOS 제작기술과 동일하게 진행하였다. 추가된 마스크는 1개이고 추가된 공정 단계는 3단계이다.

3. 결과 및 고찰

그림 2는 채널 폭이 20 μm , 표동영역의 필드 산화막 길이가 5.0 μm 이고 n-well을 $7.0 \times 10^{12}/\text{cm}^2$ 으로 이온 주입 조건으로 제작하여 HP4156B로 측정된 n-채널 LDMOSFET의 I_d - V_{ds} 특성곡선이다. 게이트 산화막 두께가 175Å인 LDMOS 소자의 문턱전압은 약 0.6V이고, on-저항은 2.1 $\text{m}\Omega\cdot\text{cm}^2$ 으로 우수하고, off-상태의 항복 전압은 약 89.4V로 측정되었다. 그림 3은 n-well 이온 주입량이 다른 LDMOS 소자에 대하여 스트레스 인가 시간에 따른 on-저항 및 문턱 전압 변화 등의 hot-carrier 효과를 분석한 결과이다. 스트레스 인가 전압은 드레인 50V, 게이트 2V로 하였다. 측정 결과 스트레스 인가 시간이 증가함에 따라 on-저항 (R_{on}) 증가 현상이 나타났다. On-저항값은 게이트 전압 5V, 드레인 전압이 0.1V 일 때의 드레인 전류값을 환산하여 계산하였으며, n-well 이온 주입량이 $1.0 \times 10^{13}/\text{cm}^2$ 인 경우 $4.0 \times 10^{12}/\text{cm}^2$ 에 on-저

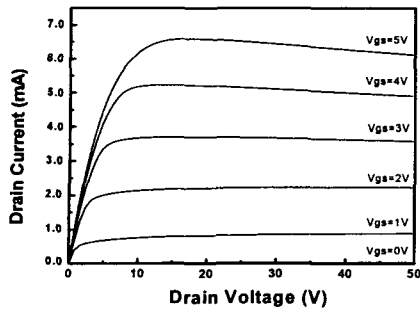


그림 2. 고 전압 n-채널 LDMOSFET의 Id-Vds 특성 곡선 (W/L=20/2.4μm)

항특성 저하가 약 1.6배 증가하였다. 이것은 n-well 농도가 증가하는 경우 횡방향 최대 전계가 증가하여 드레인 접합에서 충격이온화에 의한 hot-carrier 발생이 증가한 결과로 해석된다.

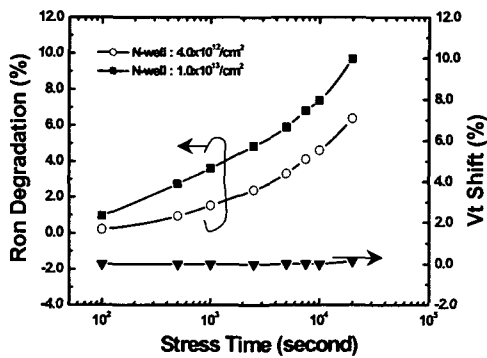


그림 3. Hot-carrier 스트레스 인가 시간에 대한 LDMOSFET의 on-저항 및 문턱 전압 특성 변화

한편, 저 전압 CMOS 소자와 달리 LDMOS 소자에서는 스트레스 인가에 따른 문턱 전압, 포화 전류 및 전달 콘덕턴스 (transconductance)의 전기적 특성 저하는 거의 관측되지 않았다. 그림 4는 드레인 전압을 50V로 고정하고 스트레스 게이트 전압을 변화하여 10,000 초 스트레스 인가 후 hot-carrier에 의한 on-저항 변화를 측정된 결과이다. 그림의 결과에서도 n-well 농도가 높은 경우 on-저항 증가가 크게 나타났으며, 게이트 전압 2.2V 근처에서 on-저항 증가가 최대로 나타났다. 이는 드레인 인가 전압이 50V인 경우 게이트 전압 2.2V 근처에서 충격이온화가 최대 발생하기 때문인 것으로 판단된다. 또한 드레인 인가 전압에 따라 on-저항 증가가 최대로 나타나는 게이트 전압이 각기 다르게 나타났으며, 드레인 전압이 40V 일 때 가장 낮은 게이트 전압에서 on-저항이 최대로 나타났고, 드레인 전압이 증가할수록 높은 게이트 전압에서 첨두치가 관측되었다. 이것은 저 전압 CMOS 소자와 같이 LDMOS 소자에서도 게이트 전압에 따른 최대 충격이온화 발생 전압이 다르기 때문이다.

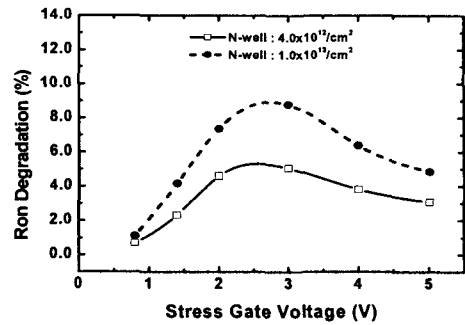


그림 4. 게이트 인가 전압에 대한 on-저항 특성 저하 (스트레스 전압 Vd=50V, 시간 =10,000 초)

4. 결론

본 연구는 고 전압 LDMOS 소자에 hot-carrier 스트레스를 인가하여 on-저항, 문턱 전압 및 드레인 포화전류 등의 전기적 특성 저하를 분석하였다. Hot-carrier 효과를 분석한 결과 스트레스 인가 시간이 증가함에 따라 on-저항 현상이 나타났고, n-well 이온 주입량이 $1.0 \times 10^{13}/\text{cm}^2$ 인 경우 $4.0 \times 10^{12}/\text{cm}^2$ 에 on-저항 특성 저하가 약 1.6배 증가하였다. 한편, 저 전압 CMOS 소자와 달리 LDMOS 소자에서는 스트레스 인가에 따른 문턱 전압, 포화 전류 및 전달 콘덕턴스 등의 특성 저하는 거의 관측되지 않았다. 이것은 LDMOS 소자는 드레인 접합 깊이가 깊어 전류 흐름이 최대 전계 영역에서 분산되어 형성되고, 게이트와 중첩된 부분이 커서 문턱 전압이 게이트 산화막에 포획된 hot electron에 크게 영향을 받지 않는 것으로 판단된다. 또한, LDMOSFET에 드레인 전압을 50V로 고정하고 스트레스 게이트 전압을 변화하여 10,000 초 스트레스 인가 후 hot-carrier에 의한 on-저항 변화를 측정된 결과, 게이트 전압 2.2V 근처에서 on-저항 증가가 최대로 나타났다. 이상과 같이 LDMOS 소자의 hot-carrier 효과는 LDMOSFET의 가장 중요한 특성 중에 하나인 on-저항 증가에 집중되어 나타나므로 이에 대한 심도있는 연구와 대책이 요구된다.

감사의 글

본 연구는 한국과학재단 목적기초연구 (R01-2002-000-00507-0) 지원으로 수행되었음.

참고 문헌

- [1] L. Vestling, et al, "A novel high-frequency LDMOS transistor using an extended gate RESURF technology," ISPSD '97, p. 45, 1997
- [2] D. W. Lee, et al, "Effects of drain structures on the hot-carrier degradation of high-voltage LDMOS transistors," JKPS, Vol. 34, p. 542, 1999
- [3] S. Manzini, et al, "Hot electron induced degradation in high-voltage submicron DMOS transistors," Proceeding of ISPSD, p.65, 1996