

2단계 실리사이드 형성방법에 의한 MOS 공정특성 연구

엄금용, 한기관*

성남기능대학, 한국정보통신기능대학*

A study on MOS Characteristics of 2'nd Silicidation Process

Gum Yong Eom, GI Kwan Han*

Seong Nam Polytechnic College, Korea Information & Communication Polytechnic College

Abstract

In recent years, as the needs of MOS's a high quality is desired to get the superior electrical characteristics and reliability on MOSFET. As an alternative gate dielectric have drawn considerable alternation due to their superior performance and reliability properties over MOSFET, 2'nd silicidation formation process has been proposed as a dielectric growth/annealing process. In this study the author observed process characteristics on MOS structure. In view points of the process characteristics of MOS capacitor, the oxygen & polysilicon was analyzed by SIMS analysis on 1'st & 2'nd Ti process, the oxygen and Si₂ contents[Count/sec] of 1.5e3 & 3.75e4 on 1'st process and 1.1e3 & 2.94e4 on 2'nd process, the Ti contents of 8.2e18 & 6.5e18 on 1'st and 2'nd process. The sheet resistance[Ω/sq.] was 4.5 & 4.0, the film stress[dyne/cm²] of 1.09e10 & 1.075e10 on 1'st and 2'nd process. I could achieved the superior MOS characteristics by 2'nd silicidation process.

Key Words : Gate oxide, Sub-micron device, MOS structure.

1. 서 론

MOS 소자의 집적도가 증가함에 따라 소자의 속도개선, 시정수의 감소가 요구되어 게이트의 전극에도 높은 저항성의 폴리실리콘을 대체하여 폴리실리콘과의 접착성이 좋고 비저항값이 낮은 산화막과의 신뢰성을 향상시킬 수 있는 실리사이드[1]의 사용이 보편화되고 있다. 그러나 서브마이크론 소자용 게이트 산화막 형성 방법에 대하여 양호한 산화막 막질특성과 신뢰성을 얻기 위하여 N₂O 게이트 산화막 형성방법에 대하여 개선된 금속-실리사이드 형성방법[2]이 요구되고 있다. 본 연구는 서브마이크론(<0.1μm) MOSFET 소자[3]에서 소자의 집적도 증가에 따른 우수한 특성[4]을 얻고 소자의 채널영역 확보 및 누설전류를 감소시키며 우수한 신뢰성 특성을 얻고자 새로운 방법의 실리사이드 형성방법을 사용하여 커패시터를 구성하고 MOS에 대한 공정특성[5]을 비교 분석 하였다. MOS에 대하여 물리적 특성으로는 SIMS 분석[Counts/sec], 면저항값[Ω/sq.],

필름의 스트레스값[Dyne/cm²] 등을 측정하여 2단계 실리사이드 형성방법에 의한 게이트 산화막의 특성변화를 확인 할 수 있었다.

2. 실험

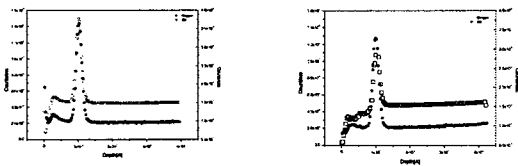
2.1 실험장치

본 연구는 p형 웨이퍼(8~10 Ω.cm)를 사용하여 소자분리 구조를 형성하고 그 위에 게이트 산화막과 금속전극층을 증착하여 MOS 구조를 형성 하였다.

소자분리이후 게이트 산화막은 N₂O 형성방법으로 30Å을 형성하고 다결정 실리콘 1500Å을 증착 시킨 후 Ti 300Å을 증착시켜 티타늄실리사이드(TiSi₂)를 형성시켜 게이트 전극을 형성 하였다. 이때 티타늄실리사이드 형성 공정에서 공정을 분리하여 Ti를 한번 증착한 후 열처리하여 최종적인 티타늄실리사이드(TiSi₂)층을 형성하는 1단계 실리사이드 형성방법과 본 연구에서 제시된 2단계 실리사이드 형성방법 즉 첫 번째 Ti 증착 후 열처리하여 실리사이드를 형성시킨 후 PIRANHA 클리닝과 함께 HF로 박막을 완전히 제거하였으며 그 후 다시 Ti를 300Å을 재 증착시켜 850℃에서 20초간 열처리하여 불순물을 제거시켜 최종적인 커패시터 전극을 형성 하였다.

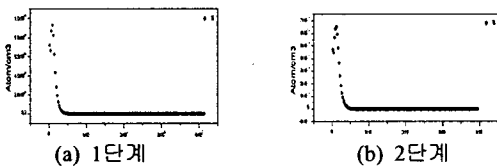
3. 결과 및 고찰

그림1은 실리사이드 형성방법에 따른 SIMS 분석 결과를 나타내었다. 전체적으로는 1단계공정에서보다 본 연구에서 제시된 2단계 공정에서 이온들의 양이 적게 나타났으며 1단계에서는 산소성분의 양이 많이 나타난 반면 2단계에서는 다결정실리콘의 양이 많이 분석되었다. 이는 2단계 실리사이드형성공정 방법의 경우 상대적으로 1단계 방법에 비하여 산소나 다결정실리콘의 양이 적어졌음을 의미하며 MOSFET 성장시 전기적인 특성을 확보 할 수 있음을 의미하는 것으로 사료되는 결과이다.



(a) 1단계 (b) 2단계
그림 1. SIMS 분석결과 1

그림2는 실리사이드 형성방법에 따른 티타늄(Ti)에 대한 SIMS 분석 결과를 나타내었다. 1단계 공정의 경우 $8.2e18$ 을 나타내었고 2단계공정의 경우 $6.5e18$ 을 나타내었다. 이는 2단계 공정에서 잉여 티타늄성분을 제거함으로써 Ti가 Si/SiO₂ 계면사이에서 Si-O 결합을 깨트려 산소성분이 계면쪽으로 확산하여 게이트산화막의 두께를 증가시키거나 불완전한 산화막을 형성할 수 있는 원인을 제거하는 결과가 되어 소자들의 집적시 전기적인 특성을 크게 개선할 것으로 기대된다.



(a) 1단계 (b) 2단계
그림 2. SIMS 분석결과 2

그림3은 필름스트레스 결과를 나타내었다. 1단계 및 2단계 공정에서 열처리 온도변화에 대한 스트레스 값을 나타내었다. 전체적으로 1단계 공정의 경우 $1.06e10 \sim 1.09e10$ 정도의 값을 나타낸 반면 2단계공정에서는 $1.01e10 \sim 1.02e10$ 정도의 값을 나타내었다. 2단계 공정에서의 낮은 스트레스값은 티타늄실리사이드 공정시 Si/SiO₂ 계면특성이나 문턱전압에서도 우수한 특성을 나타낼 것으로 기대되며 MOSFET 구성시 소자의 우수한 전기적인 특성과 양호한 신뢰성 특성을 나타낼 것으로 사료된다.

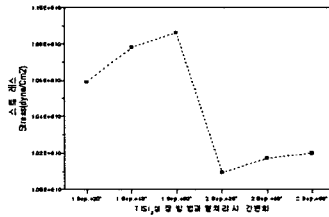


그림 3. 필름의 스트레스값

4. 결론

최근 반도체 소자의 집적도 증가에 따라 요구되고 있는 양질의 초박막 게이트 산화막 특성과 신뢰성을 얻기 위하여 본 연구에서 제시된 2단계 티타늄실리사이드 형성공정을 이용하여 최종적인 TiSi₂를 형성시킴으로 구성 하였다.

본 연구결과 물리적인 특성으로 SIMS 분석을 통하여 2단계 방법에서 산소나 다결정실리콘 및 잉여 티타늄성분의 양이 적은 결과로 실리사이드공정후 게이트산화막의 두께변화가 적게되어 MOSFET 성장시 전기적인 특성을 확보 할 수 있음을 의미하는 것으로 사료된다. 필름 스트레스 측정에서는 2단계공정에서는 $1.01e10 \sim 1.02e10$ 정도의 값을 얻어 티타늄실리사이드 공정시 Si/SiO₂ 계면특성이나 문턱전압에서도 우수한 특성을 나타낼 것으로 기대된다. 그러므로 MOS에 대한 공정특성 연구에서는 본 연구에서 제시된 2단계 실리사이드형성방법을 통하여 우수한 공정특성을 얻을 수 있었다.

참고 문헌

- [1] Gum Yong Eom, "Improvement of sub $0.1\mu\text{m}$ VLSI device quality using a novel titanium silicide formation process", JKPS, Vol. 40, No. 2, p. 335-338, February 2002.
- [2] Jeffrey Lutz et al., "Transistor off-state leakage current induced by TiSi₂ pre-amorphizing implant in a $0.2\mu\text{m}$ CMOS process", IEEE Electron Device Letters, Vol. 21, No. 4, p. 155, April 2000.
- [3] Gum Yong Eom, "A Study on improved of sub $0.1\mu\text{m}$ VLSI CMOS device ultra thin gate oxide quality using novel STI structure", 전기전자재료학회, Vol. 13, No. 9, p. 729-734, September 2000.
- [4] Gum Yong Eom, "A Study on the Electrical Characteristics of N₂O gate oxide 30\AA ", JKPS, Vol. 45, No. 4, p. 1000-1003, October 2004.
- [5] Gum Yong Eom, "Improvement of Electrical Properties in Sub- $0.1\mu\text{m}$ MOSFETs with a Novel Shallow Trench Isolation structure", JKPS, Vol. 43, No. 1, p. 102-104, July 2004.