

## ESD 보호를 위한 LVTSCR의 래치업 차폐회로

정민철, 윤지영, 유장우, 성만영  
고려대학교 전기공학과

### The Latchup Shutdown Circuit of LVTSCR to Protect the ESD

Min Chul Jung, Jee Young Yoon, Jang Woo Ryu and Man Young Sung  
Korea Univ. Dpt. of Electrical Engineering

**Abstract :** ESD(Electrostatic Discharge) 보호에 응용되는 소자는 ESD가 발생했을 때, 빠르게 턴-온되어 외부로부터 EOS(Electric OverStress)를 차단함으로써 집적회로 내부의 코어를 보호해 주어야 한다. 이러한 기능에 충실한 LVTSCR(Low-Voltage Silicon Controlled Rectifier)은 트리거링 전압을 기존의 SCR보다 낮추어 ESD에 대해 민감한 반응을 할 수 있도록 개선한 소자이다. 그러나 트리거링 전압을 낮추면서 래치업 전압 또한 낮아지는 특성이 trade-off 관계로 맞물려 있어, LVTSCR의 단점인 낮은 래치업 전압을 효과적으로 다루는 것이 큰 이슈가 되고 있다. 본 논문에서는 LVTSCR의 ESD 보호에 대한 응용시 발생 가능한 래치업을 차폐하는 회로적 방법을 제시하였다. 제시된 새로운 구조의 차폐회로는 LVTSCR에서 래치업이 발생했을 때, 천이 전류를 감지하여 래치업이 발생되는 소자에 대한 전원을 스스로 차폐시켜 래치업에 대한 안정성을 시뮬레이션으로 검증하였다.

**Key Words :** ESD, EOS, LVTSCR, Latchup, Shutdown Circuit

### 1. 서론

ESD 보호회로에 응용되는 소자의 성능은 집적도, 클램핑 성능, 제작 공정비용과 동작에 대한 안정성 등에 의해 평가 된다. SCR은 실리콘 기반의 MOS제작 공정과 병행 가능하여 공정 단가가 저렴하고 높은 집적도에 비해 높은 전류 수용능력을 가지고 있어서 ESD보호회로에 가장 범용적으로 이용되는 소자 중에 하나이다. 그러나 기존의 SCR은 트리거링 전압이 높은 편이어서 ESD가 발생하였을 때 빠른 응답이 보장되지 않아 트리거링 전압을 낮추고 안정성을 높이는 것에 관한 연구가 시행되었다.

이러한 단점을 보완하기 위해 트리거링 전압을 낮춘 LVTSCR은 ESD가 발생하였을 때에, 빠르게 턴온 되어 클램핑 회로가 집적회로 내의 코어를 효율적으로 보호할 수 있도록 하였다. 그러나 기존의 소자에 비해 트리거링 전압이 개선된 반면, 래치업 전압이 동시에 낮아지는 trade-off 관계로 인하여 래치업 전압 특성을 개선시키는 것이 LVTSCR의 이슈가 되었다.

래치업의 방지에는 공정 테크닉, 레이-아웃 테크닉 그리고 회로 테크닉, 이렇게 세 가지가 가장 일반적인 래치업 방지 테크닉이다. 이 논문에서는 회로 블록에서 래치업 현상이 발생하였을 때에 회로 블록으로부터 천이 전류를 감지하여 회로 블록에 유입되는 전원을 차단함으로써 스스로 래치업을 제어하는 새로운 회로 구조를 제안하고 검증하였다.

### 2. 실험

그림 1에서 볼 수 있듯이 래치업이 발생되는 LVTSCR을 하나의 회로 블록으로 나타내었다. 래치업이 발생 되었을 때에 흘러나오는 전류를 감지하도록 Vss와 회로 블록 사이에 감지회로를 통과하도록 하였다. 일정한 전류 이상이 감지회로에 흘러 들어오면 전류 변환 회로가 스위치가 작동될 수 있는 논리 상태로 전류값을 바꾸어 회로 블록과 Vdd 사이에 연결된 스위치가 off가 되도록 하여 회로 블록을 차폐시키는 구조이다.

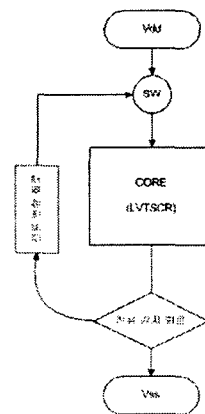


그림 1. 회로 개념도

회로의 구현은 빠른 동작이 필요하고 회로 코어 부분에서부터 Vss로 유출되는 전류를 감지하고, Vdd로부터 유입되는 전류를 제어해야 하므로 최대한 전압 강하가 없고 추가 파워 소모를 줄이는 단순한 구조로 작동 하도록 구현하였다.

그림2에서와 같이 회로도 구성하였다. 전류 감지 회로는 많은 양의 전류를 받아들이므로 BJT를 이용하여 전류 미러 회로로 구성하였다. 미러링 되는 단에 저항을 달아 전류량에 따라 논리 상태 동작이 가능하도록 하였으며 논리 상태에 따라 스위치 동작을 하기위하여 PMOS와 인버터를 사용하였다.

동작 과정은 회로의 코어에 해당되는 LVTSCR에서 래치업이 발생되면 노말 상태에서 흐르는 일정량의 전류량보다 과도한 양의 전류가 흐르게 되면서 전류 감지 회로 부분인 BJT 전류 미러 회로가 저항이 연결된 단으로 전류를 미러링하게 된다. 이렇게 미러링된 큰 용량의 전류는 Vdd에 연결된 저항으로 인해 전압 강하가 일어나게 되는데, 이것으로 인해 발생된 논리적인 '0' 상태는 인버터를 통해 '1'을 출력하게 되고 '1'은 PMOS를 오프상태로 만들어 LVTSCR의 블록단으로 흘러 들어가는 전류를 차폐하는 스위치로서 동작을 하게 된다.

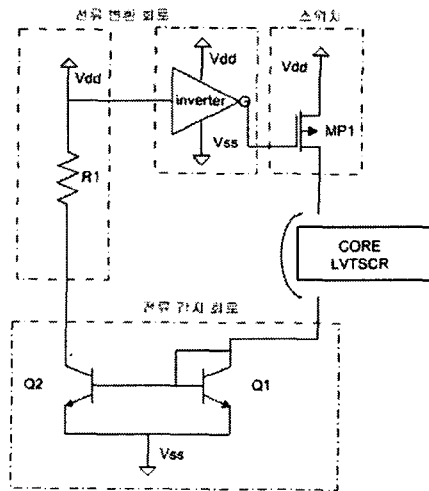


그림 2. 래치업 차폐회로도

### 3. 결과 및 고찰

Cadence로 회로를 구성하고 Hspice로 시뮬레이션 하였다. 래치업 전류가 인가되는 것을 전류원으로 바꾸어 전류 미러단 Q1의 이미터에 인가하고 그로인한 출력 양상은 MP1 소스단의 파형을 측정하였다.

그림 3에서 볼 수 있듯이 10[ns]에서 래치업 전류가 발생하여 큰 피크의 전류가 인가되면 출력단의 전류가 오프 상태로 출력되면서 전체 전원이 차폐되는 것을 확인할 수 있다. ESD가 인가된 후, LVTSCR이 트리거링되어 ESD 전류를 Vss로 빼낸 뒤 발생되는 래치업에 대해서 전체 전

원을 차단함으로써 ESD 발생시에만 동작하게 되는 LVTSCR의 응용특성에 적합함을 확인할 수 있다.

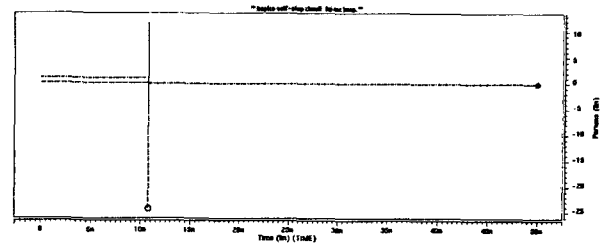


그림 3. 특성 그래프

### 4. 결론

본 논문에서는 래치업이 발생되어 전류가 급격하게 흐르기 시작할 때 천이 전류를 감지하여 차폐시키는 회로를 구성하고 시뮬레이션 하였다.

래치업은 LVTSCR과 같은 특정 소자에서 뿐만 아니라 실리콘 기반의 CMOS IC 벌크에서 항상 문제될 수 있는 이슈이다. 이 논문에서 보인 회로도를 응용하여 ESD에 사용되는 LVTSCR에서 뿐만 아니라 회로 블록에서의 over-voltage 스트레스, ionizing radiation 등으로 인하여 발생하는 래치업을 차폐하는 목적으로 응용할 수 있을 것이다.

### 참고 문헌

- [1] R. R. Troutman, "Latchup in CMOS technology", Kluwer Academic Publisher, 1986.
- [2] Sanjay Dabral, "Basic ESD and I/O Design", John Wiley & Sons, 1998
- [3] S. H. Dhong and R. L. Franch, "Voltage regulation and latch-up protection circuits", U.S. Patent, No. 5212616
- [4] F. Tailliet, "Protection structure against latch-up protection circuits", U.S. Patent, No 5347815