

OTFT의 게이트 절연막에 사용된 점착층에 대한 영향

이동현, 형건우, 표상우, 김정수, 김영관

홍익대학교

The Effect of Adhesion layer on Gate Insulator for OTFTs

Dong-hyun Lee, Gun-woo Hyung, Sang-woo Pyo, Jung-soo Kim, Young-kwan Kim
Hongik Univ.

Abstract : The electrical performances of organic thin-film transistors (OTFTs) have been improved for the last decade. In this paper, it was demonstrated that the electrical characteristics of the organic thin film transistors (OTFTs) were improved by using polymeric material as adhesion layer on gate insulator. We have investigated OTFTs with polyimide adhesion layer which was fabricated by vapor deposition polymerization (VDP) processing and formed by co-deposition of 6FDA and ODA. It was found that the OTFTs with adhesion layer showed better electrical characteristics than with bare layer because of good matching between semiconductor and gate insulator. Our devices of performance are field effect mobility of $0.4 \text{ cm}^2/\text{Vs}$, threshold voltage of -0.8 V and on-off current ratio of 10^6 . In addition, to improve the electrical characteristics of OTFT, we have reduced the thickness of adhesion layer up to a few nanometrs.

Key Words : vapor deposition polimerization (VDP), organic thin film transistors (OTFTs), adhesion layer

1. 서 론

유기 TFT의 전기적 특성 향상에 관한 연구가 지난 10년간 진행되어 왔다. 일반적으로 SiO_2 와 같은 무기물들은 낮은 전기 전도성과 높은 항복 전압을 갖기 때문에 게이트 절연막으로 주로 사용되어 왔다 [1-4]. 그러나 친수성을 띠는 무기물과 소수성을 띠는 유기 반도체와의 접합은 서로 다른 특성을 가진 두 물질의 접합이기 때문에 그 계면에서의 특성이 떨어지게 된다. 이 같은 부적절한 결합 때문에 두 물질의 계면에서 결점(defect)들이 생겨날 뿐만 아니라 반도체 분자들의 배열(ordering) 또한 좋지 못하게 되기 때문에 유기 TFT의 drain 전류와 이동성(mobility)과 같은 전기적 특성이 떨어지게 된다. 이 같은 문제점을 피하기 위해서 다양한 물질과 새로운 방법을 이용한 연구가 이전부터 진행되어 왔다. SiO_2 를 게이트 절연막으로, pentacene을 반도체 층으로 사용한 유기 TFT의 경우 hexamethyldisilazane (HMDS)와 octadecyltrichlorosilane (OTS) 처리 등을 행함으로써 그러한 문제들을 극복하는 연구가 진행되었다 [4]. 그러나 이 같은 방법들은 spin-coating, dipping, self-assembly 등의 습식 공정으로 이루어지기 때문에 오염에 노출되기 쉽다. 본 논문에서는 건식 공정인 vapor deposition polymerization (VDP) 방법을 이용해서 폴리이미드(polyimide)를 점착층으로 이용한 유기 TFT의 성능 향상에 관해 연구하였다. VDP 방법은 폴리이미드 막이나 전도성 고분자를 절연막으로 이용하는데 주로 사용되어 진다 [5]. 점착층으로 사용된 폴리이미드 막은 6FDA와 ODA를 동시에 열 증착 시킨 후 열처리(curing) 과정을 거쳐 고분자 화시켜 막을 형성한다.

2. 실험

점착층을 이용한 유기 TFT는 유리 기판위에 inverted staggered 구조로 제작하였다. 게이트 전극은 스퍼터링(sputtering)으로 100 nm 두께 ITO를 성막하였고 게이트 절연체는 plasma enhanced chemical vapor deposition(PECVD) 방법으로 $0.2 \mu\text{m}$ SiO_2 를 각각 성막하였다. 이 같이 제작된 기판은 LGphilips LCD로부터 공급받았다. 유기 반도체와 무기 게이트 절연층의 계면 특성을 향상 시키기 위해서 점착층으로 폴리이미드를 VDP 방법으로 증착하였다. 폴리이미드 막은 6FDA와 ODA를 각각 5 \AA/s 로 동시에 1:1로 열 증착 시킨 후 150°C 에서 1시간 후에 다시 200°C 에서 1시간 열처리 하여 고분자화 된 막을 형성하였다. 이때 진공도는 $5 \times 10^{-3} \text{ torr}$ 로 유지하였고 6FDA와 ODA 두 물질의 증착 속도 균형을 맞추기 위해서 2시간 동안 사전 열처리 과정을 거쳤다. 그림 1에 6FDA와 ODA의 고분자화 되는 간단한 메카니즘을 설명하였다. Pentacene을 활성층으로 사용하였고 그 증착 속도는 0.3 \AA/s 로 하였다. 금 (Au)을 소스와 드레인 전극으로 웨도우 마스크를 통하여 열 증착하였고 이때의 채널 길이와 너비는 각각 $50 \mu\text{m}$, 1.25 mm 로 제작하였다.

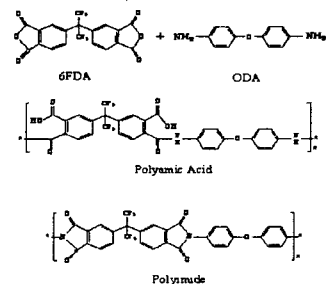


그림 1. 6FDA와 ODA의 고분자화 메카니즘

3. 결과 및 검토

폴리이미드의 확인을 위해서 6FDA와 ODA를 실리콘 웨이퍼에 증착시켜 Fourier Transform-Infrared (FT-IR) spectroscopy로 분석하였고 그림 2에 나타내었다. 열처리 이전에는 polyamic acid가 형성되지만 150°C에서 1시간 이후에 다시 200°C에서 1시간의 열처리 과정을 거친 후 폴리이미드화 되었다. 이것은 1660 cm^{-1} 의 amide acid 피크가 사라지고 1380 cm^{-1} 에서 C-N imide 피크가 생겨남으로 확인되고 또한 1210 cm^{-1} 의 ether 피크, 1300-1325 cm^{-1} 의 C-N stretching, 1500 cm^{-1} 의 C=C stretching 그리고 1780-1850 cm^{-1} 의 anhydride stretching 피크 값이다.

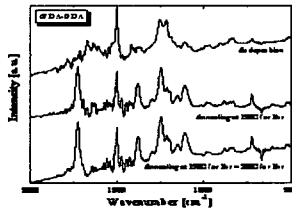


그림 2. 폴리이미드의 FT-IR 스펙트라 특성

이 연구의 궁극적 목표는 폴리이미드를 정착층으로 한 OTFT 전기적 특성에 관한 것이다. 따라서 폴리이미드의 두께를 0-15 nm로 변화시키며 그에 따른 전기적 특성을 알아보고 그것을 그림 3과 4에 나타내었다. 그림 3과 4에서 알 수 있듯이 폴리이미드가 정착층으로 쓰인 소자의 경우 그 전기적인 특성이 향상됨을 확인하였다. 폴리이미드 두께가 15 nm인 경우 드레인 전류가 -1.3×10^{-7} 에서 -1.5×10^{-5} 로 증가 하였을 뿐만 아니라 on/off ratio 또한 10^5 에서 10^7 으로 향상 되었다. 이것은 정착층으로 쓰인 폴리이미드에 의해서 OTFT의 전기적인 특성이 향상되었음을 의미한다. 또한 소자의 포화영역에서 측정된 hole 이동도는 $0.4 \text{ cm}^2/\text{Vs}$ 였고 문턱 전압은 -0.8 에서 -1 V, subthreshold slope는 2.0-2.5 V/decade이다.

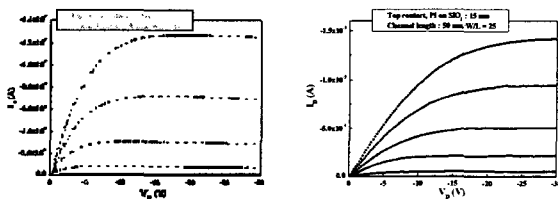


그림 3. 폴리이미드 두께에 따른 OTFT의 output 특성

그림 4에서 정착층이 없는 소자의 경우가 가장 낮은 전기적 특성을 보이고 그 두께가 두꺼워 질수록 향상 되어 지는 것을 확인하였다. 이 같은 결과가 게이트 절연층과 반도체층 사이 계면 특성이 향상됨으로 인해서 pentacene의 분자 배열이 향상 되고 유도되는 전하의 양 뿐만 아니라 전하의 이동시 트랩의 영향을 덜 받는다. 그러나 폴리이미드막이 충분히 두껍지 않아 그 필름 형성이 되지 않은 경우는 오히려 누설전류를 야기 시킨다. 3 nm 두께의 폴리이미드의 경우 V_D 가 -20 V일 때 V_G 가 증가함에 따라

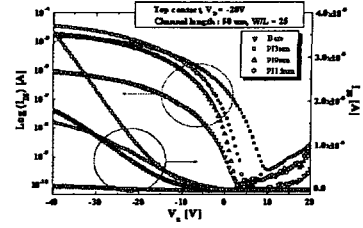


그림 4. 폴리이미드 두께와 V_G 에 따른 I_D 와 $\log(I_D)$ 특성

서 I_G 가 같이 증가함을 보이는 것은 막을 이루지 못한 폴리이미드가 island를 이루어 그것을 통해서 누설전류가 유도되는 것이다. 이것을 그림 5에 나타내었다.

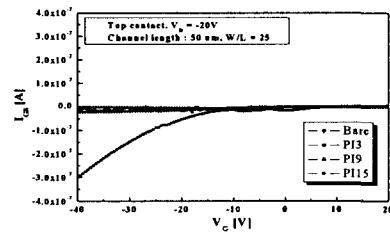


그림 5. 폴리이미드 두께와 V_G 에 따른 I_G 특성

4. 결론

본 논문에서는 건식 공정의 VDP 방법을 사용해서 폴리이미드를 정착층으로 한 유기 TFT의 전기적 특성 향상에 관해 연구하였다. 폴리이미드의 두께에 따른 소자의 전기적 특성을 분석해 봄으로써 정착층의 역할을 규명하고자 하였다. 또한 정착층을 형성시키는데 사용된 VDP 법은 shadow mask를 통해 패턴이 가능하고, 고분자와 시킬 때 촉매가 필요 없을 뿐만 아니라 다른 화학구조를 가진 물질로부터 폴리머를 만들기 용이하기 때문에 평판 디스플레이 같은 end-user application의 대량 생산에 적용이 용이 하리라 생각된다. 또한 저비용 생산이 가능한, 특히 모든 공정이 in-situ 로 진행되는 건식 공정이기 때문에 다양한 영역에 적용이 가능할 것으로 기대된다.

감사의 글

본 연구는 Korea Institute of Industrial Technology Evaluation and Planning (ITEP) 에 의해서 지원되었고 이에 감사드립니다. (No. 1001678)

참고 문헌

- [1] A. Dodabalapur, Z. Bao, A. Makhija, Appl. Phys. Lett., vol. 73 (1998) 142-144.
- [2] H. Klauk, B. D'Andrade, and T. N. Jackson, 57th Annual Device Research Conference Digest, (1999) 162-163.
- [3] Y. Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, IEEE Trans. Electron Devices, vol. 44 (1997) 1325-1331.
- [4] D. J. Gundlach, C. C. Kuo, And T. N. Jackson, 57th Annual Device Research Conference Digest, (1999) 164-165.
- [5] V. Liberman, V. Malba, and A. F. Bernhardt, IEEE Trans. On Comp., Pack., and Manu.. Tech. Part B, vol. 20 (1997) 13-1