

소수운반자 전도용 SiGe PD-SOI MOSFET의 전기적 특성에 대한 전산 모사

양현덕, 최상식, 한태현*, 조덕호*, 김재연, 심규환
전북대학교, (주)타키오닉스*

Simulation on Electrical Properties of SiGe PD-SOI MOSFET for Improved Minority Carrier Conduction

Hyun-Deok Yang, Sang-Sik Choi, Tae-Hyun Han*, Deok-Ho Cho*, Jae-Yeon Kim, Kyu-Hwan Shim
Chonbuk National University, Tachyonics*

Abstract : Partially-depleted Silicon on insulator metal-oxide-semiconductor field-effect transistors (PD-SOI MOSFETs) with Silicon-germanium (SiGe) layer is investigated. This structure uses SiGe layer to reduce the kink effect in the floating body region near the bottom channel/buried oxide interface. Among many design parameters influencing the performance of the device, Ge composition is presented most predominant effects, simulation results show that kink effect is reduced with increase the Ge composition. Because the bandgap of SiGe layer is reduced at higher Ge composition, the hole current between body and SiGe layer is enhanced.

Key Words : SiGe, PD SOI, MOSFET, Kink, TCAD

1. 서 론

SOI 구조는 MOSFET 소자의 고속 동작을 위해 충분히 작아야 할 기생 정전 용량 문제를 해결할 수 있으며 소자의 크기가 줄어들면서 나타나는 단채널 효과를 억제하는 해결 방안이 된다[1]. 하지만 PD-SOI MOS 소자의 경우 floating body의 존재로 source-body 전위 장벽이 커지게 되고, impact ionization에 의해 생성된 정공(hole)이 body에 붙잡히게 되어 결국 source와 body 사이의 전위 장벽이 감소하게 된다. 이때 생성된 정공 전류(hole current)는 body에서 source로 흐르게 된다[2]. FD (Fully-depleted) SOI 구조를 사용하면 kink 효과를 없앨 수 있으나, 현재 기술로는 계면 산란에 의한 성능저하와 uniformity의 문제로 제작이 용이한 PD-SOI 구조를 사용하고, SiGe를 채널로 사용하여 소자의 고속-저전력-저잡음 특성을 향상시켜 차세대 통신용 고성능 소자로 응용하기 위해 기술개발이 활발히 진행되고 있다. 본 논문에서는 Si_{1-x}Ge_x층을 채널의 하부에 위치시켜 소수운반자의 전도 특성을 향상시킴으로써 해서 SOI MOSFET의 kink 특성을 개선하기 위한 소자구조에 대해 연구하였다.

2. 전산 모사

본 연구에서 사용된 구조는 그림 1. (a)에서 나타낸 바와 같이 p형 기판과 1000 Å 두께의 매몰 산화막(buried oxide layer) 위에 p형 Si층과 n형 채널, 30 Å의 보호층으로 구성된다. 채널층은 200 Å 두께의 Si_{1-x}Ge_x층으로 농도는 1×10¹⁶cm⁻³이고 Ge 함량은 20%이다. Si_{1-x}Ge_x층은 두께, 도핑 농도, Ge 함량에 따라 변화하는 전기적 특성

에 관하여 연구하였다. 소자는 SILVACO사의 2차원 TCAD 프로그램인 'ATLAS'를 이용하였고, 표 1은 PD-SOI MOSFET 구조의 전산 모사에 적용된 소자의 변수들이다

표 1. 전산 모사에 사용된 PD-SOI MOSFET의 변수.

Silicon cap thickness	3nm	Channel length	0.7µm
Gate oxide thickness	17nm	Channel doping	1×10 ¹⁶ cm ⁻³
Buried oxide thickness	100nm	Source/Drain doping	4×10 ¹⁸ cm ⁻³
		Substrate concentration	5×10 ¹⁵ cm ⁻³

3. 결과 및 고찰

그림 1. (b)는 동작 전압 V_{gs}=0.1V 와 V_{gs}=1V에서 SOI 층 내에 삽입된 Si_{1-x}Ge_x층의 Ge 구성비를 80%로 넣었을 때의 SOI NMOSFET 소자의 전위 분포를 나타낸다. 여기서 가장 낮은 전위가 형성되는 영역은 Si과 매몰 산화막(buried oxide layer)의 경계면 근처이고 삽입된 Si_{1-x}Ge_x층 근처에서 포텐셜 변화가 뚜렷이 나타남을 볼 수 있는데 이것은 Si_{1-x}Ge_x층에서의 Ge 구성비가 커졌기 때문에 운반자 농도가 증가하고 포텐셜 또한 증가하기 때문이다.

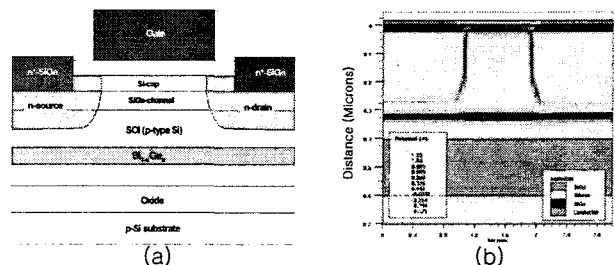


그림 1. SiGe PD-SOI NMOSFET(a) 단면도 (b) 전위분포

그림 2에서는 $\text{Si}_{1-x}\text{Ge}_x$ 층이 존재하지 않는 경우와 농도가 $1 \times 10^{16} \text{cm}^{-3}$ 이고 Ge 구성비가 20%일 때 두께가 100 Å ~ 400 Å 인 4가지 다른 두께를 가진 경우에 대한 전기적 특성을 보여준다. ($V_{GS} = 2\text{V}$) 두께에 따른 $I_{DS}-V_{DS}$ 특성 변화가 크게 보이지 않지만 subthreshold 특성은 100 Å 과 400 Å의 경우 1.2V 주위에서 기울기가 크게 감소한 것을 볼 수 있다. V_{GS} 가 0.9V보다 작거나 2.5V 보다 큰 경우 드레인 전류는 200 Å 이나 300 Å 일 때와 비슷하다.

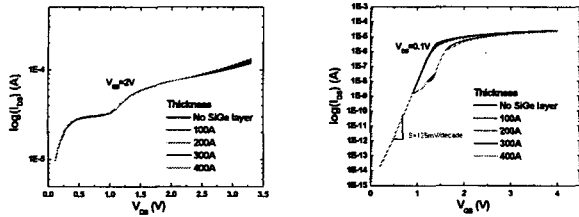


그림 2. $\text{Si}_{1-x}\text{Ge}_x$ 층 두께에 따른 PD-SOI NMOSFET의 전기적 특성.

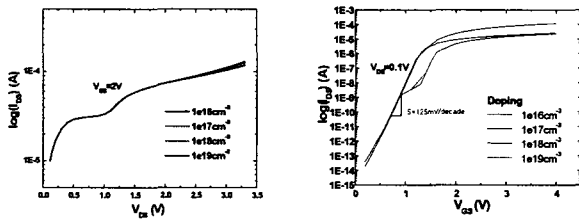


그림 3. $\text{Si}_{1-x}\text{Ge}_x$ 층 도핑농도에 따른 PD-SOI NMOSFET의 전기적 특성.

$\text{Si}_{1-x}\text{Ge}_x$ 층의 Ge 함량이 20%이고 두께가 200 Å 일 때 농도가 $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ 인 4가지 경우의 전기적 특성을 그림 3에서 보여준다. 그림 4는 Ge 함량이 각각 20%, 50%, 80%인 경우 얻어진 PD-SOI MOSFET의 $I_{DS}-V_{DS}$ 특성을 보여준다. $\text{Si}_{1-x}\text{Ge}_x$ 층의 두께는 200 Å, 도핑 농도는 $1 \times 10^{17} \text{cm}^{-3}$ 으로 하였다. 그림에서 보는 바와 같이 Ge 함량이 많아지면서 kink 특성이 개선되는 것을 볼 수 있는데 Ge의 함량이 증가하면서 bandgap이 줄어들고 이로 인해 body와 $\text{Si}_{1-x}\text{Ge}_x$ 층에서 흐르는 정공 전류가 증가하기 때문이다[3]. 위의 이유로 인해 kink 특성은 V_{GS} 와 관계없이 두께가 200 Å 일 때 Ge 함량이 증가하면서 감소하여 80%에서 최소값을 갖고, V_{th} 부근에서

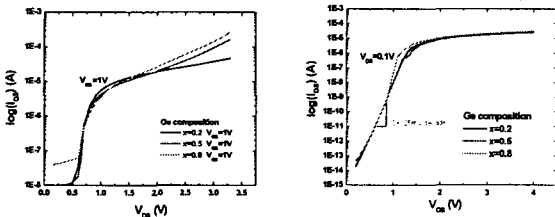


그림 4. $\text{Si}_{1-x}\text{Ge}_x$ 층 Ge함량에 따른 PD-SOI NMOSFET의 전기적 특성.

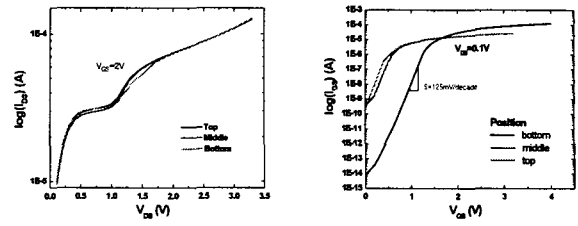


그림 5. $\text{Si}_{1-x}\text{Ge}_x$ 층 위치에 따른 PD-SOI NMOSFET의 전기적 특성.

subthreshold slope이 증가하게 된다.

마지막으로 $\text{Si}_{1-x}\text{Ge}_x$ 층이 채널 바로 아래(Top)와 접합 영역에 존재할 경우(Middle), 매몰 산화막 바로 위에 존재하는 경우(Bottom)의 전기적 특성을 그림 5에서 보여준다. Top의 경우 $\text{Si}_{1-x}\text{Ge}_x$ 층이 채널 근처에 존재하기 때문에 소스와 드레인 사이에서 채널과 같은 역할을 하게 되고 큰 변화를 야기하지는 않지만 subthreshold 전압이 0.5V 까지 감소하여 저전압 구동에 유리한 특성을 보인다. Bottom에 위치한 경우 body와의 사이에서 정공 전류가 흐르게 되어 kink 효과가 줄었고, V_{th} 는 증가한다. 따라서 $\text{Si}_{1-x}\text{Ge}_x$ 층의 위치에 따라 쉽게 V_{th} 를 조절할 수 있을 것으로 예상된다.

4. 결론

n형 $\text{Si}_{1-x}\text{Ge}_x$ 층을 이용하여 소수 운반자의 전도 특성을 개선시킨 SiGe PD-SOI NMOSFET 구조의 전도 특성을 연구하였다. $\text{Si}_{1-x}\text{Ge}_x$ 층을 매몰 산화막 바로 위인 SOI 내에 삽입하고 두께와 도핑 농도, Ge 함량을 조절하여 $1 \times 10^{17} \text{cm}^{-3}$ 의 도핑 농도에서 200 Å 두께일 때 Ge 함량을 증가시키면 bandgap이 낮아지면서 source와 body 사이에서 흘러야 할 소수운반자인 정공 전류가 $\text{Si}_{1-x}\text{Ge}_x$ 층과 body 사이에 흐르게 되어 floating body effect가 감소하고 kink 특성을 개선하는 효과가 있었다.

감사의 글

“본 연구는 산업자원부의 신기술실용화기술 개발 사업(10016968)에 의해 수행되었습니다.”

참고 문헌

- [1] O. Rozeau, J. Jomaah, S. Haendler, J. Boussey and F. Balestra, Analog Integrated Circuits and Signal Processing, 25, 93-114, 2000.
- [2] Andy Wei, Melanie J. Sherony, and Dimitri A. Antoniadis, IEEE Trans. Electron Devices, vol. 45, NO. 2, pp. 430-438 Feb. 1998.
- [3] M. Jagadesh Kumar, Vikram Verma, IEEE Trans. Reliability, vol. 51, pp. 367-370, Sept. 2002.