

LDMOSFET에서 채널의 불순물 농도변화에 의한 CMOS회로의 전기적 특성

최지원, 김남수, 이형규
충북대학교 전기전자 공학부

Effects of Impurity Concentration in Channel of LD MOSFET on the Electrical Characteristics of CMOS Circuit

Zhi-Yuan Cui, Nam-Soo Kim, Hyung-Gyoo Lee
School of Electrical and Electronics Engineering, Chungbuk National University.

Abstract : 2차원 MEDICI 시뮬레이터를 이용하여 CMOS 회로의 전기적 특성을 조사하였다. CMOS 인버터 회로는 LD MOSFET를 이용하였는데, LD MOSFET에서 전류 및 스위칭 특성에 많은 영향을 주는 곳은 채널이라고 생각되는데, 채널에서의 불순물 농도 변화에 의한 CMOS 회로의 voltage transfer 특성, low input voltage(V_{IL}), high input voltage(V_{IH})등을 조사하였다. LD MOSFET에서 N 채널의 농도는 V_{IL} 에, P 채널의 농도는 V_{IH} 에 많은 영향을 주었다.

Key Words : LD MOSFET, CMOS회로, voltage transfer 특성, low input voltage, high input voltage

1. 서론

CMOS inverter를 display driver 회로나 TTL과 interface 용으로 사용할 때, 기존의 conventional MOSFET으로는 전류 및 전압 구동능력으로는 한계가 있어, LD MOSFET으로 complementary inverter를 구성하는 것이 회로의 효율성과 전력소모 관점에서 유리한 측면이 있으리라고 생각된다. 기존의 CMOS inverter는 낮은 전력소모, 넓은 전압 수평폭, 빠른 속도 등 디지털 집적회로에서 많이 유용한 특성을 가지고 있는데, LD MOSFET으로 inverter를 구성하였을 때, 소자의 저항증가와 불순물 접합 정전용량의 증가로 인하여 입-출력의 transfer 특성이 나빠지고, 스위칭 속도 감소, latch-up 특성 열화를 가져올 수 있다.

Standard MOSFET은 채널영역이 source와 drain 사이에 영역에 한정되어 있는 반면, LD MOSFET에서 채널영역은 gate에 일부영역이며, P/N 접합으로 이루어진 source의 불순물 영역이기도하다. 채널 길이 변화는 채널저항의 변화를 가져와 드레인 전류특성을 변화시키는 것으로 일반적으로 잘 알려져 있으나, 이곳에서의 불순물 농도변화는 채널저항 뿐 아니라, 접합 정전용량, 유효채널길이에 변화를 일으켜 복합적인 전기적 특성 변화를 일으킬 것으로 사료된다.

2. 결과 및 토의

그림 1은 N 채널 LD MOSFET의 소자구조이며, 그림 2는 전류-전압 특성 곡선이다. 일반적인 MOSFET의 구조와 차이점은 source-gate사이에 주 채널용으로 P+ 영역이 있으며, 가용 전압 범위를 크게 하기 위한 drift영역이 추가되어 있다.

그림 2에서의 포화된 드레인 전류 및 문턱전압의 크기는 일반적인 MOSFET에 비해 상당히 큰 값을 보이고 있다. 드레인 전류-전압 특성 곡선에서는 게이트 전압이 25V 일 때, 약 10V의 드레인 전압에서 포화 전류 영역이 시작됨을 보이고 있고, 문턱전압은 19V 정도임을 나타내고 있다.

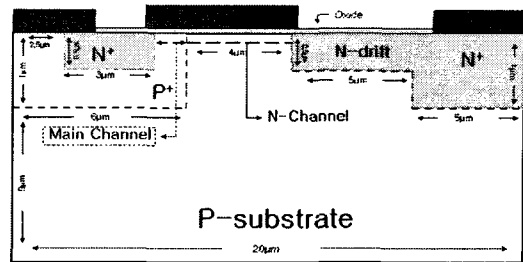


그림 1. LD MOSFET 소자구조

LD MOSFET을 이용한 CMOS inverter 회로는 상용 전력 범위가 큰 디지털 논리회로 및 증폭기의 기본소자로 이용될 수 있다. 본 실험에서는 주 채널 영역에서의 불순물 농도 분포에 의한 드레인 전류특성 조사하였는데, 여기서 주 채널영역은 드레인 전류가 흐르는 영역일 뿐 아니라, CMOS회로에서 guard-ring 역할을 동시에 수행 할 것으로 판단된다. 이는 latch-up 현상을 억제하는 효과가 있겠지만, 전기적 스위칭이 일어날 때, 입-출력 전압범위 및 동작 주파수에 큰 영향을 주게 된다. CMOS 회로의 동작 속도를 최적화 하는 데는 부하 커패시턴스, 인가전압, 소자의 특성 parameters 및 문턱전압 등의 결정요소인데, 본 실험을 통하여 특성 parameters 중에서 중요요소인 채널의 농도에 의한 CMOS 회로의 동작 속도 및 가용전압 및 전류 범위를 조사하고자 한다.

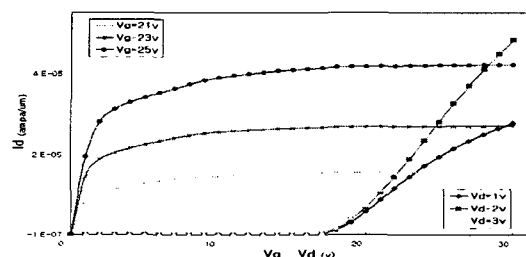


그림 2. LD MOSFET 전류 전압 특성.

그림 3은 CMOS 회로의 N 채널에서 LDMOS의 주 채널의 불순물 농도를 변화하였을 때 V_{in} - V_{out} 특성곡선이다. 채널의 불순물 농도 변화는 채널길이에 의한 영향보다 고려할 변수들이 복잡할 것으로 보인다. 채널 내부적인 변수에 의한 문턱전압, 채널 전향의 변화 뿐 아니라, 외부적인 요인 즉 주변 불순물과의 접합에 의한 정전용량과 접촉전압의 변화가 고려 대상이다.

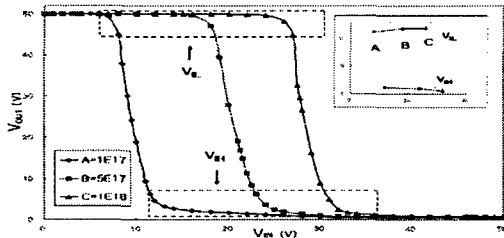


그림 3. N 채널 LDMOS에서 주 채널길이가 도핑 농도가 변화할 때, CMOS 인버터의 입-출력전압 특성곡선

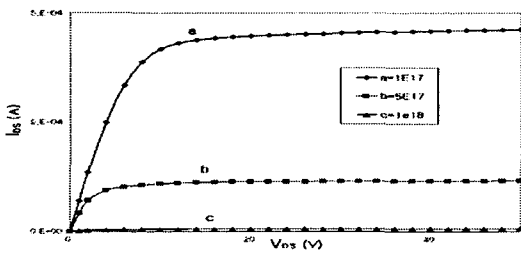


그림 4. N 채널 LDMOS에서 채널의 불순물 농도 변화에 의한 전류-전압 특성곡선

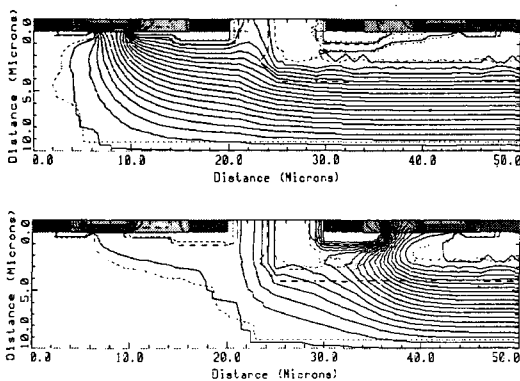


그림 5. CMOS 인버터회로에서 두개의 서로 다른 N채널의 도핑 농도에서의 등전위선 (5E17(상), 1E17(하), $V_g=18V$, $V_d=50V$)

그림 4는 N채널 LDMOS에서 주 채널 도핑 농도가 변화할 때 드레인 전류-전압 특성곡선인데, 주 채널의 도핑 농도가 높아질수록 전류는 감소하는 것을 볼 수 있으며, P채널의 부

하선을 그림 4에 그려보면, high input voltage(V_{IH})는 커질 것으로 생각되는데, 그림 3에서도 V_{IH} 는 주 채널의 불순물 농도가 증가할 때 커짐을 나타내고 있다.

그림 5와 6은 N채널 LDMOS에서 주 채널 도핑 농도가 변화할 때의 등전위선과 전류흐름을 나타내고 있는데, 그림 5에서의 등전위선은 위의 그림에서는 NMOS에 높은 전계가 형성되어 있어, PMOS의 source에서 V_{out} 으로 전류가 흘러 V_{out} 은 high임을 나타내고 있고, 밑의 그림은 PMOS에 높은 전계가 형성되어 있어, V_{out} 은 low임을 나타내고 있다.

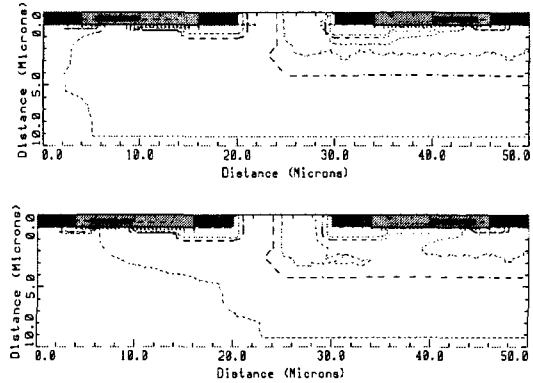


그림 6. CMOS 인버터회로에서 두개의 서로 다른 N채널의 도핑 농도에서의 전류흐름도 (5E17(상), 1E17(하), $V_g=18V$, $V_d=50V$)

3. 결론

LDMOSFET에서 채널의 불순물 농도가 변화할 때, CMOS 회로의 V_{in} - V_{out} 의 특성을 조사하였다. 같은 게이트 및 드레인 전압에서 N 채널의 주채널 농도가 낮으면 PMOS가 ON이 되어 V_{out} 은 high가 되는데, MEDICI를 이용한 cross-sectional view에서 등전위도 및 전류 흐름도에서 확인하였다. 그리고 low input voltage(V_{IL})와 high input voltage(V_{IH})는 N 채널의 주 채널 농도가 높을수록 증가하는 현상을 보였다.

참고 문헌

- [1] C. K. Jeon, J. J. Kim, Y. S. Choi, M. H. Kim, S. L. Kim, H. S. Kang, C. S. Song, "Analysis of LDMOS structure with inclined P-bottom region" Power Semiconductor Devices and ICs, IEEE, p. 293-296, June 2002.
- [2] Y. Tan, M. Kumar, J. K. O. Sin, J. Cai and J. Lau, "A LDMOS Technology Compatible with CMOS and Passive Components for Integrated RF Power Amplifiers" Electron Device Letters, IEEE, Vol. 21, No. 2, p. 82-84, Feb.2000.