

Pseudo-MOSFET을 이용한 nano SOI 웨이퍼의 전기적 특성분석

배영호, 김병길, 권경욱*
 위덕대학교 전자공학부, 매그나칩 반도체*

Electrical Characterization of nano SOI wafer by Pseudo MOSFET

Young-Ho Bae, Byoung-Gil Kim, Kyung-Wook Kwon*
 Division of Electronics Engineering, Uiduk University, Magnachip semiconductor*

Abstract : The Pseudo-MOSFET measurements technique has been used for the electrical characterization of the nano SOI. Silicon islands for the Pseudo-MOS measurements were fabricated by selective etching of surface silicon film with dry or wet etching to examine the effects of the etching process on the device properties. The characteristics of the Pseudo-MOS was not changed greatly in the case of thick SOI film which was 205 nm. However the characteristics of the device was dependent on etching process in the case of less than 100 nm thick SOI film. The sub 100nm SOI was obtained by thinning the silicon film of standard thick SOI. The thickness of SOI film was varied from 88 nm to 44 nm by chemical etching. The etching process effects on the properties of pseudo-MOSFET characteristics, such as mobility, turn-on voltage, and drain current transient. The etching process dependency is greater in the thinner SOI and related to original SOI wafer quality.

Key Words : Pseudo-MOSFET, SOI, Current transient

1. 서 론

Pseudo-MOSFET 측정법은 SOI 웨이퍼의 전기적 특성을 분석하는 기법으로써 뒷면의 기판을 게이트, 매몰산화막을 게이트 절연막으로 사용하고 표면 실리콘 층에 접촉된 두개의 탐침을 소스와 드레인으로 사용하여 MOSFET 소자로 동등하게 하는 기술이다[1],[2]. 이 기술은 도핑이나 열처리와 같은 제조 공정이 필요 없이 표면 실리콘 층을 선택 식각하여 실리콘 island를 형성하는 공정만 필요하므로 물성 변화가 없이 제조된 SOI 웨이퍼 자체의 특성을 분석해 낼 수 있다는 장점이 있어 SOI 웨이퍼 제조 공정에서 웨이퍼 품질 관리의 기법으로 사용되고 있다. 다만 탐침과 실리콘의 접촉 상태나 실리콘의 표면 상태에 따라서 특성이 달라질 수 있다는 문제점이 있다[1]. 또한 실리콘 island 형성을 위하여 표면 실리콘 층을 선택 식각하는 과정에서 식각 공정에 의해 특성이 영향을 받을 가능성이 있다.[3,4] 본 연구에서는 100 nm 이하의 표면 실리콘 층 두께를 가지는 nano SOI에 Pseudo-MOS 측정법을 적용하기 위하여 표면 실리콘 island의 형성 공정 변화에 따른 특성 분석을 행하였다.

2. 실험

Pseudo-MOSFET 측정을 위한 표면실리콘 island 형성 공정에서 건식 식각과 플라즈마 손상이 발생하지 않는 습식 식각 공정을 각각 수행하여 시편을 제작하였으며 플라즈마 파워를 50W에서 150W까지 변화시키며 특성의 변화를 관찰하였다.

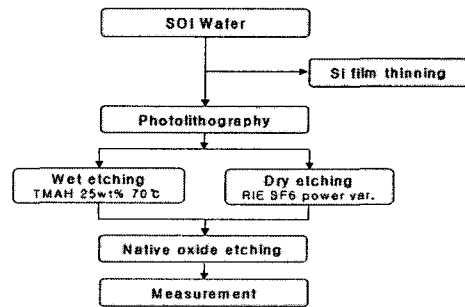


그림 1. 실험 공정도.

또한 표면 실리콘 층의 두께 변화에 따라 플라즈마 손상의 영향 변화를 조사하기 위하여 표면 실리콘층의 두께를 최초 205 nm로부터 44nm의 범위로 변화시켜 각각의 특성을 비교 분석하였다. 실리콘 층의 두께 감소는 습식식각 방법으로 행하였으며 ellipsometry를 이용하여 감소된 두께를 측정하였다. 제조된 소자의 전류-전압(I_D - V_G) 특성과 드레인 전류 과도 현상을 측정하고 비교분석하였다.

3. 결과 및 고찰

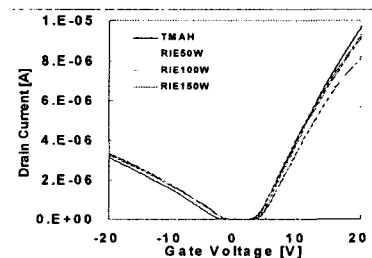


그림 2. 플라즈마 파워에 따른 SOI웨이퍼의 특성 변화.

그림 2는 플라즈마 파워 변화에 따른 두께205nm의 표준형 SOI 웨이퍼의 특성 변화를 관찰한 것이며 플라즈마 파워는 50W에서 150W로 변화시켰다. 그림에 나타난 바와 같이 플라즈마 파워가 50W, 100W인 경우에는 습식 식각된 경우와 큰 차이를 나타내지 않지만 150W의 경우에는 드레인 전류가 큰 범위에서 전류 값의 감소를 확인할 수 있다. 이는 플라즈마 공정이 pseudo MOS 측정에 영향을 미칠 수 있음을 의미한다.

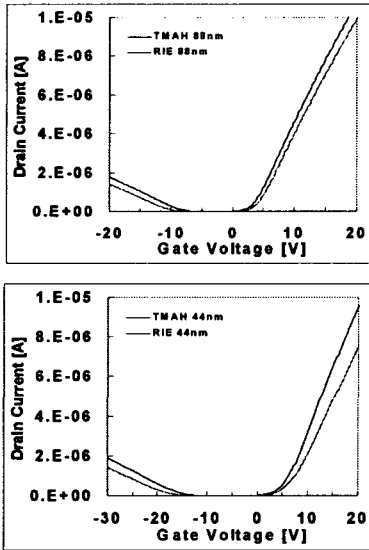


그림 3. 표면실리콘층 두께와 식각공정에 따른 특성.

그림 3은 표면실리콘층의 두께가 각각 88nm와 44nm의 두께인 SOI 웨이퍼에서 식각공정에 따른 특성을 비교하여 나타낸 것이다. 실리콘층이 88nm인 시편에서 건식 식각하여 제조된 경우 드레인 전류의 감소를 확인할 수 있으며 이러한 드레인전류값의 열화 현상은 표면 실리콘층의 두께가 44nm인 경우 더욱 현저히 나타남을 관찰할 수 있다. 따라서 실리콘층의 두께가 100nm 이하로 얇은 경우에는 건식식각으로 제조된 시편에서 턴온 전압의 증가와 이동도의 감소가 나타나며 이는 표면실리콘층의 두께가 얇을수록 심각하다는 것을 알 수 있다.

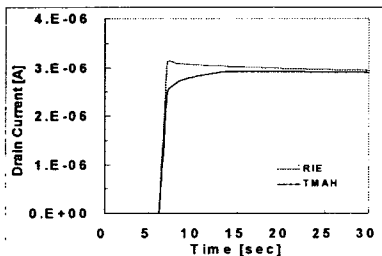


그림 4. 식각공정에 따른 드레인 전류 과도 현상.

그림 4는 식각 공정의 차이에 따른 드레인 전류의 과도현상을 측정된 그림이다. 드레인에 0.2V의 바이어스를 인가한 상태에서 게이트로 작용하는 기판에 바이어스 전

압을 0V에서 20V로 펄스를 가하여 드레인 전류의 변화를 분석하였다. 그림에서 RIE 식각으로 제조된 소자의 경우, 드레인 전류가 급격히 증가하여 turn-on 시간이 1초 이내인 것을 확인할 수 있다. 하지만 습식 식각으로 제조한 경우에는 드레인 전류의 turn-on 시간이 20초 이상으로 과도현상이 길게 나타남을 관찰할 수 있다. 이상의 실험 결과에서 pseudo MOS 측정을 위한 실리콘 표면 선택 식각 공정에서 간편성으로 일반적으로 행하여지는 건식 식각은 보다 정확한 소자의 특성 분석을 위하여 습식 식각법으로 대체되어야 한다는 것을 알 수 있다.

4. 결론

본 연구에서는 100 nm 이하의 표면 실리콘 층을 가지는 SOI에 Pseudo-MOS 측정법을 적용하였다. 표면 실리콘층의 형성을 위한 선택 식각 공정 변화에 따른 소자의 전류-전압 특성과 드레인 전류 과도 현상을 분석하였다. 그 결과 건식 식각으로 실리콘층을 식각한 경우 드레인 전류의 열화가 발생하여 소자의 턴온 전압과 이동도의 값에 영향을 미치며 이러한 현상은 실리콘층의 두께가 얇을수록 심각하다는 것을 관찰하였다. 또한 표면 실리콘층의 식각 공정이 드레인 전류의 과도 현상에도 심각한 영향을 미친다는 것을 확인하였다. 따라서 nano SOI 웨이퍼 특성을 분석하기 위한 pseudo MOSFET 특성 측정을 위한 표면 실리콘층의 선택 식각은 습식 식각법을 적용하여야 보다 정확한 특성 분석이 가능하다는 결론을 얻었다.

감사의 글

본 연구는 과학기술부의 21세기 프론티어연구개발사업으로 시행한 양성자 기반공학기술개발사업의 지원을 받았음.

참고 문헌

- [1] S. Cristoloveanu.; D. Munteanu.; M.S.T. Liu.; IEEE Transactions on Electron Devices, Volume 47 ,Issue 5, 2000, pp:1018-1027
- [2] H. Hovel, M. Almonte, P. Tsai, J. D. Lee, S. Maurer, R. Kleinhenz, D. Schepis, R. Murphy, P. Ronsheim, A. Domenicucci et al. Solid-State Electronics, Volume 48, Issue 6, 2004, pp:1065-1072
- [3] 권경욱, 이종현, 유인식, 우형주, 배영호, 한국전기전자재료학회 2004년도 추계학술대회 논문집, 2004, pp:21-24.
- [4] Y.H. Bae, K.W. Kwon, J.H. Lee, J.H. Lee, H.J. Woo, S. Cristoloveanu, The 12th Proc. Int. Symp. Silicon-on-Insulator Technology and Devices, 2005, pp:295-300.