

ROM 사이즈 저감을 위한 DDS 설계기법 및 구현

전만영*, 이행우**

*동양대학교, **남서울대학교

A Design Technique to Reduce DDS ROM Size and Its Implementation

Man-Young Jeon*, Haeng-Woo Lee**

*Dongyang University, **Namseoul University

E-mail :myjeon@dyu.ac.kr, hwlee@nsu.ac.kr

요 약

본 논문에서는 ROM 사이즈를 줄이기 위한 디지털 합성기의 설계기법과 그 구현에 관하여 기술한다. 지금까지 제안된 설계기법과는 달리, 본 논문에서 제안하는 기법은 최소한의 부가적 하드웨어만을 사용하여 ROM 사이즈를 대폭 줄일 수 있다. 구현된 디지털 합성기는 입력한 주파수 제어값에 따라 원하는 발진 주파수를 정확하게 합성해내고 있음을 측정결과로부터 확인할 수 있었다.

ABSTRACT

This paper proposes a design technique of DDS (Direct Digital Synthesizer) to reduce the ROM size, and also describes the procedure of the implementation of the technique. Unlike other techniques suggested so far, the proposed technique is able to reduce the ROM size to a great extent with minimal hardware overheads. The frequencies of the signal synthesized by the implemented DDS accurately changed with the applied frequency control words.

키워드

DDS, DDFS, Synthesizer, NCO

1. 서 론

디지털 주파수 합성기(DDS)는 고 분해능의 발진 주파수가 요구되거나 신속한 주파수 천이가 필요한 곳에 필수적인 장치이다[1]. DDS의 일반적인 구조는 Tienerney, Rader, Gold 구조[2]-[5]이며 이는 발진 신호의 위상정보를 발생시키는 위상 누적기(Phase Accumulator)와 사인함수를 저장하고 있는 ROM으로 이루어진다. 그림 1은 이 구조를 나타낸다. 그림에서 FCW(Frequency Control Word)는 발진 주파수를 제어하며 다음 식(1)은 FCW와 발진 주파수와의 관계를 나타낸다[2]-[5].

$$f_{out} = \frac{f_{CLK}}{2^L} FCW \quad (1)$$

(1)식에서 f_{CLK} 는 DDS의 시스템 클럭 주파수이며 L은 위상 누적기의 Word Length를 나타낸다. L이 클수록 발진 주파수의 분해능 $f_{CLK}/2^L$ 이 보다 정밀해짐을 알 수 있다.

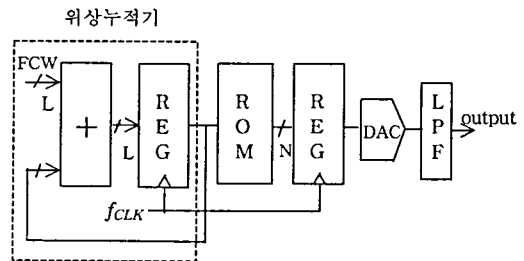


그림1. 일반적 DDS 구조

그림1에서 DAC(Digital-to-Analog Converter)은 ROM의 표본화된 사인함수 디지털 정보를 아날로그 신호로 변환하기 위하여 사용되고, LPF(Low Pass Filter)는 완전한 발진 신호를 얻기 위하여 DAC의 표본화된 사인함수 출력신호 중에서 고주파 신호를 제거하기 위하여 사용된다.

DDS는 낮은 위상잡음, 높은 주파수 분해능, 신속한 주파수 천이 등의 장점이 있으나, 발진 가능한 최대 발진 주파수가 아날로그 발진기에 비하여 낮다는 심각한 단점이 있다. Nyquist 샘플링 이론에 의하면 DDS가 발진 시킬 수 있는 최대 주파수는 $f_{out,max} = f_{CLK}/2$ ($FCW = 2^{L-1}$ 에 해당)이다. 따라서 최대 발진 주파수를 높으려면 시스템 클럭 주파수 f_{CLK} 를 높여야 하며, 이 경우 짧아진 시스템 클럭의 한주기 내에서 ROM에 저장된 사인함수를 읽어내려면 ROM의 access time을 줄여야 한다. ROM의 access time을 줄이기 위해서는 ROM Depth의 축소, 즉 ROM 사이즈의 축소가 필요하다. 그러나 ROM 사이즈를 줄일 경우 워드길이 L이 줄게 되어 (1)식에서 보듯이 발진 주파수의 분해능 $f_{CLK}/2$ 가 나빠진다[1]. 이 문제점을 해결하기 위하여 L을 줄이지 않고도 ROM 사이즈를 줄일 수 있는 여러 가지 기법이 개발 되었다[1], [4]-[8]. 참고 문헌 [4]-[8]에 제시된 기법은 사인함수와 코사인 함수의 대칭성을 이용하여 ROM 사이즈를 줄이며, 참고문헌 [1]에서 제시된 기법은 ROM 사이즈를 줄이기 위하여, Taylor 급수에 기초한 선형 보간법을 사용한다. 상기의 모든 기법은 ROM 사이즈를 줄일 수 있으나 수천 게이트 이상의 추가적 하드웨어를 필요로 하는 단점이 있다. 본 연구에서는 이러한 단점을 극복하기 위하여, 추가적 하드웨어를 거의 필요로 하지 않으면서도 ROM 사이즈를 1/4로 줄일 수 있는 DDS의 새로운 설계 기법을 제시하고 이의 구현에 관하여 서술한다.

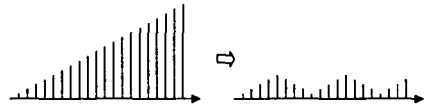
II. ROM 사이즈를 줄이기 위한 설계기법

그림1의 Tienerney, Rader, Gold 구조에서는 사인함수의 1상한에서 4상한 값 전체를 ROM에 저장시킴으로써 ROM 사이즈가 커지고 이로 인하여 ROM의 access time의 증가와 ROM의 낭비가 심하였다. 본 연구에서는 Tienerney, Rader, Gold 구조와 동일한 주파수 분해능(같은 Word Length L)을 유지하면서도 ROM Size를 1/4로 줄이기 위하여, ROM에 사인함수의 1 상한의 값만을 저장시키고 2, 3, 4 상한에서의 값은 이 1상한의 값을 적절히 가공하여 출력한다. 이렇게 함으로써 ROM 사이즈를 대폭 줄일 수 있으면서도 실제적 L 값은 Tienerney, Rader, Gold 구조에서와 동일하게 유지하게 되어 ROM 사이즈의 축소에 따른 주파수

분해능의 저하를 막을 수 있다.

1. 위상 누적기 설계

상기 설계기법의 구현을 위한 위상 누적기는, 그림2 (a)처럼 ROM의 1상한에서 4상한값 전체를 읽어내기 위한 어드레스(Tienerney, Rader, Gold 구조의 위상 누적기의 어드레스)를 발생시키는 대신, 그림2 (b)처럼 변형된 형태의 어드레스를 발생시켜야 한다.



(a) 그림1 누적기 (b) 제안된 기법 누적기

그림 2. 위상 누적기의 어드레스 출력형태 비교

그림 2 (b) 에서와 같은 어드레스 발생을 위하여, 위상 누적기는 1상한과 3상한에서는 가산기에서 발생된 어드레스 데이터를 ROM으로 그대로 보내고, 2상한과 4상한에서는 2^{L-2} 에서 어드레스 데이터를 뺀 다음 보내는 별도의 처리부를 가져야 한다. 이를 구현하기 위한 위상 누적기의 회로 구조가 그림3에 나타나 있다. 그림3에서 점선 사각형으로 둘러싸인 부분은 그림1의 일반적 DDS 구조에서의 위상 누적기를 나타낸다.

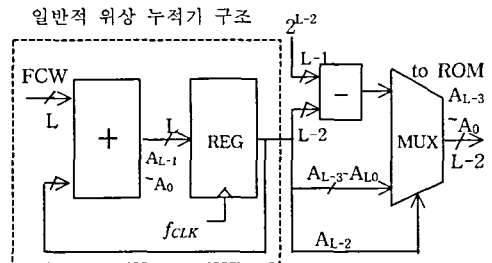


그림 3. 제안된 위상 누적기의 회로구조

2. ROM 설계

ROM에 저장된 1상한의 사인함수 값으로부터 2, 3, 4상한의 값을 ROM으로부터 합성해 내려면 ROM은 그림4와 같이 제2와 4상한에서 변형된 ROM 데이터를 발생시키는 별도의 처리부를 가져야 한다. 사용된 DAC이 표현할 수 있는 값의 범위는 $0 \sim 2^{N-1}$ 이므로, 별도의 처리부는 1상한과 2상한에서는 ROM 데이터를 DAC으로 그대로 보내고 3상한과 4상한에서 2^N 에서 ROM 데이터를 뺀 후 DAC으로 보내는 기능

을 수행하기 위한 감산기와 다중화기로 구성되어야 한다. 상기에서 설명한 위상 누적기와 ROM 데이터를 사인함수의 위상 영역(상한)에 따라 처리하기 위한 별도의 데이터 처리부의 동작을 요약하면 다음의 표1과 같다.

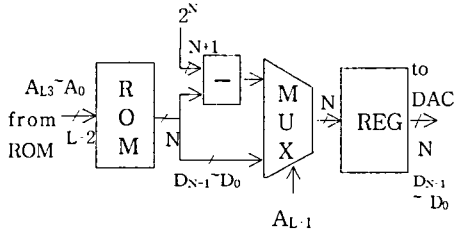


그림4. 제안된 ROM 데이터 처리부

표1. 위상영역에 따른 위상 누적기, ROM 데이터 처리부의 동작

위상	위상 누적기	ROM 데이터 처리부
I	Normal	Normal
II	Transformed (2^{L-2} -data)	Normal
III	Normal	Transformed (2^N -data)
IV	Transformed (2^{L-2} -data)	Transformed (2^N -data)

III. 제작 및 측정

1. 제작

II장에서 기술된 설계구조를 ALTERA MAX PLUS II 상에서 VHDL에 의하여 설계 및 시뮬레이션 하였다. 설계된 회로는 HBE-Combo VHDL 실습용 키트 상에서 구현되었다. 그림3에 표시된 위상 누적기의 워드폭(Word Length) L은 9 비트로 하였으며, 8 비트 DAC을 사용하였으므로 그림4에 표시된 ROM 출력의 Word Length N은 8 비트로 하였다. 그림1의 일반적 구조(Tiernerney, Rader, Gold 구조)를 사용 할 경우 ROM 사이즈는 $2^9 \times 8$ bits 이나, 구현된 DDS에서 소요된 ROM 사이즈는 II장에서 기술된 설계기법에 의하여 $2^7 \times 8$ bits였다. 이는 일반적 구조에서 소요되는 ROM 사이즈의 1/4에 불과한 것으로써 본 연구에서 제시된 설계기법의 ROM 사이즈 절감효과를 확인 할 수 있다.

그림5는 본 연구에서 제작된 DDS 회로도이다. DDS 디지털부는 그림3과 4의 위상 누적기와 ROM을 포함하고 있다. DDS 디지털부의 출력을 아날로그

전류파형으로 변환하기 위하여 National Semiconductor Co.의 DAC0800 DAC을 사용하였고 이를 다시 전압파형으로 변환하기 위하여 National Semiconductor Co.의 LF351 OP-AMP를 사용하였다. OP-AMP 출력의 고주파 신호를 감쇄시키기 위한 LPF는 1 pole RC Filter로 구현하였다. DDS의 아날로그 Part는 Breadboard 상에서 제작되어 HBE-Combo Kit의 외부 확장용 버스와 연결하였다. 제작된 DDS에서 사용된 시스템 클럭은 $f_{CLK}=40$ MHz 였다.

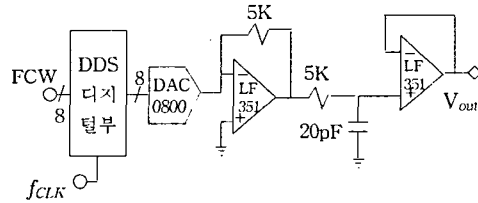


그림5. 제작된 DDS 회로도

2. 측정

다음 그림6은 본 연구에서 제작된 DDS의 발진전압 V_{out} 을 4가지의 FCW에 대하여 오실로스코우프로 측정한 파형이다.

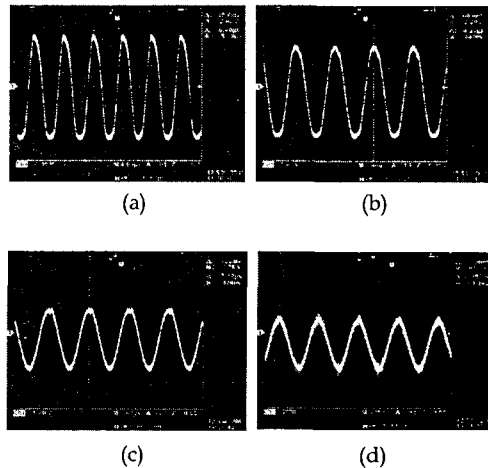


그림6. 제작된 DDS 출력신호의 측정 파형
(a) FCW=00000010. (b) FCW=00000011.
(c) FCW=00000110. (d) FCW=00001111.

그림6(a)는 FCW=2일때의 출력파형의 발진주파수와 발진전압의 크기(V_{P-P})를 나타낸다. 제작된 DDS의 위상 누적기의 Word 길이는 L=9 이며, 시스템 클럭 주파수는 $f_{CLK}=40$ MHz이므로 식(1)에 의하여 추정되

는 주파수는 $f_{out} = 40MHz/2^9 \times 2 = 156.3$ KHz로서 측정된 주파수 156.2 KHz와 0.1 KHz의 오차에 불과함을 알 수 있다. 나머지 (b), (c), (d)에 대하여도 추정 주파수와 측정 주파수는 뛰어난 일치를 보였다. 다음 표2는 추정 주파수와 측정 주파수를 요약한 것이다. FCW의 다른값에 대하여도 추정 주파수와 측정 주파수는 좋은 일치를 보였으며, DDS의 발진 주파수는 식(1)이 예견하듯이 FCW에 대하여 선형적으로 변함을 확인할 수 있었다.

표2. 추정 주파수와 측정 주파수 비교

	그림(a) (FCW=2)	그림(b) (FCW=3)	그림(c) (FCW=6)	그림(d) (FCW=15)
추정 주파수(KHz)	156.3	234.4	468.8	1171.9
측정 주파수(KHz)	156.2	235.9	471.7	1168.2
오차(KHz)	0.1	1.5	2.9	3.7

표2에서 오차는, 시스템 클럭으로 사용되는 크리스탈 발진기의 위상잡음과 그림5의 디지털부와 아날로그 회로들에서 발생하는 열잡음과 디바이스 잡음에 의하여 형성되는 DDS 신호의 위상잡음에 기인한다.

IV. 결 론

본 연구에서는 부가적 하드웨어를 거의 필요로 하지 않으면서 ROM 사이즈를 대폭 줄일 수 있는 새로운 DDS 설계기법을 제시하고 이의 설계 과정을 기술 하였다. 본 연구에서 제시된 설계기법을 사용하면 통상적 기법보다 ROM 사이즈를 1/4까지 줄일 수 있다. 제시된 설계기법을 사용하여 제작된 DDS의 출력 주파수는, FCW(주파수 제어 워드)에 따라 예견되는 주파수와 뛰어난 일치를 보였으며, FCW에 따라 선형적으로 변함을 확인할 수 있었다.

참고문헌

[1] Ahmed M. Eltawil and Babak Daneshrad, "Piece-wise parabolic interpolation for direct digital synthesis," Proceedings of IEEE 2002 Custom Integrated Circuits Conference, 2002, pp. 73-77.
 [2] J. Tierney, C. M. Rader, and B. A. Gold, "Digital frequency synthesizer," IEEE Trans. on Audio and Electroacoustics, vol. Au-19, no. 1, pp. 48-57, March 1971.

[3] A. L. Bramble, "Direct digital frequency synthesis," Proceedings of the 35th Annual Frequency Control Symposium, 1981, pp. 406-414.
 [4] D. P. Noel and Kwasniewski, "Frequency synthesis: A comparison of techniques," Proceedings of Canadian Conference on Electrical and Computer Engineering, Canada, Sept. 1994, vol. 2, pp. 535-538.
 [5] L. K. Tan and H. Samueli, "200 MHz quadrature digital synthesizer/mixer in 0.8 μ m CMOS," IEEE Journal of Solid-State Circuits, vol. 30, no. 3, pp. 193-200, March 1995.
 [6] B. H. Hutchison, "Frequency Synthesis and Applications, New York: IEEE Press, 1975.
 [7] D. A. Sunderland, R. A. Strauch, S. S. Wharfield, H. T. Peterson, and C. R. Cole, "CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communications," IEEE Journal of Solid-State Circuits, vol. SC-19, no. 4, pp. 497-506, Aug. 1984.
 [8] H. T. Nicholas, H. Samueli, and B. Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects," Proceedings of the 42nd Annual Frequency Control Symposium, 1988, pp. 357-363.