

저잡음 증폭기를 위한 새로운 자동 보상 회로

류지열*, 길버트**, 노석호**

애리조나 주립대학교 전기공학과*, 안동대학교 전자공학과**

A New Automatic Compensation Circuit for Low Noise Amplifiers

Jee-Youl Ryu*, Gilbert D. Deboma**, Seok-Ho Noh**

Arizona State University*, Andong National University**

E-mail : jryul@imap1.asu.edu

요약

본 논문에서는 시스템 온 칩 (SoC, System-on-Chip) 트랜시버에 적용이 가능하며, 저잡음 증폭기 (LNA, Low Noise Amplifier)를 위한 자동 보상 회로 (ACC, automatic compensation circuit)를 제안한다. 개발된 회로는 고주파 내부 자체 검사 (BIST, Built-In Self-Test) 회로, 커패시터 미러 뱅크 (CMB, Capacitor Mirror Banks)와 디지털 처리장치로 구성되어 있다. 자동 보상 회로는 LNA가 정상 동작을 하지 않을 때 SoC 트랜시버의 구성요소인 디지털 프로세서를 이용하여 LNA가 정상 동작을 하도록 자동적으로 조정하는 역할을 한다.

ABSTRACT

This paper proposes a new SoC (System-on-Chip)-based automatic compensation circuit (ACC) for 5GHz low noise amplifier (LNA). This circuit is extremely useful for today's RF IC (Radio Frequency Integrated Circuit) devices in a complete RF transceiver environment. The circuit contains RF BIST (Built-In Self-Test) circuit, Capacitor Mirror Banks (CMB) and digital processing unit (DPU). The ACC automatically adjusts performance of 5GHz LNA by the processor in the SoC transceiver when the LNA goes out of the normal range of operation.

I. 서론

오늘날의 전자산업은 시스템 규모와 비용을 줄이고 전체적인 시스템 성능을 향상시키기 위해 소규모 집적회로 면적 내에 고주파, 중간주파 및 기저대역 (baseband) 기능을 모두 집적화시키려는 연구를 적극적으로 시도하고 있다. 그러나 이러한 시스템 온 칩 (System-on-Chip, SoC) 경향을 위해서는 적절한 테스트 방법의 개발과 함께 테스트 비용의 절감이 필수요소이다. 고주파 집적회로 내에 발생하는 결함은 일반적으로 거폭 결함 (catastrophic faults, hard faults)과 미세 결함 (parametric variations, soft faults)으로 분류된다. 그중에서 고주파 및 혼합신호 (mixed-signal) 분야에 종사하는 테스트 엔지니어와 설계자들은 미세 결함에 매우 많은 관심을 가지고 있다. 왜냐하면 결함으로 간주하지 않는 범위, 즉 받아들일 수 있는 변동으로부터 이러한 결함을 구별하기가 어려울 뿐만 아니라 이러한 결함은 회로 동작에 중요한 영향을 미치기 때문이다 [1-3].

본 논문에서는 고주파 시스템 온 칩 검사에 있어 미세변동을 자동적으로 보정할 수 있는 새로운 방법을 제안한다. 본 연구에서는 이러한 방법을 대표적인 고주파 전단부 (front-end) 칩중의 하나인 LNA에 적용 하였으며, 이러한 방법은 자동 보상 회로를 이용한다. 개발된 회로는 고주파 내

부 자체 검사회로, 커패시터 미러 뱅크 및 디지털 처리장치로 구성되어 있다. 고주파 내부 자체 검사회로는 DC 출력 전압을 제공하여 보상회로를 자동화시키는 역할을 한다.

II. 자동 보상 회로 구성

그림 1은 저잡음 증폭기를 위한 자동 보상 회로를 시스템 온 칩 수신기 구성에 적용한 것으로, ACC는 고주파 내부 자체 검사회로, 커패시터 미러 뱅크 및 디지털 처리장치로 구성되어 있다. 이 회로는 저잡음 증폭기가 열적 변동이나 공정상의 변동으로 인해 정상 동작을 하지 않을 때 시스템 온 칩 수신기 구성요소인 디지털 프로세서를 이용하여 저잡음 증폭기의 성능을 자동적으로 조정하고 보상하는 역할을 한다.

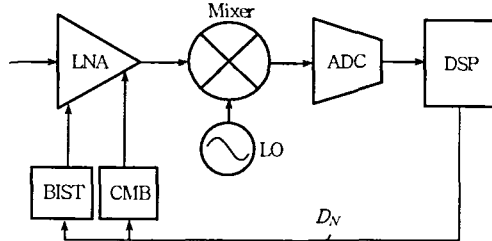


그림 1. 저잡음 증폭기를 위한 ACC

고주파 내부 자체 검사 회로는 그림 2에 나타나 있듯이 검사용 증폭기 (TA, Test Amplifier)와 밴드절 참 조회로 및 두개의 고주파 피크 검출기 (Peak Detector) PD1 및 PD2로 구성되었다. DC 출력 전압 (V_{T1} 및 V_{T2})을 제공하기 위해 두개의 고주파 피크 검출기가 사용되었다.

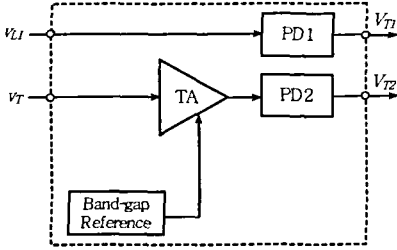


그림 2. 고주파 BIST 하드웨어 구조

그림 3은 본 논문에서 제안하는 커패시터 미러 배크회로를 나타낸 것이다. CMB는 저잡음 증폭기의 성능을 정확하게 보상하기 위해서 N비트 커패시터 배크를 가진다. 본 연구에서는 칩 면적을 고려하여 8비트 CMB를 0.18 μ m SiGe BiCMOS 공정을 이용하여 증폭기와 함께 한 칩에 제작하였다. CMB는 디지털 처리 장치 (DPU, digital processor unit)로부터 받은 디지털 신호 ($D_8...D_2D_1$)에 의해 제어되며, 1.8V 공급전압에 동작하도록 설계되어 있다. 저잡음 증폭기의 성능을 보상함에 있어 ($1/8$)(C_b)의 커패시터 값을 제공하기 위해 디지털 입력 ($D_8...D_2D_1$) = (0...01)이 적용되며, C_b 의 커패시터 값을 제공하기 위해 ($D_8...D_2D_1$) = (1...11)이 적용된다.

III. 측정 시스템 구성 및 접근 방법

3.1. 측정시스템 구성

그림 4는 그림1에서 제시한 본 연구의 아이디어를 실현시키기 위한 측정시스템 구성을 나타낸 것이다. 본 연구에서 제안하는 ACC는 고주파 신호를 DC 전압으로 변환시켜 주는 내부 자체 검사회로를 가지고 있기 때문에 모든 측정이 시스템 온 칩의 구성요소인 온 칩 데이터 변환기에 의해 이루어 질 수 있도록 구성되어 있으며, 이런 특성으로 측정시스템의 자동화가 가능하다.

이 시스템은 저잡음 증폭기와 ACC로 구성된 온 칩 회로부, 소스 저항 (R_s)을 가진 고주파 전압 발생기 (V_m), 3개의 고주파 릴레이 ($S1, S2$ 및 $S3$), 외부 부하 저항 (Z_L) 및 데이터 변환 보드로 구성되어 있다. 이러한 측정시스템은 저손실 고주파 릴레이를 사용하였으며, 저잡음 증폭기와 내부 자체 검사 회로간의 입력 트랜스미션 라인 매칭 특성을 포함한다. 릴레이의 위치는 출력 DC 전압, V_{T1} 및 V_{T2} 를 측정하기 위해 외부 보드 내의 DeMux 칩에 의해 조절된다.

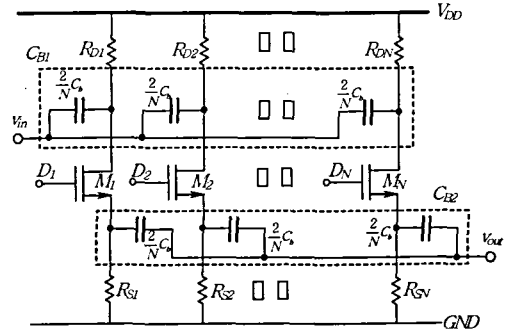


그림 3. N비트 CMB

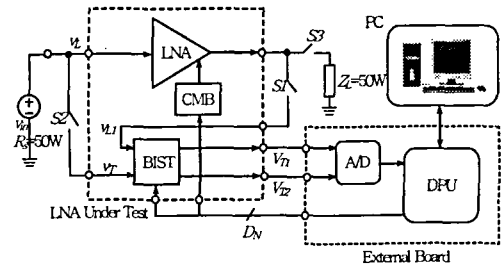


그림 4. 저잡음 증폭기를 위한 ACC 측정 시스템

그림 5는 ACC를 이용하여 저잡음 증폭기의 성능을 보상하는 방법에 대한 순서도를 나타낸 것이다.

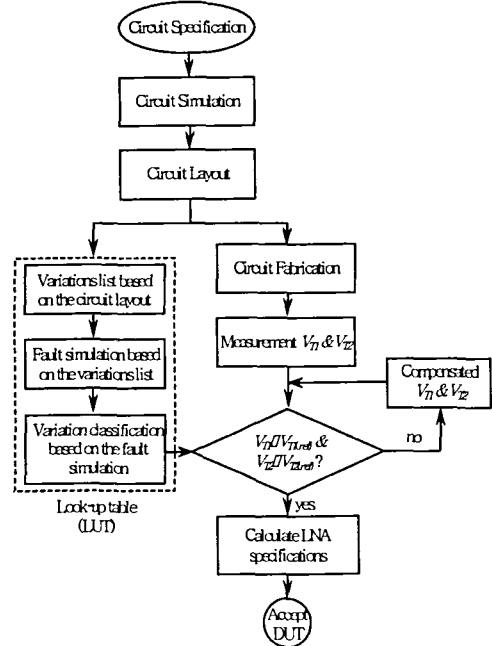


그림 5. ACC의 저잡음 증폭기 성능 보상 순서도

첫 번째 단계는 내부 자체 검사회로를 이용하여 DC 출력 전압, V_{T1} 및 V_{T2} 를 측정하는 것이다. 두 번째

는 PC 데이터 베이스의 참조 테이블 (LUT, look-up table)에 저장되는 있는 참조 전압값, $V_{T1(ref)}$ 및 $V_{T2(ref)}$ 를 측정된 값, V_{T1} 및 V_{T2} 와 각각 비교하는 단계를 거친다. 마지막으로 자동 보상 과정을 거친다.

3.2. 접근방법

A. 입력 임피던스 (Input Impedance)

그림 6은 그림 4의 블록도에서 저잡음 증폭기와 검사용 증폭기의 입력단에서 본 입력 임피던스에 대한 등가회로를 나타낸 것으로, $Z_{in(LNA)}$ 과 $Z_{in(TA)}$ 는 LNA와 검사용 증폭기의 입력 임피던스이다.

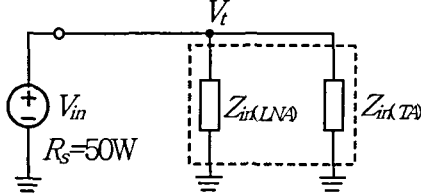


그림6. 저잡음 증폭기와 검사용 증폭기의 입력임피던스에 대한 등가회로

그림 4에서 스위치 2 및 3이 닫히고 스위치 1이 열렸을 때 저잡음 증폭기의 임피던스 측정이 수행된다. 여기서는 피크 검출기 2의 출력 직류 전압 V_{T2} 를 측정하여 저잡음 증폭기의 입력임피던스 변화를 관찰한다. 이 기본 개념을 이용하여 LNA의 입력임피던스 크기는 다음과 같이 표현할 수 있다[4].

$$|Z_{in(LNA)}| = f(V_{T1}) = R_s \frac{K_1}{1 - \left(1 + \frac{R_s}{|Z_{in(TA)}|}\right) K_1} [\Omega] \quad (1)$$

여기서 $K = G_{01} / G_{TA}$ 이고, G_{TA} 는 검사용 증폭기의 전압 이득을 나타내며, $G_{02} = \frac{V_{T2} - V_{02}}{V_{in}}$ 이고, V_{02} 는 두 번째 피크 검출기, PD2의 출력 오프셋 전압을 각각 나타낸다.

저잡음 증폭기 내부에 결합이 있는 경우 소자내의 입력 매칭 (정합) 특성이 변하기 때문에 소자의 입력 임피던스가 변동한다. 따라서 출력 DC 전압, V_{T2} 가 변화하며, 저잡음 증폭기의 입력 임피던스는 다음 식으로 표현된다.

$$|Z_{in(LNA)}| = f(V_{T2}) = R_s \frac{\bar{K}_1}{1 - \left(1 + \frac{R_s}{|Z_{in(TA)}|}\right) \bar{K}_1} [\Omega] \quad (2)$$

여기서 $\bar{K}_1 = \frac{\bar{G}_{02}}{G_{TA}}$ 이고, $\bar{G}_{02} = \frac{V_{T2} - V_{02}}{V_{in}}$ 이다. Bar는 결합이 있는 경우에 대한 변수를 나타낸다.

B. 전압 이득 (Voltage Gain)

저잡음 증폭기의 전압이득은 그림 4에서 스위치 2와 3이 열리고 스위치 1이 닫혔을 때 측정이 가능하다. 이러한 경우 그림 4에 표현되어 있듯이 내부 자체

검사회로는 첫 번째 피크 검출기 PD1의 출력 직류 전압 V_{T1} 을 측정하여 저잡음 증폭기의 전압이득, G_{LNA} 을 제공한다.

$$G_{LNA} = f(V_{T1}, V_{T2}) = \left(1 + \frac{R_s}{|Z_{in(LNA)}|}\right) G_{01} \quad (3)$$

여기서 $G_{01} = \frac{V_{T1} - V_{01}}{V_{in}}$ 이고, V_{01} 은 첫 번째 피크 검출기, PD1의 출력 오프셋 전압을 각각 나타낸다.

저잡음 증폭기 내부에 결합이 있는 경우 출력 DC 전압, V_{T1} 및 V_{T2} 가 변화하며, 저잡음 증폭기의 전압이득은 다음과 같은 식으로 표현된다.

$$\bar{G}_{LNA} = f(\bar{V}_{T1}, \bar{V}_{T2}) = \left(1 + \frac{R_s}{|Z_{in(LNA)}|}\right) \bar{G}_{01} \quad (4)$$

여기서 $\bar{G}_{01} = \frac{\bar{V}_{T1} - V_{01}}{V_{in}}$ 이다.

V. 결 과

표 1은 주파수에 따른 내부 자체 검사 회로에 의해 측정된 DC 참조 전압 $V_{T1(ref)}$ 과 $V_{T2(ref)}$ 를 시뮬레이션 결과와 비교한 것이다.

표에 열거된 값은 식 (1), (3)에 나타냈듯이 저잡음 증폭기의 입력 임피던스, 전압이득을 얻는데 사용되었다. 시뮬레이션 결과로부터 알 수 있듯이 $V_{T1(ref)}$ 는 5GHz의 동작주파수에서 가장 높은 값을 가진다. 이것은 식 (3)으로부터 알 수 있듯이 $V_{T1(ref)}$ 이 저잡음 증폭기의 이득에 비례하기 때문에 이러한 동작주파수에서 가장 높은 값을 가짐을 예측할 수 있다. 또한 주파수가 증가할 때 $V_{T2(ref)}$ 도 증가하였다. 표 1로부터 알 수 있듯이 측정값은 시뮬레이션 결과와 비슷한 양상을 보였으나, 좀 더 낮은 주파수에서 최대값을 보였다.

표 1. BIST 회로에 의해 측정된 $V_{T1(ref)}$ 과 $V_{T2(ref)}$

Frequency [GHz]	$V_{T1(ref)}$ [mV]		$V_{T2(ref)}$ [mV]	
	Simulation	Measurement	Simulation	Measurement
4.50	400	343.8	166.20	205.3
4.75	421	335.7	160.30	218.2
5.00	448	304.8	171.40	213.4
5.25	445	274.9	180.00	205.4
5.50	432	253.0	189.00	182.3
5.75	418	232.0	191.05	168.1
6.00	406	219.1	192.02	160.2

5.1. 공정상의 변동과 그에 대한 보상

그림 7은 증폭기의 이득에 가장 큰 영향을 미치는 회로 구성요소인 인덕터 L_{cl} 의 +20% 공정상 변동에 대한 증폭기의 이득변화와 그에 대한 ACC의 보상 결과를 나타낸 것이다. L_{cl} 의 +20% 변동에 대해 저잡음 증폭기는 1.04dB (11.32%)의 이득 변화를 보였으며, 1dB 이득 저하를 보상하

기 위해 ACC는 디지털 입력 ($D_8...D_2D_1$)=(0...01)을 이용하여 $(1/8)(C_6)$ 의 커패시터 값을 제공하였다. 여기서 C_6 는 결함이 없는 경우에 제공되는 기본값이다.

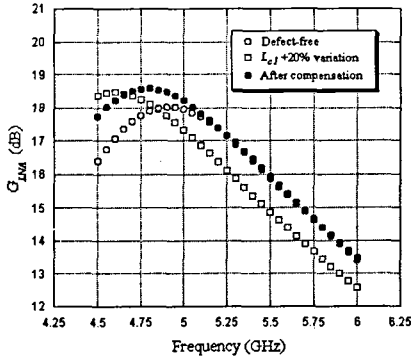


그림 7. $L_c +20\%$ 공정상의 변동에 대한 저잡음 증폭기의 전압이득 보상

그림 7로부터 알 수 있듯이 본 논문에서 제안하는 ACC는 5.25GHz 주파수대에서 공정상의 변동으로 인한 이득 저하를 보상할 수 있다.

5.2. 열적 변동과 그에 대한 보상

그림 8은 증폭기 내부에 $+40^{\circ}\text{C}$ 열적 변동이 발생한 경우에 대한 증폭기의 이득변화와 그에 대한 ACC의 보상 결과를 나타낸 것이다. 그림 8로부터 알 수 있듯이 ACC는 5.25GHz에서 열적 변동으로 인한 이득 저하를 보상할 수 있었다.

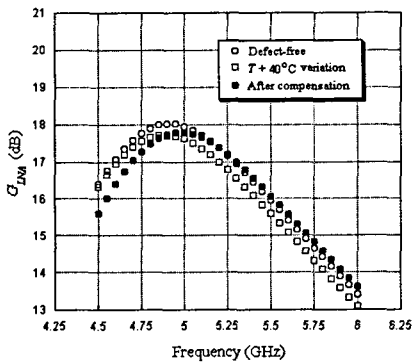


그림 8. $T +40^{\circ}\text{C}$ 열적 변동에 대한 저잡음 증폭기의 전압이득 보상

VI. 결 론

본 논문에서는 저잡음 증폭기를 위한 새로운 자동 보상 회로 (ACC)를 제안하였으며, ACC가 공정상의 변동이나 열적 변동으로 인한 저잡음 증폭기의 성능 저하를 적절하게 보상할 수 있음을 입증하였다.

참고문헌

- [1] M. Pronath, V. Gloeckel, and H. Graeb, "A Parametric Test Method for Analog Components in Integrated Mixed-Signal Circuits," *IEEE/ACM International Conference on Computer Aided Design*, pp. 557-561, November 2000.
- [2] H. C. H. Liu and M. Soma, "Fault diagnosis for analog integrated circuits based on the circuit layout," *Proceedings of Pacific Rim International Symposium on Fault Tolerant Systems*, pp. 134-139, September 1991.
- [3] J. Segura, A. Keshavarzi, J. Soden AND C. Hawkins, "Parametric failures in CMOS ICs - a defect-based analysis," *Proceedings of International Test Conference*, pp. 909-919, October 2002.
- [4] J. Y. Ryu, and B. C. Kim, "A New Design for Built-In Self-Test of 5GHz Low Noise Amplifiers," *Proceedings of IEEE International System-On-Chip Conference*, pp. 324-327, September 2004.