

비정질 반도체 및 절연체의 Reactive Ion Etching

허창우* · 이규정**

*목원대학교 전자정보보호공학부 · **성결대학교 정보통신공학부

Reactive Ion Etching of Amorphous Semiconductor and Insulator

Chang-wu Hur* · Kyu-chung Lee**

*Mokwon University · ** Sungkyul University

요 약

본 논문에서는 비정질 반도체 및 절연체의 etching을 RIE를 사용하여 etching 조건을 결정하는 요인(chamber pressure, gas flow rate, rf power, 온도 등)들을 변화시켜 실험하였고, gas는 비정질 실리콘 박막의 reactive ion etching에 주로 사용되는 CF_4 , CF_4+O_2 , CCl_2F_2 , CHF_3 gas 등을 사용하였다. 여기서 실리콘 박막의 식각은 CF_4 , CCl_2F_2 gas를 그리고 insulator 막인 SiN_x 박막의 식각은 CF_4+O_2 , CHF_3 gas를 사용하였다. 특히 CCl_2F_2 gas는 insulator 막인 SiN_x 박막과의 식각 selectivity가 6:1로서 우수하기 때문이다. 정확한 control에 의해 높은 수율 (Yield) 을 얻을 수 있어 cost를 절감할 수 있다.

키워드

RIE, chamber pressure, gas flow rate, rf power, 온도, Yield

1. 서론

비정질(또는 비결정) 과 다결정 그리고 단결정은 구성 원자들간의 상호 배열에 대한 규칙성에 따라 구별된다. 단결정이나 다결정에 비해 비결정은 원자들 간에 구성이 무질서하여 전자 소자로서 사용이 매우 제한되어 왔다. 그러나 이 비결정 에서도 원자들 간에 상호 단거리 질서(배위수, 원자간격)가 존재하여 전기적인 특성이 단결정에 비하여 상당히 떨어져도 특정한 용도의 전자소자로서 사용이 가능하여 이에 대한 연구가 1980년대 이후 상당히 진척되어 왔다. 특히 비정질 실리콘의 경우 다른 재료에 비하여 광전변환 특성이 매우 우수하여 이 분야에서의 박막 개발은 상당한 성과를 이루고 있다.

특히 수소화된 비정질실리콘(hydrogenated amorphous silicon, a-Si:H)은 비정질실리콘의 dangling bond를 수소와 결합하여 국부적준위(localized states)를 감소시킴으로써 양질의 a-Si:H 박막을 제조할 수 있다.

비정질 반도체 및 절연체의 etching은 wet etching과 dry etching으로 구분 할 수 있으며, wet etching은 등방성(isotropic) etching 이 되기 때문에 미세 pattern을 형성시키는데

있어서 많은 문제점이 있다. 그리고 인체에 유해한 여러 가지 chemical용액을 사용하여야 하기 때문에 operator의 안전도 문제점으로 지적되고 있다. 이에 반해 dry etching은 진공 chamber내에서 process가 진행되기 때문에 etching 하는 시료가 불순물에 오염되는 것을 방지 할 수 있을 뿐만 아니라 안전장치를 첨가하는 것에 의해 인체에 해를 끼치는 것을 방지 할 수 있고, 장비 자동화가 가능하기 때문에 정확한 control에 의해 높은 수율 (Yield) 을 얻어 cost를 절감할 수 있다.

또한 dry etching의 가장 큰 장점은 비등방성(anisotropic) etching이 가능하기 때문에 미세한 pattern을 정확하게 형성할 수 있다. 그러나 dry etching은 etching 조건을 결정하는 요인(chamber pressure, gas flow rate, rf power, 온도 등)들이 많고, 반응 gas를 plasma 상태로 분해하여 ion들을 시료에 충돌시켜 etching해내므로 ion bombardment에 의해 시료가 손상을 입을 우려가 있으며, anisotropic하게 etching 함으로서 수직 etching 면에서 올바른 step이 형성 되지 않는 어려움이 있다. 본 연구에서 사용한 reactive ion etching장비는 rf 전극이 capacitive type

으로써 plasma tech 社의 RIE 800μP 및 RIE 80μP이다.

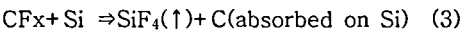
II. 이론

수소화된 비정질 실리콘 박막의 reactive ion etching에 주로 사용되는 gas는 CF₄, CF₄+O₂, SF₆, SF₆+O₂, CHF₃, CCl₄, CCl₂F₂ 등이 있다. 본 연구에서는 CF₄+O₂ gas를 사용하였고, 대면적용 장비인 RIE 800μP는 CCl₂F₂ gas를 사용하고 있다. 그 이유는 insulator 막인 SiN_x 박막과의 selectivity가 6:1로서 우수하기 때문이다.

a-Si:H이 etching되는 화학방정식은 CF₄ gas가 plasma에 의해



로 분해되고, 이 분해된 이온, 원자 그리고 기(基)들이



로 반응되면서 etching된다.

이온, 원자 그리고 기(基)의 생성 비는 방전변수 chamber pressure, power density frequency 그리고 gas flow rate에 의존한다. 그러나 방전변수와 생성 비 사이의 정확한 관계식은 일반적으로 알 수가 없다.

Etching rate R은

$$R = \frac{\beta r G}{1 + \beta r d} \quad (4)$$

$$\frac{1}{R} = \frac{1}{G} \left(\frac{1}{\beta r} + \frac{d s}{V} \right) \quad (5)$$

로 표현되고

여기서 G: Plasma 상태에서 반응 gas의 volume 생성 비

C: 반응 gas의 농도

τ : 반응 gas의 mean life time

β : 물질의 표면반응 비례상수

S: etching되는 물질의 exposed area

V: plasma volume

d: bi : No/Mi : 상수

bi: 반응 방정식 계수

I: 물질의 밀도

No: Avogadro Number

Mi: 물질의 분자량이다.

1. Loading effect and temperature effect

가. Loading effect ; $S \geq \frac{V}{\beta r d}$

⇒노광부위가 충분히 클 때($S \geq 4500\text{mm}^2$)

(4)식은 $R = \frac{GV}{ds}$ 가 된다. (6)

50X50mm² glass 위에 deposition된 막을 RIE 할 경우 그 etching rate가 200Å/min 였다.

1) 2장일 경우 $S = 50 \times 100 = 5000\text{mm}^2$

S가 4500mm²이상에서 loading effect 작용하므로 1장일경우와 거의 동일 $R = 200 \text{Å/min}$

2) 3장일 경우 $S = 50 \times 150\text{mm}^2 = 7500\text{mm}^2$

$R = 120 \text{Å/min}$

3) 4장일 경우 $S = 100 \times 100\text{mm}^2 = 10,000\text{mm}^2$

$R = 90 \text{Å/min}$

따라서 etching time은 3장일 경우 1.67배 4장일 경우 2.2배이다. 실험적으로 3장일 경우 1.6배 4장일 경우 2이다. 이것은 실지 exposed area가 pattern들 때문에 약간(1/100) 작기 때문이다.

나. Temperature effect ; $S \leq \frac{V}{\beta r d}$

⇒ exposed area가 충분히 작을때($S < 4\text{mm}^2$)

(4)식은 $R = \beta r d$ 가 된다.

다. O₂ 첨가에 따른 etching rate 변화
O₂ gas가 첨가되면 그 양이 20%일 때까지 etching rate가 증가한다. 이것은 generation rate G가 O₂ gas를 첨가함에 따라 증가하기 때문이다. 이것은 activation energy와 etching rate ratio가 변화하지 않으므로 (실험결과) etching을 위한 반응 gas 성질이 변화하는 게 아니라 전체적으로 etching rate만 높아지므로 G가 증가한 것이다.

III. a-Si:H 막의 etching

가. CF₄+O₂(8%)gas에 의한 etching(RIE80μ P)
Power 50 watts에서 gas flow rate 10 SCCM, chamber pressure 50mTorr는 비교적 어떤 규칙성을 가지며 uniformity 또한±5%이나, 작은 etching rate를 가져 비교적 정확한 etching을 요하는 박막의 etching에 사용된다. Gas flow rate 25 SCCM, chamber pressure 50mTorr인 것은 uniformity도 (5% 이상이고 막질도 비교적 불안정하며, etching rate도 때

우 작아 거의 사용 불가능하며, rf power 100 watts, gas flow rate 10SCCM, chamber pressure 50mTorr에서 RIE은 규칙성이 우수하고 uniformity도 $\pm 2\%$ 이내로 상당히 우수하며, etching rate이 가장 빠르다.

상기 조건에서 chamber pressure를 100mTorr로 하고 gas flow rate를 25 SCCM으로 하면, 더욱 etching rate가 빨라지지만 수직벽면 etching도 증가하는 경향이 있다. 이것은 slope etching시 상당히 유효하게 사용될 수 있다.

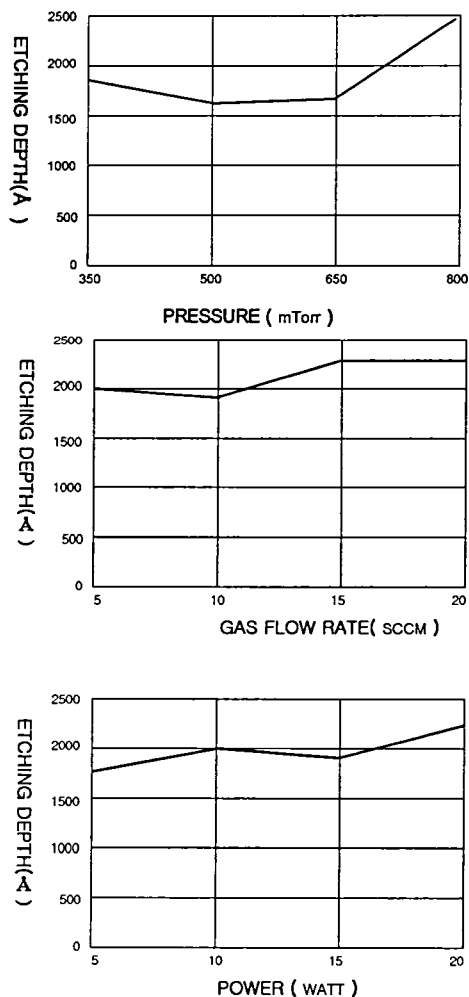
이상의 결론으로 $CF_4 + O_2(8\%)$ gas에 의한 a-Si:H 박막의 RIE condition은 rf power 100watts, gas flow rate 10SCCM 및 chamber pressure 50mTorr이다.

이때 막성장 조건에 따른 etching rate는 (그림 1)과 같다.

현재 80 μ p PECVD에서 증착조건은 gas flow rate 10 SCCM, chamber pressure 800mTorr, electrode temperature 250 $^{\circ}$ C, rf power 7 watts 이고, 이것을 gas flow rate 10 SCCM, chamber pressure 50 mTorr, rf power 100 watts 의 조건으로 RIE를 했을 때 etching rate는 700A/min 이며, 현재 device process 조건이다.

나. CCl_2F_2 gas 에 의한 etching(RIE 800 μ P)
Gas flow rate 15 SCCM, chamber pressure 180 mTorr, rf power 600 watts로 하여 etching 이 때 DC bias - 60V 이고, etching rate는 800A/min이다. CCl_2F_2 gas는 SiN_x 막과의 selectivity가 6:1로 우수하여 정확한 etching에 상당히 유용하며 DC bias가 작아 하부막의 ion damage가 작다. CCl_2F_2 gas를 사용할 경우 Cl기 때문에 rotary pump oil로 mineral oil을 사용하면 위험하고 fomblin oil을 사용하여야 한다.

Fomblin oil이 상당히 고가이나, oil filter를 사용하여 재활용하면 되므로 pumper 수명 등을 고려할 때 그 가격은 저렴하다.



(그림 1) 각 공정조건에 따른 에칭율 변화다. CHF_3 gas에 의한 etching (RIE 800 μ P)
Gas flow rate 40 SCCM, chamber pressure 50 mTorr, rf power 600 watts를 조건으로 etching 이 때 DC bias는 -400V이고, etching rate는 40A/min이다. 이것은 SiN_x 에 대한 selectivity가 6:1로 상당히 우수하여 하부가 a-Si:H 박막인 SiN_x 박막 etching에 상당히 유용하다.

IV. SiN_x 막의 etching

가. $CF_4 + O_2(8\%)$ gas에 의한 etching(RIE800 μ P)
Gas flow rate 10 SCCM, chamber pressure 50 mTorr 그리고 rf power 100 watts로 하여 etching 한 것이 uniformity 및

etching rate가 적당하여 가장 좋은 조건이며, 이때 uniformity는 (5%이내이고, etching rate는 800Å/min이다.

나. CHF₃ gas에 의한 etching (RIE 800μP)

Gas flow rate 40 SCCM, chamber pressure 50 mTorr, rf power 600 watts로 하여 etching 하였을 때 가장 좋은 uniformity를 가진다. 이것의 증착 조건에 따른 etching rate를 살펴보면 아래와 같다.

다. CCl₂F₂ gas에 의한 etching (800μP)

Gas flow rate 15 SCCM, chamber pressure 180mTorr, rf power 600 watt로 etching하였을 때 150Å/min의 etching rate를 가지며 a-Si:과 selectivity가 좋아 상당히 유효한 조건이다.

V. n⁺a-Si:H 막의 etching

가. CF₄+ O₂(8%)gas에 의한 etching(RIE80μP)

Gas flow rate 10 SCCM, chamber pressure 50 mTorr, rf power 50 watts 일 때가 알맞은 etching rate 및 좋은 uniformity를 가져 최적의 조건이다. 이때 etching rate가 400Å/min인데 이것은 TFT부분의 n⁺a-Si:H층이 통상 500Å정도의 두께를 가지므로 etching time이 75 sec이고, 약간의 over etching을 생각 통상 1분 30초 정도 etching하면 600Å 정도가 etching 되어 process control이 상당히 용이하다.

나. CCl₂F₂ gas에 의한 etching (RIE 800μP)

Gas flow rate 15 SCCM, chamber pressure 180 mTorr, rf power 600 watts로 하여 etching 하였을 때 uniformity가 상당히 우수하고 800Å/min의 etching rate를 가져 n⁺a-Si:H막 etching에 적당한 조건이다.

V. 결론

dry etching은 진공 chamber내에서 process가 진행되기 때문에 etching 하는 시료가 불순물에 오염되는 것을 방지 할 수 있을 뿐만 아니라 안전장치를 첨가 하는 것에 의해 인체에 해를 끼치는 것을 방지할 수 있고, 장비 자동화가 가능하기 때문에 정확한 control에 의해 높은 수율 (Yield) 을 얻어 cost를 절감할 수 있

다. 본 논문에서는 비정질 반도체 및 절연체의 etching을 RIE를 사용하여 etching 조건을 결정하는 요인(chamber pressure, gas flow rate, rf power, 온도 등)들을 변화시켜 실험하였고, gas는 비정질 실리콘 박막의 reactive ion etching에 주로 사용되는 CF₄, CF₄+ O₂, CCl₂F₂, CHF₃ gas 등을 사용하였다. 여기서 실리콘 박막의 식각은 CF₄, CCl₂F₂ gas를 그리고 insulator 막인 SiN_x 박막의 식각은 CF₄+ O₂, CHF₃ gas를 사용하였다. 특히 CCl₂F₂ gas는 insulator 막인 SiN_x 박막과의 식각 selectivity가 6:1로서 우수하기 때문이다. CF₄+ O₂(8%) gas에 의한 a-Si:H 박막의 RIE condition은 rf power 100watts, gas flow rate 10SCCM 및 chamber pressure 50mTorr이다. CCl₂F₂ gas는 SiN_x막과의 selectivity가 6:1로 우수하여 정확한 etching에 상당히 유용하며 DC bias가 작아 하부막의 ion damage가 작다. SiN_x막의 CF₄+ O₂ (8%) gas에 의한 etching (RIE 80μP)은 Gas flow rate 10 SCCM, chamber pressure 50 mTorr 그리고 rf power 100 watts로 하여 etching 한 것이 uniformity 및 etching rate가 적당하여 가장 좋은 조건이었으며, 이때 uniformity는 (5%이내이고, etching rate는 800Å/min이다. 이와 같이 실험에 의하여 최적의 식각조건을 형성하면 dry etching은 정확한 control에 의해 높은 수율 (Yield) 을 얻을 수 있어 상당히 공정 비용을 절감할 수 있다.

참 고 문 헌

- 1) Chang W. Hur, " Method of Making Thin Film Transistors", United States Patent, Patent No.5,306,653, Apr. 1994.
- 2) B. Park, Process integration of a-Si:H Schottky diode and thin film transistor for low energy x-ray imaging applications, Mat. Res. Soc. Symp. A, April 13-17, 1998.
- 3) 허창우, 이문기, 김봉열, "강유전성 PbTiO₃ 박막의 형성 및 계면특성", 대한전자공학회 논문지, 26권 7호, pp.83-89, 1989
- 4) K. Aflatooni, a-Si:H Schottky diode direct detection pixel for large area x-ray imaging, IEEE IEDM, December 7-10, Washington, D.C.,

1997.

5) 윤재석,허창우, "게이트 산화막에 따른 n-MOSFET 의 금속 플라즈마 피해", 한국해양정보통신학회 논문지 vol.3,No.2, pp. 471-475,1999.

6) 이규정,류광렬,허창우, "산화물 반도체 박막 가스센서 어레이의 제조 및 수율 개선", 한국해양정보통신학회 논문지 vol.6,No.2, pp. 315-322, 2002