

기억상태에 따른 전하트랩형 SONOS 메모리 소자의 문턱전압 시뮬레이션

김병철^{*} · 김현덕^{*} · 김주연^{**}

^{*}진주산업대학교 전자공학과

^{**}울산과대학 전기전자통신학부 반도체응용전공

Simulation of Threshold Voltages for Charge Trap Type SONOS Memory
Devices as a Function of the Memory States

Byungcheul Kim^{*} · Hyun-Duk Kim^{*} · Joo-Yeon Kim^{**}

^{*}Dept. of Electronic Engineering, Jinju National University

^{**}Semiconductor Applications Program, School of Electricity, Electronics, and Communications,
Ulsan College

E-mail : bckim@jinju.ac.kr

요 약

본 논문에서는 전하트랩형 SONOS 메모리에서 프로그래밍 동작 후 변화되는 문턱전압을 시뮬레이션에 의하여 구현하고자 한다. SONOS 소자는 질화막내의 트랩 뿐 만 아니라, 질화막-블로킹산화막 계면에 존재하는 트랩에 전하를 저장하는 전하트랩형 비휘발성기억소자로서, 기억상태에 따른 문턱전압을 시뮬레이션으로 구현하기 위해서는 질화막내의 트랩을 정의할 수 있어야 된다. 그러나 기존의 시뮬레이터에서는 질화막내의 트랩모델이 개발되어 있지 않은 것이 현실이다. 따라서 본 연구에서는 SONOS 구조의 터널링산화막-질화막 계면과 질화막-블로킹산화막 계면에 두개의 전극을 정의하여 프로그램 전압과 시간에 따라서 전극에 유기되는 전하량으로부터 전하트랩형 기억소자의 문턱전압변화를 시뮬레이션 할 수 있는 새로운 방법을 제안한다.

ABSTRACT

This study is to realize its threshold voltage shift after programming operation in charge trap type SONOS memory by simulation. SONOS devices are charge trap type nonvolatile memory devices in which charge storage takes place in traps in the nitride-blocking oxide interface and the nitride layer. For simulation of their threshold voltage as a function of the memory states, traps in the nitride layer have to be defined. However, trap models in the nitride layer are not developed in commercial simulator. So, we propose a new method that can simulate their threshold voltage shift by an amount of charges induced to the electrodes as a function of a programming voltages and times as define two electrodes in the tunnel oxide-nitride interface and the nitride-blocking oxide interface of SONOS structures.

키워드

SONOS Memory, Charge Trap Type, Simulation of Threshold Voltage Shift, ATHENA, ATLAS

1. 서 론

10 nm 정도의 비교적 두꺼운 터널 산화막을 갖

고 있는 부유게이트(floating gate) 소자구조는 산화막의 두께를 제어하는 것이 비교적 쉽기 때문에 현재의 플래시메모리 제품기술을 주도하고 있

다. 그러나 앞으로 기존의 planar cell을 기반으로 한 부유게이트 소자구조의 실질적인 스케일링 한계는 65 nm가 될 것으로 인텔에서는 발표하였다. 그 이유는 부유게이트의 길이를 계속 축소할 경우, 동시에 터널 산화막의 두께도 얇아져야 하는데 이렇게 될 경우, 전도성 다결정 실리콘 안에 저장된 전하가 손실될 우려가 커지게 때문이다. 따라서 터널 산화막의 두께를 8 nm 이하로 스케일링하는 것은 더 이상 불가능하기 때문에 게이트 길이의 축소도 한계에 도달하게 된다[1]. 이에 비해 SONOS 소자구조는 질화막 내의 트랩에 전하를 저장하므로 하루 터널 산화막의 두께에 대한 영향이 비교적 작으며, 질화막의 스케일링이 가능하기 때문에 65 nm 이하 기술에서 플래시 메모리 셀 구조로 채택될 것이 예상되고 있다. SONOS 메모리는 터널링 방식을 사용할 경우 소모전류가 낮아 저 소비전력 응용에 유리하며, 고온 캐리어(hot carrier) 방식을 사용할 경우 2-bit 메모리 셀 기술이 가능하기 때문에 터널링 방식을 사용하는 아니면 고온 캐리어 방식을 사용하는 것으로 상당히 오랜 기간 커다란 시장을 형성할 것으로 예상된다[2~3]. SONOS 메모리가 플래시 메모리를 위한 핵심기술로서 확실하게 자리잡기위해서 storage node로서 질화막 뿐 만 아니라, 산화막-질화막 계면의 트랩에 대한 지식, 효율적인 프로그래밍 방법에 대한 연구가 진행되고 있다[4~6]. SONOS 소자의 효율적인 프로그래밍 조건 및 방법을 연구하기 위하여 소자를 직접 제작하지 않고도, 프로그램전압과 시간에 따라서 SONOS 메모리의 기억상태에 따른 문턱전압의 변화를 시뮬레이션 할 수 있는 방법이 연구되어야 한다. 이를 위하여 질화막내의 트랩이 정의될 수 있어야 하지만, 현재까지 개발되어있는 기존의 시뮬레이터에서는 질화막내의 트랩을 정의할 수 있는 모델이 개발되어있지 않은 것이 현실이다. 따라서 본 연구에서는 SONOS 구조의 터널링산화막-질화막 계면과 질화막-블로킹산화막 계면에 전극을 정의하여 프로그램 전압과 시간에 따라 전극에 유기되는 전하량으로부터 문턱전압의 변화를 시뮬레이션 할 수 있는 새로운 방법을 제안하고자 한다.

II. 시뮬레이션 결과 및 고찰

SONOS 트랜지스터에 인가된 프로그램전압과 시간에 따라 측정된 Id-Vg 특성곡선을 시뮬레이션에 의한 Id-Vg 특성곡선과 일치시키기 위하여 Silvaco ATLAS 시뮬레이터를 사용하여 SONOS 구조의 질화막내에 존재하는 트랩 대신 discrete 전극을 질화막내에 정의하여 시뮬레이션을 수행하였으며, 그림 1에 시뮬레이션 소자구조를 나타내었다.

프로그램 전압을 일정하게 하고 시간에 따라서 질화막내의 전극에 유기되는 전하량으로부터 문턱전압의 변화를 시도하였으며, 그 결과를 그림 2에 나타내었다. 이때, 프로그램 주입은 터널링 기구를 적용

하였다.

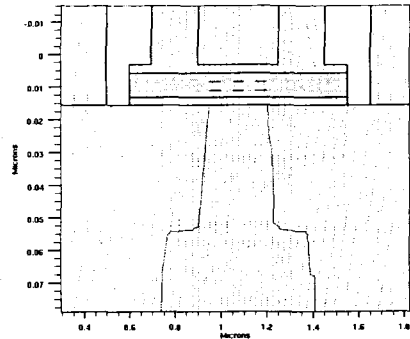


그림 1. 문턱전압의 변화를 구현하기 위한 소자시뮬레이션 구조 I.

10 V의 프로그램전압을 10 ms, 100 ms, 1000 ms 동안 다르게 인가하여 문턱전압의 변화를 시뮬레이션 하였지만 그림 2에 나타난 것과 같이 문턱전압의 변화는 나타나지 않았다. 기존의 상용화 시뮬레이터인 ATLAS에서는 질화막내의 트랩에 대한 모델이 정의되어있지 않기 때문에 질화막내에 트랩대신 전극을 정의하더라도 기존의 모델방정식으로는 그 해를 구할 수 없음을 확인하였다.

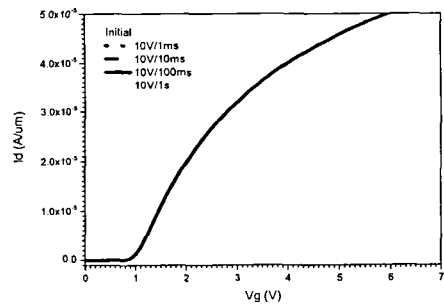


그림 2. 프로그램 시간에 따른 문턱전압변화의 시뮬레이션 결과.

SONOS 트랜지스터에 인가된 프로그램전압과 시간에 따라 변화되는 문턱전압을 소자 시뮬레이션에서 구현하기위한 두 번째 방법으로 터널링에 의해 주입되는 전하가 질화막-산화막 계면에서 누설전류를 형성하기 때문에 SONOS 구조의 터널산화막-질화막 계면과 질화막-블로킹산화막 계면에 전극을 정의하여 프로그램 전압과 시간에 따라 전극에 유기되는 전하량으로부터 문턱전압의 변화를 시도하였으며, 프로그램주입은 첫 번째 방법과 동일하게 터널링 기구를 적용하였다. 그림 3에 시뮬레이션 구조를 나타내었다.

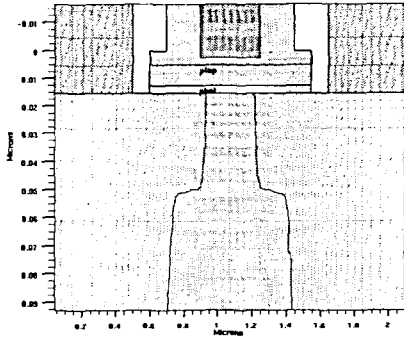


그림 3. 문턱전압의 변화를 구현하기 위한 소자시뮬레이션 구조 II.

먼저, 프로그램 전압을 10 V로 고정시키고 프로그램 시간에 따라 전극에 유기되는 전하량으로부터 문턱전압의 변화를 그림 4에 나타내었다.

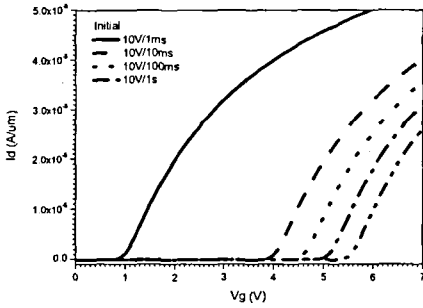


그림 4. 프로그램 시간에 따른 문턱전압의 시뮬레이션 결과.

프로그램 시간이 증가할수록 SONOS 트랜지스터의 문턱전압이 증가함을 알 수 있다. 초기문턱전압이 0.95 V인 SONOS 소자에 1 ms 동안 10 V의 프로그램 전압을 인가한 경우 문턱전압은 약 4 V로 증가하였으며, 초기문턱전압에서 3.05 V 이동한 결과를 나타내었다. 또한 10 ms, 100 ms, 그리고 1000 ms를 각각 인가한 경우에는 4.5 V, 5.1 V, 그리고 5.5 V로 문턱전압이 증가하였다.

프로그램 시간을 100 ms로 고정시키고 프로그램 전압에 따라 전극에 유기되는 전하량으로부터 변화된 문턱전압의 결과를 그림 5에 나타내었다.

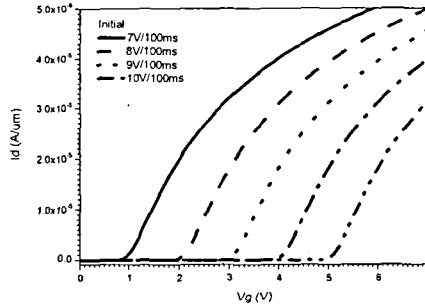


그림 5. 프로그램전압에 따른 문턱전압의 시뮬레이션 결과.

프로그램전압이 증가함에 따라서 SONOS 트랜지스터의 문턱전압도 증가함을 알 수 있었다. 10 V를 인가한 경우 0.95 V의 초기문턱전압에서 5.1 V로 증가하였으며, 4.15 V 이동한 결과를 나타내었다. 이 결과로부터 터널링산화막-절화막 계면의 전극에 유기된 전하량은 $6.685e-15 \text{ C}/\mu\text{m}$ 이었으며, 전하밀도는 $1.19e13/\text{cm}^2$ 이었다. 따라서 그림 3의 시뮬레이션 구조를 이용하여 SONOS 소자의 문턱전압이 변화될 수 있음을 확인하였다.

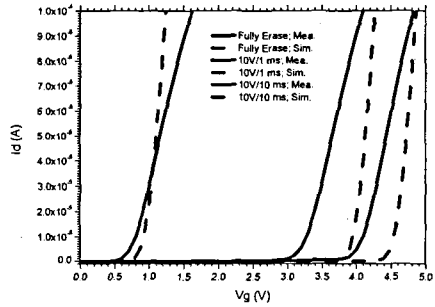


그림 6. 프로그램 시간에 따른 Id-Vg 특성곡선의 측정결과와 시뮬레이션 결과의 비교

프로그램 시간에 따라서 변화된 SONOS 소자의 문턱전압을 시뮬레이션에 의한 문턱전압과 비교하기 위하여 SONOS 트랜지스터에 프로그램전압을 인가하기 전, 10 V의 프로그램전압을 1 ms, 그리고 10 ms 인가한 후 측정된 Id-Vg 특성곡선과 시뮬레이션에 의한 Id-Vg 특성곡선을 비교한 결과를 그림 6에 나타내었다. SONOS 소자를 완전히 소거한 후 Id-Vg 측정결과로부터 구한 문턱전압과 시뮬레이션 결과로부터 나온 문턱전압이 거의 일치함을 알 수 있었다. SONOS 소자에 프로그램전압을 인가하기전의 Id-Vg 특성에 대한 시뮬레이션 결과를 확인하기 위하여 실리콘-터널산화막 계면전하값은 전하평평기술로부터 결정된 $Q_{it}=1.6e11/\text{cm}^2$ 의 값을 적용하였다. 10 V의 프로그램전압을 1 ms와 10 ms 동안

SONOS 소자에 인가한 후, 변동된 문턱전압의 시뮬레이션 결과는 측정결과와 차이를 나타내었다.

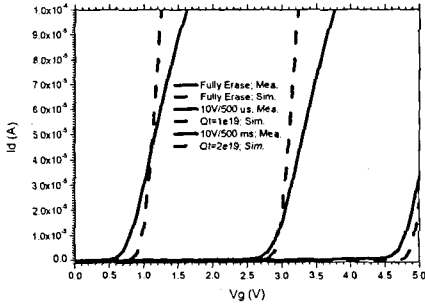


그림 7. 프로그램시간에 따른 Id-Vg 특성곡선의 측정결과와 질화막내의 트랩전하를 고려한 시뮬레이션 결과의 비교

프로그램전압을 일정하게 하고, 프로그램 시간에 따라서 변화된 SONOS 소자의 문턱전압으로부터 SONOS 구조의 질화막내에 트랩된 전하량을 조사하기 위하여 질화막내의 트랩을 산화막의 고정전하로 대체하여 모델링을 시도하였다. SONOS 트랜지스터에 10 V의 프로그램전압을 500 μ s와 500 ms 각각 인가한 후 측정된 Id-Vg 특성곡선과 시뮬레이션에 의한 Id-Vg 특성곡선을 그림 7에 나타내었다.

측정곡선과 시뮬레이션 곡선이 거의 일치함을 알 수 있으며, 측정된 Id-Vg 특성곡선들을 fitting한 결과로부터 10 V의 프로그램전압이 500 μ s와 500 ms 인가되었을 때 질화막내의 트랩에는 $1e19 / cm^2$ 과 $2e19 / cm^2$ 의 전하가 트래핑됨을 확인 할 수 있었다. 실제로, 10 V의 프로그램전압을 500 μ s 동안 인가한 후, 전하펌핑기술로부터 결정된 질화막내의 트랩전하밀도는 $4e12 / cm^2$ 으로서, 측정된 Id-Vg 특성곡선들을 fitting한 결과로부터 구한 질화막내의 트랩밀도와 거의 일치하는 결과를 나타내었다.

III. 결 론

현재까지 SONOS 메모리를 위한 시뮬레이터는 개발되어 있지 않으며, 본 연구에서 프로그램과 소거 후 변동되는 문턱전압을 소자 시뮬레이션으로 구현할 수 있도록 함으로써 SONOS 소자의 전기적 특성을 예측 할 수 있을 뿐만 아니라, 상용화 시뮬레이터 개발의 기초 자료로서 활용할 수 있을 것으로 기대한다.

참고문헌

[1] S. Lai, Advanced LSI & Design Forum 96, Tokyo, 1996.

[2] M. H. White, Y. Yang, A. Purwar, and M. French, "A low voltage SONOS nonvolatile semiconductor memory technology", IEEE Trans. Comp. Pack. Manu. Tech. A 20, no. 2, p. 190, 1997.

[3] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, and D. Finzi, "NROM: a novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Lett., vol. 21, no. 11, pp. 543~545, 2000.

[4] T. H. Kim, J. S. Sim, J. D. Lee, H. C. Shim, and B. G. Park, "Charge decay characteristics of silicon-oxide-nitride-oxide-silicon structure at elevated temperature and extraction of the nitride trap density distribution", Appl. Phys. Lett., vol. 85, no. 4, pp. 660~662, 2004.

[5] E. Lusky, Y. Shacham-Diamond, G. Mitenberg, A. Shappir, I. Bloom, and B. Eitan, "Investigation of channel hot electron injection by localized charge-trapping nonvolatile memory devices", IEEE Trans. Electron Devices, vol. 51, no. 3, pp. 444~451, 2004.

[6] Y. Wang, Y. Zhao, B. M. Khan, C. L. Doherty, J. D. Krayner, and M. H. White, "A novel SONOS nonvolatile flash memory device using substrate hot-hole injection for write and gate tunneling for erase", Solid State Electron., vol. 48, pp. 2031~2034, 2004.