

Digital IF Up/Down 변환기 설계

이용철*, 조성언**, 오창현*

*한국기술교육대학교, **국립순천대학교

Design of Digital IF Up/Down Converter

Yong-chul Lee*, Sung-eon Cho**, Chang-heon Oh*

* Korea University of Technology and Education, **Sunchon National University

E-mail : ludas@kut.ac.kr

요 약

본 논문에서는 Digital IF(Intermediate Frequency) 기술을 이용한 Up/Down 변환기를 설계하고, 이에 대한 성능을 평가 하였다. Digital IF 기술을 사용하는 이유는 passive 소자로 구성되어진 IF 주파수 영역은 고정되어진 한 주파수 밖에 사용하지 못하지만, Digital IF로 구성되어지면 보드의 외형적인 변경 없이 다양한 통신 주파수 영역에서 유연성 있게 사용이 가능하게 된다. 이러한 구성은 기존의 아날로그 헤테로다인 방식에 비하여 높은 유연성을 가지며, 우수한 성능향상을 보여준다.

ABSTRACT

Design Up/Down converters which use Digital IF(Intermediate Frequency) techniques from the present paper, against hereupon performance the criticism. The reason which uses Digital IF techniques is configured of passive elements and the position IF frequency domains are fixed and they do not use in the position one frequency but, the external fringe land of the board which comes to be configured with Digital IF without from the communication frequency domain which is various there to be a flexibility, the use was under possibility. Like this configuration compares in analog Heterodyne mode of existing and it has the performance upgrade which is excellent it shows a high flexibility.

키워드

Digital IF, SDR, Up/Down 변환기, AD변환기, DA변환기

1. 서 론

최근 다양한 주파수 대역과 통신기술이 발전하고 단일한 통신 방식이 아닌 다중 모드, 다중 표준을 지원하는 차세대 이동통신 방식인 SDR 시스템이 요구되고 있다. SDR이란 하드웨어의 수정 없이 모듈화 된 소프트웨어의 변경만으로 단일의 송수신 시스템을 통해 다수의 무선 통신규격을 통합 수용하는 무선 인터페이스 기술이다. SDR 시스템은 고성능 DSP, 광대역 ADC 및 DAC등을 사용하며, 기저대역에서 신호를 IF 대역으로 최대한 천이시켜 유연한 시스템을 구성한다[1][2]. 기존의 시스템과 새로운 규격의 출현에 따른 차세대 시스템 모두

에 적용 가능한 경제적이며, 효율적인 시스템이며, 용이한 로밍이 가능할 수 있게 한다.

또한 시변 채널 상황에 따른 적용적인 변조 및 수신 방식을 선택할 수 있는 적응력을 가지고 있어 장래 규격의 변경에 따른 단말기 재구입 혹은 업그레이드가 불필요할 수 있을 것이다. SDR시스템의 하드웨어 구성은 RF(Radio Frequency)처리부, AD(Analog to Digital) / DA(Digital to Analog) 변환부, Up/Down 변환부, Digital IF 프로그래머블 제어부로 나눌 수 있다.

본 논문의 구성은 I 장 서론에 이어 II장에서는 Digital IF 기술에 대한 간략한 설명을, III장 보드의 설계에서는 AD변환부, DA변환부, Up/Down

변환부와 Digital IF 제어부에 동작에 대한 설명을 하고, IV장에서는 보드에 대한 실험 및 평가에 대하여 이야기하며, V장에서는 결론을 맺는다.

II. Digital IF 기술

본 논문에서는 SDR을 위한 디지털 IF 수신기를 구현해 보았다. Digital IF는 IF대역과 기저대역 간의 상호변환을 디지털 신호처리로 수행하고 이동통신 시스템의 기저국 및 단말기의 저 비용과 유연성이 가미된 효율적 개발이 가능하여 보다 정밀한 신호 부리 및 처리를 할 수 있다. 현재 운용되고 있는 시스템은 그림1 과 같은 슈퍼헤테로다인 송수신 시스템에서 사용되는 트랜시버 구조를 가지고 있다. 이 구조는 통신 표준안에 따라 각각의 채널대역폭과 반송주파수에 적합한 여러 아날로그소자가 필요하며, 이로부터 야기되어지는 여러 가지문제들이 발생되어진다. 가장 큰 문제점은 협대역상에서 사용되는 수동소자를 광대역에서 사용할 경우 특성이 크게 손실되어 광대역 필터로의 구현이 어렵다는 것이다.

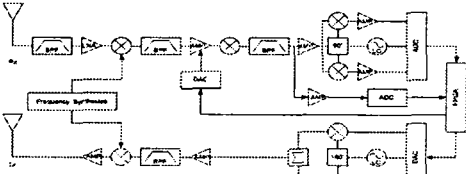


그림 1. 슈퍼헤테로다인 방식의 Transceiver

반면 SDR의 개념을 도입한 수신기 시스템의 구현을 수동소자의 수를 감소시킴으로써 저비용, 저전력 소규모 시스템과 모뎀, Equalizer, Channel Codec, Synchronization 등과 같은 시스템 각 부의 기능들을 프로그램으로 대체하여, 접속을 가능하게 하는 유연성을 가진다[5].

III. 보드 설계

1. AD (Analog to Digital) 변환부

RF 수신기의 궁극적인 목적을 수신 안테나의 출력인 RF 신호를 직접 디지털화함으로써 모든 수신기의 기능들이 하드웨어나 소프트웨어에 의하여 동작되도록 하는 것이다. AD변환기는 이러한 RF 수신기의 중요한 구성요소이며, AD변환기는 RF나 IF에서 광대역 디지털화를 위하여 사용되어진다.

본 논문에서 구현되진 보드에서는 Analog Device사의 AD6645를 사용하였다. 그림 2는 AD6645의 내부 블록을 나타낸 것이며, 80Mpsps의

Sampling Rate의 고속 동작을 하며, 아날로그 신호를 디지털 신호로 14bit로 변환한다[3].

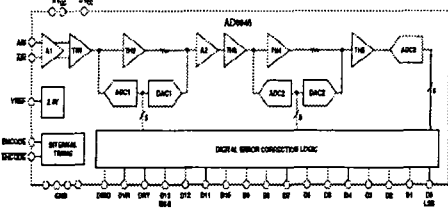


그림 2. AD6645 내부 블록도

2. DA (Digital to Analog) 변환부

기저대역의 신호가 IF대역의 신호로 변환된 디지털 신호를 RF 신호로의 입력 전단까지의 아날로그 신호로 변화해주는 기능을 수행하는 부분이다. 이 부분에서는 Analog Device의 AD9777을 사용하여 구현하였으며, 210Mpsps의 Sampling Rate를 가지며, 16bit로 변환을 한다. 디지털 신호를 아날로그 신호로 변환할 때 DA변환기에서는 Fclk의 간격으로 연속적인 이미지 신호들이 나타나게 되는 이러한 불필요한 다른 주파수 대역의 간섭과 이미지 신호를 제거하기 위하여, 일반적으로 DA변환기의 후반부에 LPF(Low Pass Filter)를 구성하게 된다 [3].

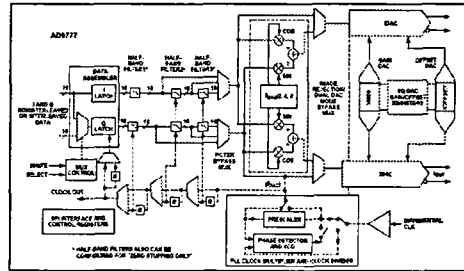


그림 3. AD9777 내부 블록도

3. Up/Down 변환부

FPGA를 사용한 시스템 구현 시 발생하는 문제점을 극복하는 대안으로 프로그램 가능한 디지털 Up/Down 변환기를 사용하여 보드를 구현하였다. 디지털 Up/Down변환기를 이용하여 시스템을 구현하면 기저대역 신호를 중간 주파수 대역으로 Up변환하여, 신호를 전송하고 중간주파수 대역 신호를 샘플링하여 기저대역 신호로 Down 변환하여, 신호를 처리하게 된다. 보드에 구현되어진 프로그램 가능한 Up/Down 변환기는 Texas Instrument사의 GC5016을 사용하였으며, 4개의 채널을 Up 변환부 채널로 사용할 수 있으며, 4개의 채널을 Down 변환부 채널로 사용할 수 있다. 그리

고 각각 Up/Down 변환부를 각각 2채널씩 수행할 수도 있다[4].

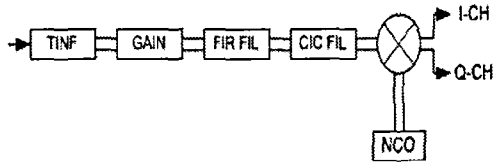


그림 4. GC5016 Up 변환부 블록도

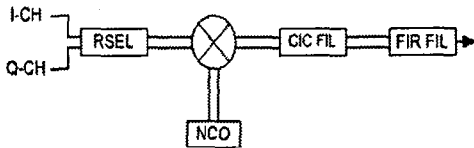


그림 5. GC5016 Down 변환부 블록도

4. Digital IF 제어부

FPGA는 제조 후에도 프로그램을 재정의 할 수 있어, 프로그래머블 장치와 상호연결과 로직기능을 가진 하나의 Gate Array이다. 따라서 FPGA는 각 기능별로 구성되어진. AD변환부, DA변환부, Up/Down 변환부의 각 기능들에 대한 정의를 수행하게 된다. AD변환부와 DA변환부에 입력되어지는 동작 클럭을 외부의 클럭 발생부에서도 수행이 가능하지만, 전체 시스템간의 클럭 차이를 최소화하기 위하여, FPGA에서 여러 출력 포트에 출력되어진 클럭을 AD변환부의 동작 클럭과 DA변환부의 동작 클럭으로 사용하게 할 수도 있다.

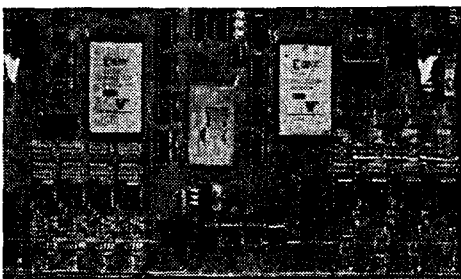


그림 6. Digital IF Up/Down 보드

Up/Down 변환부에서의 FPGA는 GC5016에 입력되어지는 임의의 신호에 대한 정의와, 입력되어진 신호에 대한 FIR filter / CIC filter에 대한 탭수 계수 등에 대한 전반적인 수행에 있어, 기능구현을 Control 하게 된다. 현재 사용되어지는 FPGA는 Xilinx사의 XC2V8000을 사용하고 있으며, 시스템에 대한 직접적인 Control을 수행하므로, 동작

속도에 있어서 현재 사용 중인 FPGA중에서 가장 빠른 제품을 사용하고 있으며, Gate 용량 역시 각 부분에 대한 기능 구현에 있어서, 데이터 구성 용량과, FIR filter, CIC filter 등과 같은 기능 수행을 위한 용량을 감안하여, 최소 400만 Gate이상의 제품을 선정하였다.

그림 6은 구현 보드의 사진이며, 각 부분에 있어, 송신부와 수신부에 각각의 기능 구현을 위한 FPGA를 장착하였다.

Digital IF는 높은 감쇠와 선택도의 개념에서 더 높은 유연성과 고성능을 제공하며, 기존의 아날로그 기술보다 빠른 처리 시간을 요하게 되므로, 이러한 기능을 수행하기 위해서는 고성능의 제품을 필요한 이유 중의 하나이다. Digital IF는 임의의 가변주파수가 가능하고, 사용자가 요구되는 주파수영역에서의 필터 성능 역시 아주 중요한 관건 중의 하나가 된다. 이러한 필터는 선형위상, 높은 Stopband의 감쇠, 통과 대역내의 낮은 ripple을 요구하게 된다. 시스템에서의 Digital filter의 이용은 passive 소자 필터보다 전력 면에서 효율적이며, 필터의 응답이 사용자에게 의해 유연성 있게 프로그램 되어질 수 있는 것이 장점이다.

IV. 실험 및 평가

본 논문에서 설계 보드는 동작 시스템 클럭으로 61.44MHz를 사용하며, IF 주파수로는 비교군으로 76.8MHz로 대조군으로 30.72MHz를 선정하였으며, 20MHz의 대역을 가지는 데이터를 전송하게 하였다. FIR filter와 CIC filter의 tab 계수는 128 tab으로 선정하였다. FIR filter에 대한 tab 계수를 Matlab을 이용하여 사진 시뮬레이션을 거쳐 선정하였고, 시뮬레이션에 대한 결과 예상 파형을 그림 7에서 보여주고 있다.

FIR filter는 송신하고자 하는 기저대역의 I/Q 신호로 아직 펄스 성형 필터를 거치지 않은 상태이며, 일반적으로 모뎀 출력에서 펄스 성형을 하지만 데이터 전송속도를 낮추기 위해서 모뎀에서 각각 필터링을 하지 않는다. 구현하고자 하는 필터는 최소 24 tab에서 최대 255 tab으로, 최소 60dB 이상의 차단대역 억제 능력과 통과 대역의 리플은 0.01dB를 가지도록 설계한다. 현재 보드구현에서 제외된 부분의 송신단의 I/Q 신호 펄스 성형 필터를 거치지 않은 상태로 구현이 되었으며, 그러한 이유로 IF 주파수 영역에서의 3'th, 5'th Image 상들이 나오고 있다는 것을 그림 8에서 보여주고 있다. 그림 8에서 보면 굵은 선으로 표시되지 않은 부분은 Fclk에 대한 Image 상으로 RF 입력 전단의 필터를 거치지 않은 부분으로 실질적으로 사용하고자는 대역이 어느 부분의 대역인지 확인이 불가하지만, 굵은 선으로 표시된 부분은 RF 입력 전단에 필터를 거친 부분을 표시하고 있다.

이러한 문제점을 보완하기 위해서는 RF 입력 전단에, I/Q 신호 펄스 성형 필터를 추가적으로 배

치하여야 할 것이다.

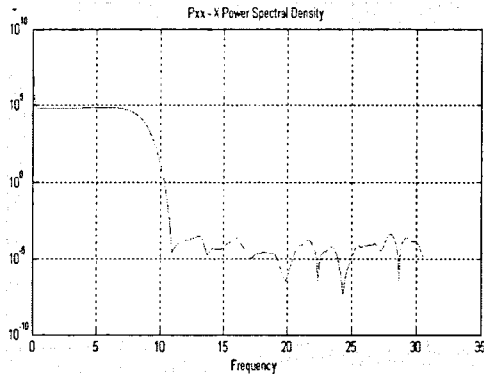


그림 7. FIR filter 출력 스펙트럼

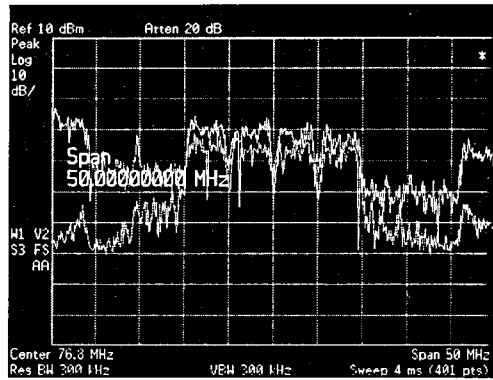


그림 9. IF 76.8MHz 출력 스펙트럼

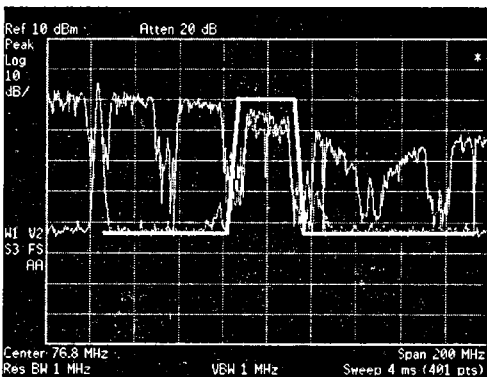


그림 8. 종단의 필터 적용전과 적용 후 출력스펙트럼

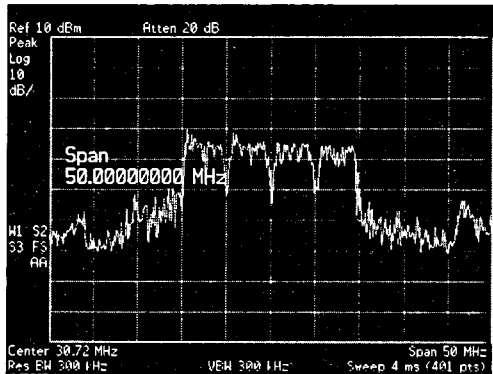


그림 10. IF 30.72MHz 출력 스펙트럼

V. 결 론

본 논문에서는 SDR 시스템을 위한 디지털 IF Up/Down Converter 를 구현함으로써 아날로그 IF 수신기에 비해 보다 정밀한 신호분리와 처리가 가능하도록 IF 대역을 디지털로 처리하여 할 수 있다는 것을 보였다.

아날로그 소자에 의하여 구성되어질 경우 하나의 고정된 IF 주파수 영역을 사용하지 못하는 단점을 가지고 있는 기존의 고정 통신 주파수 영역의 사용 방식에서, 본 논문의 보드는 IF의 중심 주파수를 76.8MHz에서 보드의 외형적인 변형 없이 프로그래머블한 디지털 로직에 의해 IF 중심 주파수를 30.72MHz로 이동하는 Digital IF를 구현함으로써 다양한 통신 주파수 영역에서의 통신이 가능하도록 하였다. 이와 같이 Digital IF를 구현함에 있어, 고성능의 고효율의 제품이 많이 요구되는 것은 사실이지만, 하나의 시스템을 가지고 여러 통신 방식의 주파수를 사용할 수 있다는 장점을 가지고 있는 것은 다양하고, 급변하고 있는 현재의 통신 시장에서 유연성 있게 적용할 수 있는 기술이라 본다.

참고문헌

- [1] Hiroshi Harada and Ramjee Prasad, "Simulation and software radio for Mobile Communication", 2002.
- [2] 송형훈, 강 환민, 김신원, 조성호 "SDR 시스템을 위한 Digital IF 구현"
- [3] Analog Device. AD6645/AD9777, [Http://www.Analog.com](http://www.Analog.com)
- [4] Texas Instrument, GC5016/CDCVF25081 [Http://www.Ti.com](http://www.Ti.com)
- [5] 김지연, "SDR을 이용한 이동 통신 시스템" 전남대학교대학원.