

UV NIL 을 이용한 Lift-off 가 용이한 패턴 형성 연구

양기연*(고려대 신소재공학과), 홍성훈(고려대 신소재공학과), 이현(고려대 신소재공학과)

Fabrications of nano-sized patterns using bi-layer UV Nano imprint Lithography

K. Y. Yang (MSE., Dept. KU), S. H. Hong (MSE., Dept. KU) H. Lee (MSE., Dept. KU)

ABSTRACT

Compared to other nano-patterning techniques, Nano imprint Lithography (NIL) has some advantages of high throughput and low process cost. To imprint low temperature and pressure, UV Nano imprint Lithography, which using the monomer based UV curable resin is suggested. Because fabrication of high fidelity pattern on topographical substrate is difficult, bi-layer Nano imprint lithography, which are consist of easily removable under-layer and imprinted pattern, is being used. If residual layer is not remained after imprinting, and under-layer is removed by oxygen RIE etching, we might be able to fabricate the bi-layer pattern for easy lift-off process.

Key Words : Nano imprint Lithography , UV-NIL , Bi-layer imprinting , LOL™2000

1. 서론

NIL(Nano-imprint lithography) 기술은 e-beam lithography^{1,2}, x-ray lithography^{3,4} 등 다른 nano-patterning 기술과 비교하여 짧은 시간과 적은 비용으로 많은 양의 nano-size 의 패턴을 구현할 수 있을 뿐 아니라, 단순한 공정 과정과 값싼 장비를 사용하는 장점을 가지고 있어, 반도체 제조 공정 뿐만 아니라, display system, nano-bio system⁵ 등 nano-size 패턴 형성을 필요로 하는 분야에서 대량 생산을 위한 기술로써 NIL 기술을 연구하고 있다.

기존의 NIL 기술에서는 PMMA(poly methylmethacrylate)⁶ 같은 열가소성 고분자를 유리 전이 온도 이상(>150° C)으로 가열하고 stamp 로 고압(>50atm)으로 눌러 stamp 의 패턴이 고분자로 전사되게 한다. 하지만, 고온, 고압 공정이 반도체 공정 중에 들어가게 되면, 공정이 복잡해지기 때문에 NIL 이 가지고 있는 장점인 '빠른 생산' 을 최대한 활용할 수 없게 된다. 이를 극복하기 위해 UV curable resin 을 사용하는 UV-NIL 기술^{7,8} 이 제안되었는데, 이 기술은 substrate 위에 균일하게 액상의 UV curable resin 을 spin-

coating 하고 stamp 로 압력을 가한 후 UV 를 쬐어주어 polymerization 을 일으켜 패턴을 형성시키는 기술이다. 따라서 저온, 저압에서의 patterning 이 가능해졌다. 그러나 반도체 및 디스플레이 공정에서 imprinting 기술이 상용화 되기 위해서는 topography 가 있는 substrate 에도 imprinting 이 가능해야 한다. 이를 위해 topography 가 있는 표면에 제거가 용이한 물질을 coating 해주어 planarization 시키고, 그 위에 resin 을 코팅하여 imprinting 을 가능하게 만들 수 있다. 만약 이러한 planarization 물질 위에 residual layer 가 없이 imprinting 을 하고, 이 planarization 물질은 O₂ plasma 로 etching 하여 원하는 만큼만 제거하여 준다면, 우리는 lift-off 공정에 적합한 모양을 가지는 패턴을 형성할 수 있을 것이다. (그림 1)

2. 실험

2.1 실험 준비

UV NIL 을 위해서는 stamp 혹은 substrate 둘 중 하나는 UV 가 통과되도록 투명해야 한다. 또한 bi-layer NIL 을 위해서는 substrate 에 쉽게 제거 가능한

polymer 를 코팅하여야 하기 때문에, substrate 는 투명해 질 수 없고, 따라서 stamp 가 투명한 것을 사용해야 한다. 투명한 stamp 는 6inch fused silica quartz wafer 에 DUV lithography 기술을 이용하여 400nm 높이의 16 개의 서로 다른 size 의 dot pattern 을 가지도록 제작하였다. 이 stamp 를 이용한 imprinting 시에 stamp 와 resin 간의 adhesion 이 발생하면, imprint 된 substrate 전면적에 걸쳐 균일한 pattern 을 얻기 어렵기 때문에, 이러한 adhesion 을 방지하기 위해 terminal-group 이 hydro-phobic 한 self-assembled monolayer 를 stamp 에 coating 하였다. 사용한 self-assembled 물질은 (heptadecafluoro-1,1,2,2-tetra-hydrodecyl trichlorosilane, $C_{13}Si(C_2H_4)C_8F_{17}$)⁹로 N-Hexane 과 1:1000 으로 섞은 후 stamp 를 집어넣어 10 분간 stirring 하여주면, Self-assembled monolayer(SAM)가 stamp 표면에 코팅되어 stamp 의 표면이 hydro-phobic 하게 성질이 변하게 된다. (그림 2)

Shipley 사의 LOLTM2000 은 Oxygen RIE etching 혹은 developer 를 이용하여 선택적으로 제거가 용이하고, topology 가 있는 substrate 의 평탄화에도 도움을 준다. 또한 LOLTM2000 은 monomer based UV curable resin 에 반응을 하지 않기 때문에, LOLTM2000 위에 UV imprinting 이 가능하다. 이 실험에서는 bare Si wafer 에 LOLTM2000 을 150nm 두께로 spin-coating 하고 3 분간 soft-baking 하여 Si wafer 전면적에 걸쳐 균일한 두께를 가지도록 코팅하였다.

(주)NND 의 Nanosis-610 prototype imprint system 은 pressure chamber type 으로, 한 방향을 제외한 나머지 방향의 내부 chamber 는 metal 등 단단한 물질로 막혀있고, 오직 한 방향만 elastomer 로 구성되어 있어, 한 방향으로만 균일한 압력을 가할 수 있기 때문에, 넓은 면적의 substrate 의 imprinting 시에도 균일한 imprint 효과를 얻을 수 있다. 또한 이 system 은 thermal 방식과 UV 방식의 NIL 을 한 chamber 에서 진행할 수 있다는 장점을 가지고 있다. (그림 3)

2.2 Imprinting 실험

Bare Si wafer 에 LOLTM2000 이 올라간 substrate 는 monomer based UV curable resin 에 반응하지 않고, planarization 된 상태이기 때문에, UV NIL 을 이용하여 substrate 전면적에 걸친 균일한 패턴을 형성할 수 있다. LOLTM2000 은 oxygen RIE etching 으로 쉽게 제거가 되므로, 만약 UV NIL 을 한 후에 residual layer 가 없고, UV imprinting pattern 이 oxygen RIE etching 조건에서 잘 견딘다면, imprinting 후에 oxygen RIE etching 공정을 통해 선택적으로 LOLTM2000 을 제거하여 lift-off 가 용이한 bi-layer 를 형성할 수 있을 것이다. Residual layer 를 없애기 위해서

는, resin spin-coating 회전 속도를 증가시켜 substrate 위의 resin 양을 적당히 조절하고, 압력을 강하게 가하여 imprinting 에 필요한 resin 을 제외한 나머지 resin 을 밖으로 빠져나가게 하면,¹⁰ residual layer 가 없는 imprinting 이 가능하다. LOLTM2000 을 이용하여 planarization 된 substrate 표면에 Chemoptics 사의 NIP-K28 을 6000rpm 으로 spin-coating 하고, SAM coating 된 500m half-pitch dot pattern 을 가지고 있는 quartz stamp 로 30atm 의 압력을 가해주면서 imprinting 을 진행하여, residual layer 가 남아있지 않게 imprinting 하였다. (그림 4)

2.3 RIE etching 실험

LOLTM2000 위에 residual layer 가 없는 imprinting 을 진행한 후에, LOLTM2000 을 선택적으로 제거하기 위하여 Plasma Therm 790 RIE 장비를 사용하여 etching 을 진행하였다. UV imprinted pattern 에 최소로 영향을 주면서, LOLTM2000 을 최대한으로 잘 식각하는 oxygen RIE etching 조건을 찾아 etching 을 진행하여, bare Si wafer 에 선택적으로 LOLTM2000 가 제거된 bi-layer 를 형성할 수 있었다. (그림 5)

3. 실험 결과

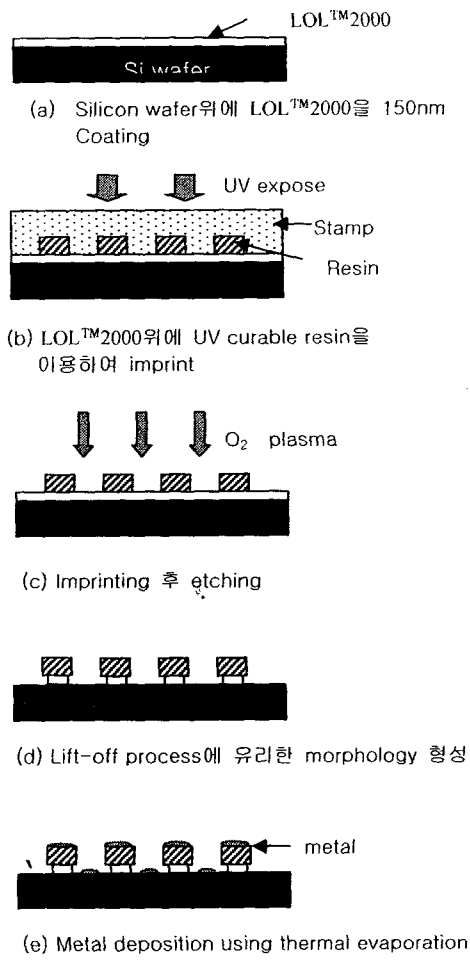
Shipley 사의 LOLTM2000 은 resist-remover 로 쉽게 제거가 가능하며, bare Si wafer 에 LOLTM2000 을 spin-coating 하고, imprinting 을 진행하여 거의 residual layer 가 존재하지 않도록 imprinting 을 하고, LOLTM2000 을 선택적으로 제거하면, (그림 5)에서 본 것과 같은 aspect ratio 가 높으면서 쉽게 제거가 가능한 bi-layer 를 형성할 수 있다.

4. 결론

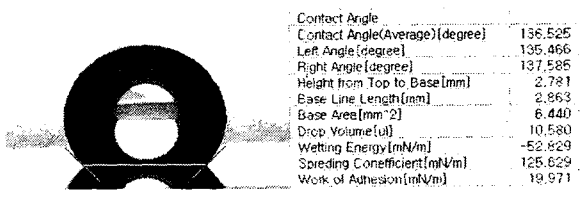
제거가 용이한 imprinted pattern 을 이용한 lift-off 도 가능하나, imprinting 을 이용하여 lift-off 가 가능할 정도로 aspect-ratio 가 크고 균일하게 pattern 을 형성하는 것은 매우 어려운 일이다. 이러한 문제를 해결하기 위하여, LOLTM2000 위에 cross-linker 가 들어 있어 단단한 imprinted pattern 을 형성한 후에 LOLTM2000 을 선택적으로 제거하는 방법을 이용하여, 쉽게 제거가 가능하면서도 aspect ratio 가 큰 lift-off 공정에 용이한 pattern 을 형성할 수 있다.

후 기

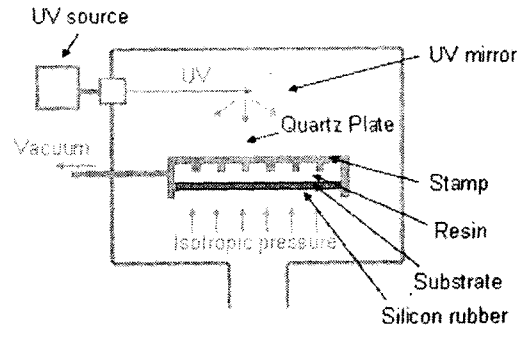
Nanosis 610 prototype imprinting system 을 제공해주신 NND company 에 감사 드립니다.



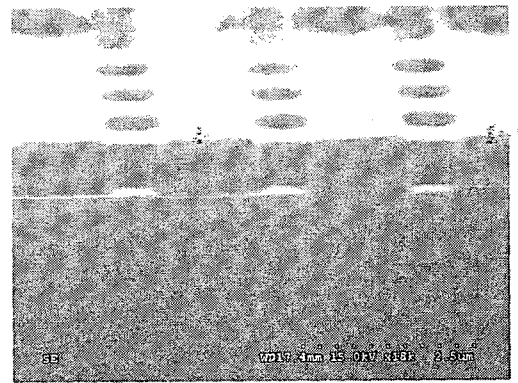
(그림 1) Lift-off가 용이한 bi-layer 형성 모식도



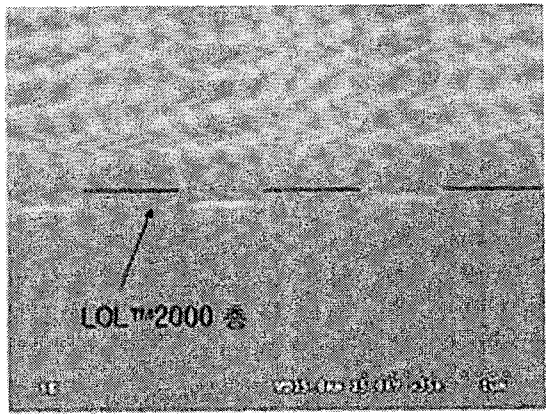
(그림 2) SAM coating 후 contact angle 의 변화. Contact angle 의 증가를 통해 표면에너지가 감소함을 확인할 수 있다.



(그림 3) (주)NND 의 pressure chamber type imprinting system 의, UV imprinting system



(그림 4) UV NIL 을 이용하여 LOL™2000 위에 residual layer 가 거의 없는 imprinted pattern 을 형성한 FE-SEM 사진



(그림 5) Oxygen RIE etching 후 LOL™2000 이 선택적으로 etching 된 bi-layer FE-SEM 사진.

참고문헌

1. A. Murray, M. Scheinfen, M. Isaacson and I. Adesida, *J. Vac. Sci. Technol. B.* 3, 367 (1985)
2. T. Takigawa, H. Wada, Y. Ogawa, R. Yoshikawa, I. Mori and T. Abe, *J. Vac. Sci. Technol. B.* 9, 2981 (1991)
3. K. Kise, H. Watanabe, K. Itoga, H. Sumitani and M. Amemiya, *J. Vac. Sci. Technol. B.* 22, 126 (2004)
4. E. Toyota and M. Washio, *J. Vac. Sci. Technol. B.* 20, 2979 (2002)
5. A. Pepin, P. Youinou, V. Studer, A. Lebib, Y. Chen, *Microelectronic Eng.* 61-62, 927. (2002)
6. C. M. Sotomayor Tores, S. Zankovych, J. Seekamp, A. P. Kam, C. Clavijo Cedeno, T. Hoffmann, J. Ahopelto, F. Reuther, K. Pfeiffer, G. Bleidiessel, G. Gruetzner, M. V. Maximov and B. Heidari, *Mat. Sci. and Eng. C* 23, 23 (2003)
7. M. Bender, M. Otto, B. Hadam, B. vrazov, B. Spangenberg, H. Kurz, *Microelectron. Eng.*, 53:233(2000)
8. M. Colburn, S. Johnson, M. Stewart, S. Damle, T. Bailey, B. Choi, M. Wedlake, T. Michaelson, S. V. Sreenivasan, J. G. Ekerdt, C. B. Willson, *Proc. SPIE* 3676(I):379(1999)
9. G. Y. Jung, S. Ganapathiappan, X. Li, D. A. A. Ohlberg, D. L. Olynick, Y. Chen, W. M. Tong, R. S. Williams, *Appl. Phys. A* 78, 1169(2004)
10. H. Lee, G. Y. Jung, *Microelectron. Eng.*, 77:42(2005)