

유기 박막 트랜지스터 회로를 위한 새도 마스크의 제작

이상민(삼성전자(주) LCD총괄), 박민수*(서울대 기계항공공학부 대학원), 이영수(서울대 기계항공공학부), 이해성(서울대 정밀기계설계공동연구소), 주종남(서울대 기계항공공학부)

Fabrication of a shadow mask for OTFT circuit

S. M. Yi(Samsung electronics Inc.), M. S. Park(Sch. of Mech. and Aero. Eng., SNU), Y. S. Lee(Sch. of Mech. and Aero. Eng., SNU), H. S. Lee(IAMD, SNU), C. N. Chu(Sch. of Mech. and Aero. Eng., SNU)

ABSTRACT

A high-aspect-ratio and high-resolution stainless steel shadow mask for organic thin-film transistors (OTFTs) circuit has been fabricated by a new method which combines photochemical machining, micro-electrical discharge machining (micro-EDM), and electrochemical etching (ECE). First, connection lines and source-drain holes are roughly machined by photochemical etching, and then the part of source and drain holes is finished by the combination of micro-EDM and ECE processes. Using this method a 100 μm thick stainless steel (AISI 304) shadow mask for inverter can be fabricated with the channel length of 30 μm and 10 μm , respectively. The width of connection line is 150 μm . The aspect ratio of the wall is about 5 and 15, respectively. Metal lines and source-drain electrodes of OTFTs were successfully deposited through the fabricated shadow mask.

Key Words : OTFT (유기 박막 트랜지스터), Inverter (인버터), Micro-EDM (미세 방전 가공), ECE (전해 에칭)

1. 서론

유기 박막 트랜지스터 (OTFT)에 관한 연구는 1980 년 이후부터 시작되었으나 근래에 들어 flexible display 에 대한 관심이 높아지면서 전 세계적으로 본격적인 연구가 진행되고 있다 [1]. OTFT 는 제작 공정이 간단하고 비용이 저렴하며 구부러 거나 접을 수 있어 미래 산업에 필수적인 요소가 될 것으로 예상되고 있다. OTFT 는 상부 접촉 방식 (top contact mode)과 하부 접촉 방식(bottom contact mode)의 두 가지 구조로 제작할 수 있다 [2]. 일반적으로 상부 접촉 방식으로 제작된 OTFT 가 높은 성능을 낼 수 있음에도 불구하고 유기 반도체 (organic semiconductor)가 식각 공정에서 사용되는 용제에 매우 취약하기 때문에 기존의 광리소그래피 공정으로는 상부 접촉 방식의 OTFT 제작은 불가능 하다 [3]. 이를 해결하기 위해 cold welding [4], 고분해능 rubber stamping [5], SiN membrane mask [6] 등의 다양한 방법들이 시도되었다. Cold welding 은 공정

이 매우 복잡하고, 고분해능 rubber stamping 은 넓은 면적에 적용하기 어렵다. 이러한 문제를 해결하기 위해 적용된 SiN membrane mask 는 증착 공정 중 탈부착시 부서지기 쉬운 결점을 가지고 있다. 따라서, 본 논문에서는 유기 반도체에 아무런 손상을 주지 않으면서도 간단한 공정으로 소스와 드레인 전극을 증착할 수 있는 방법인 금속 새도 마스크법 (metal shadow mask method)을 제안하였다.

OTFT의 전류 성능(current drivability)은 소스와 드레인 전극 사이의 간격에 반비례한다 [7]. 고성능 OTFT를 제작하기 위해서는 Fig. 1 의 전극간 간격인 L_c 를 줄일 수 있는 미세 형상의 새도 마스크가 필요하다. 새도 마스크의 구조적 강성을 결정짓는 두께는 재사용 횟수를 증가시키고 탈착 등의 취급 중 파괴방지를 위해서 매우 중요한 요소이다. OTFT의 성능과 마스크의 강성 향상을 위해서 마스크 두께와 전극간 간격의 비로 정의된 세장비($AR=T/L_c$)를 높여야 한다. 기존의 photochemical 가공법이나 laser beam을 이용한 가공법은 고세장비의 마스크 제작

에 적합하지 않다 [8]. 이에 미세 방전가공과 전해 에칭을 복합한 가공방법을 제안하였다 [9]. 이 방법은 다양한 금속에 적용이 가능하며 제작 공정이 간단하여 저비용, 고효율 생산이 가능하게 되었다. 본 논문에서는 이 기술을 이용하여 단일 OTFT 뿐만 아니라 두 개 이상의 OTFT로 구성된 회로까지 동시에 증착할 수 있는 새도 마스크를 제작할 수 있는 방법을 제안하였다.

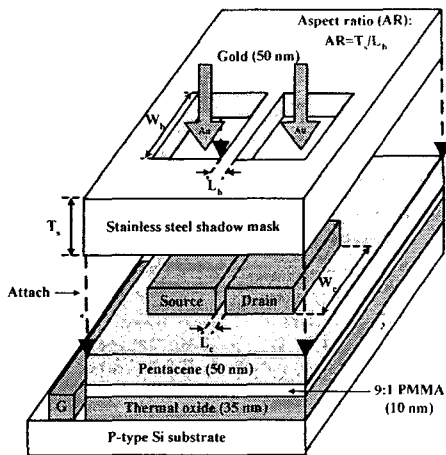


Fig. 1 Schematic illustration of the process steps for pentacene TFTs fabricated using a shadow mask.

2. 인버터를 위한 새도 마스크의 제작

2.1 인버터의 구조

OTFT 는 전류나 전압 흐름의 조절이 가능하고 전자 신호를 위한 스위치나 게이트로서의 역할을 수행할 수 있으므로 여러 가지 용도로 활용이 가능하다. 그 중 OTFT 의 스위치 기능을 이용한 대표적인 예가 바로 인버터이다. 인버터는 직류 전원을 특정한 펄스 파형이 있는 전원으로 바꾸어주는 장치로서 flexible display 나 스마트 카드, RF 태그 등의 응용분야의 핵심소자로 활용될 수 있다. Fig. 2(a), (b)는 이러한 인버터 회로의 개략도이다.

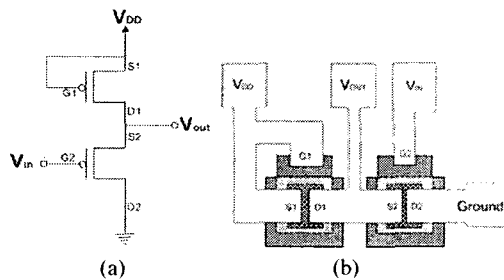


Fig. 2 (a) Circuit diagram of an inverter (b) Schematic configuration of an inverter

2.2 인버터를 위한 새도 마스크의 제작 과정

인버터는 두 개의 OTFT 와 주변 연결 회로들로 구성되어있다. 그러므로 소스-드레인 전극과 주변 회로들을 동시에 증착하여 제작하는 것이 훨씬 유리하다. 하지만 기존의 광화학적(photochemical) 식각 방법은 등방성 가공 프로세스로 금속 새도우 마스크의 소스-드레인 부분 제작에 근본적인 한계가 있다. 따라서, 광화학적 식각에 의한 가공 한계를 극복하고 미세 방전가공의 생산성을 개선하기 위해 Fig. 3 과 같은 복합가공 과정을 제안하였다.

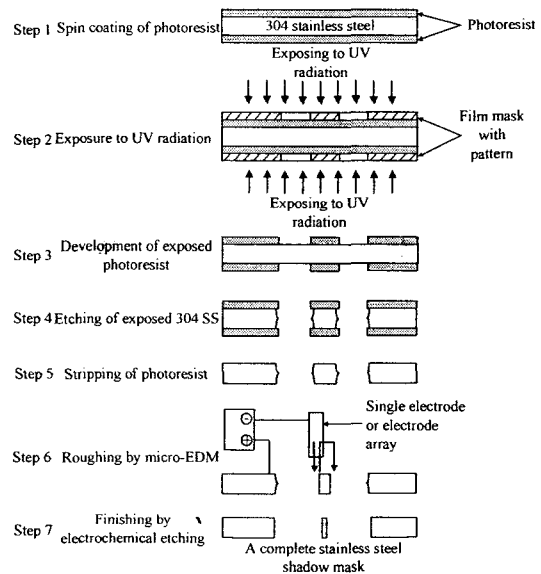


Fig. 3 Shadow mask fabrication process combining photochemical machining

우선 스테인리스 강의 양쪽면에 감광제를 도포한다. 그 후 노광을 위해 제작된 박막 마스크를 통해 자외선을 조사한다. Step 3-4 와 같이 노광을 통해 약해진 감광제를 현상한 후 에칭을 통하여 스테인리스 강에 원하는 회로 형상을 형성한다. 감광제 제거 후 소스와 드레인 구멍은 미세 방전 가공과 전해 에칭을 복합한 가공법으로 마무리한다.

3. 복합 가공

3.1 복합 가공 공정에서 미세 방전 가공

광화학적 식각공정으로는 고세장비의 마스크 제작이 불가능하다. 이에 미세 방전 가공을 이용하여 소스와 드레인 전극간 간격을 줄이는 방법을 사용하였다. 소스와 드레인 구멍을 뚫기 위해서 우선 한 변의 길이가 130 μm 인 사각 구리 전극을 와이어 방전 가공을 이용하여 제작하였다. 비전 시스템을 이용하여 제작된 회로내의 정확한 가공 위치를

선정한 후 제작된 구리 전극으로 미세 방전 가공을 수행하였다. 하지만, Fig. 4(a)처럼 미세 방전 가공으로 만들어진 구멍들은 직선이 아니라 기울어져 있다. 이는 공작물과 방전 부스러기 사이의 이차 방전에 의한 현상이다. 이에 공작물의 바닥에서의 전극간 간격을 줄이기 위해서 구멍을 관통한 후에 Fig. 4(c), (d)에서처럼 전극을 벽 쪽으로 이동시키면서 마무리 가공을 수행하였다. 마무리 가공 후 위쪽 벽과 아래쪽 벽의 간격 차이를 $1.2 \mu\text{m}$ 까지 줄일 수 있었다.

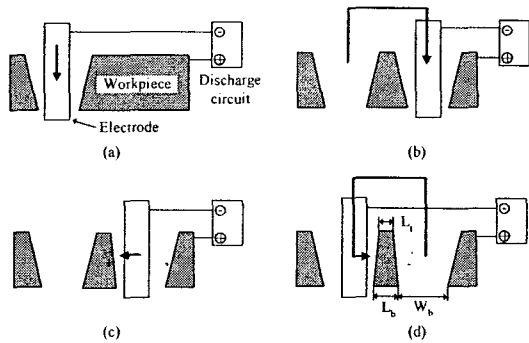


Fig. 4 Flow of the micro-EDM process

그러나 방전 가공만으로 전극간 간격을 줄이는 데에는 한계가 있다. 방전 가공은 절연액 내에서 전극과 공작물 사이의 연속적인 스파크 방전을 이용하여 공작물을 제거하는 열공정이다. 즉, 가공이 발생하는 국부적인 영역의 온도는 공작물이 증발하는 온도까지 상승한다 [10]. 전극간 간격이 좁아질수록 가공 중 발생하는 온도와 압력에 의해 국부적 변형이 발생하기 쉽다. 결국 방전 가공만으로는 한계가 있다. 폭 $150 \mu\text{m}$ 의 전극을 두께 $100 \mu\text{m}$ 의 스테인리스 스틸에 가공할 경우 전극간 간격의 최소값은 $10 \mu\text{m}$ 이다. 이에 열변형없이 정밀하게 가공하기 위해 다른 공정이 추가로 필요하다.

3.2 복합 가공 공정에서 전해 에칭 가공

전해 에칭은 등방성 가공이 일어나는 공정이다 [11]. 이 성질 때문에 전해 에칭만으로 고세장비의 구멍을 만드는 것은 불가능하다. 하지만 전해 에칭은 미세 방전 가공후의 남은 벽의 두께를 균일하게 줄이는 데에는 매우 효과적이다. Fig. 5에 보이는 것과 같이 saturated calomel electrode (SCE)을 기준전극(reference electrode)으로 사용하였으며, 백금 와이어를 상대전극(counter electrode)으로 사용하였다. 전해액으로는 0.1 M 의 황산용액이 사용되었다.

전해 에칭 공정에서 전극간 간격은 에칭 시간에 의해 좌우된다. 전압과 전해액의 농도를 높이면 에칭율은 증가하지만, Fig. 6(a)처럼 에칭된 표면이

거칠어지게 된다. 그러므로 좋은 표면 조도를 얻기 위해서 농도와 가해진 전압 등의 조절이 필요하다. Fig. 6(b)는 표준전극의 전압이 1.2 V 이고 전해액으로 0.1 M 의 황산 용액을 사용한 경우이며 이때의 에칭율은 19 nm min^{-1} 이고, AFM을 사용하여 측정된 벽면의 거칠기 R_{max} 는 약 $0.19 \mu\text{m}$ 이다.

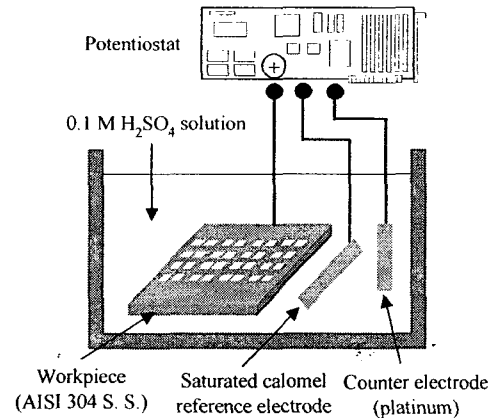


Fig. 5 Schematic diagram of ECE system

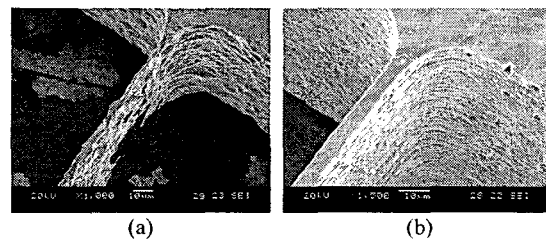
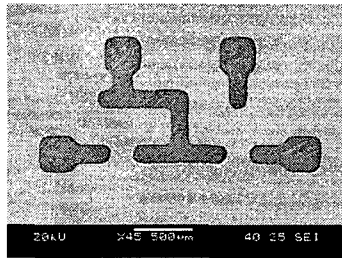


Fig. 6 Influence of the etching conditions on the side wall surface: (a) applied voltage = 2 V , etching time = 15 min , $2 \text{ M H}_2\text{SO}_4$ (b) applied voltage = 1.2 V , etching time = 150 min , $0.1 \text{ M H}_2\text{SO}_4$

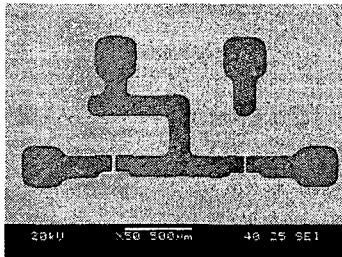
4. 실험 결과

Fig. 3에 나타낸 것처럼 우선 광화학적 식각 방법을 통해 마스크의 연결 회로 부분을 제작한 후 보다 정밀한 가공이 필요한 소스-드레인 전극 부분을 미세 방전가공과 전해 에칭을 이용하여 제작하였다. 전해 에칭의 전해액으로는 0.1 M 의 황산 용액을 사용하였고 이때 표준전극의 전압은 1.2 V 였다. 그 결과 Fig. 7에 나타낸 것처럼 각각 $30 \mu\text{m}$, $10 \mu\text{m}$ 의 전극 간 간격을 지닌 인버터 회로를 위한 새도 마스크를 제작할 수 있었다. 이 회로는 $100 \mu\text{m}$ 두께의 스테인리스 스틸(AISI 304)에 제작되었으며 연결 선의 폭은 $150 \mu\text{m}$ 이다. Fig. 8은 제작된 마스크를 사용하여 실제 인버터 회로를 증착한 후의 마스크의 모습이다.

참고문헌



(a) After roughing



(b) After finishing

Fig. 7 Stainless steel shadow mask for inverter fabricated by the combination of photochemical machining and micro-EDM & ECE processes (Workpiece: 100 μm thick AISI 304 stainless steel plate)

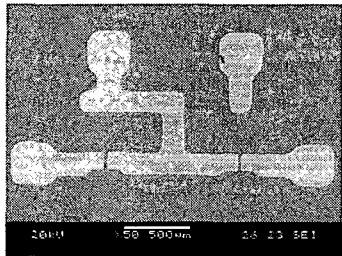


Fig. 8 SEM image of metal lines and S/D electrodes deposited using the fabricated shadow mask as shown in Fig. 7

5. 결론

본 논문에서는 미세 방전 가공과 전해 에칭을 복합하여 인버터 회로를 위한 스테인리스 강 새도 마스크를 제작하였다. 제작된 새도 마스크는 각각 30 μm , 10 μm 의 전극 간 간격을 지녔으며, 100 μm 두께의 스테인리스 강(AISI 304)에 제작되었다. 이때, 마스크 두께와 전극간 간격의 비로 정의된 새장비는 약 10이다. 제안된 복합 공정은 다양한 재료에 적용이 가능하며, 특히, 우수한 기계적 강성을 지니고 있는 스테인리스 강에 LIGA 수준의 미세 형상을 제작하였다는데 의의가 있다.

1. Baude, P. F., Ender, D. A., Haase, M. A., Kelley, T. W., Muyres, D. V., and Theiss, S. D., "Pentacene-based radio-frequency identification circuitry," *Applied Physics Letters*, Vol. 82, pp. 3964-3966, 2003.
2. Kymissis, I., Dimitrakopoulos, C. D., and Purushothaman, S., "High-performance bottom electrode organic thin-film transistors," *IEEE Transactions on Electron Devices*, Vol. 48, pp. 1060-1064, 2001.
3. Gundlach, D. J. and Jackson, T. N., "Solvent-induced phase transition in thermally evaporated pentacene films," *Applied Physics Letters*, Vol. 74, pp. 3302-3304, 1999.
4. Kim, C. S., Stein, M., and Forrest, S. R., "Low-voltage anolithography based on patterned metal transfer and its application to organic electronic devices," *Applied Physics Letters*, Vol. 80, pp. 4051-4053, 2002.
5. Zaumseil, J., Someya, T., Bao, Z., Loo, Y. L., and Cirelli, R., "Nanoscale organic transistors that use source/drain electrodes supported by high resolution rubber stamps," *Applied Physics Letters*, Vol. 82, pp. 793-795, 2003.
6. Dimitrakopoulos, C. D., Purushothaman, S., Kymissis, J., Callegari, A., and Shaw, J. M., "Low-voltage organic transistors on plastic comprising high-dielectric constant gate insulators," *Science*, Vol. 283, pp. 822-824, 1999.
7. Dimitrakopoulos, C. D. and Mascaro, D. J., "Organic thin-film transistors: a review of recent advances," *IBM Journal of Research and Development*, Vol. 45, pp. 11-27, 2001.
8. Sommer, C., *Non-Traditional Machining Handbook*, Advanced Publishing, Inc., Houston, 2000.
9. Yi, S. M., Jin, S. H., Lee, J. D., and Chu, C. N., "Fabrication of a high-aspect-ratio stainless steel shadow mask and its application to pentacene thin-film transistors," *J. Micromech. Microeng.*, Vol. 15, pp. 263-269, 2005.
10. DiBitonto, D. D., Eubank, P. T., Patel, M. R., and Barrufet, M. A., "Theoretical models of the electrical discharge machining process ? I. A simple cathode erosion model," *Journal of Applied Physics*, Vol. 66, pp. 4095-4103, 1989.
11. Datta, M., "Microfabrication by electrochemical metal removal," *IBM Journal of Research and Development*, Vol. 42, pp. 655-669, 1998.