

## PLL기법에 기반한 PWM 컨버터 전원 위상각 검출에 관한 연구

최 철\*(OTIS-LG 엘리베이터), 이상훈(OTIS-LG 엘리베이터) 김철우(부산대학교)

A Study on the phase angle detection of power source for PWM converter based on PLL method.

Choi Cheol(OTIS-LG Elevator), Lee Sang-Hun(OTIS-LG Elevator), Kim Cheol-U(Pusan National Univ.)

### ABSTRACT

This paper proposes the direct detection method of phase angle for the power source, which is based on the PLL method. The proposed method using a bidirectional photo-coupler is used to directly detect the zero crossing of phase voltage and calculate the angular frequency in the controller based on a M/T algorithm. Through the method, the additional installation space in the traditional method using a potential transformer can be minimized and it can be easy to design. The paper presents straightforward schematic circuits, design and experimental results.

**Key Words :** AC/DC PWM Converter, PLL method, Phase Angle Tracking

### 1. 서론

전원 입력 측에서 양방향 전력 제어가 가능한 구조의 AC/DC PWM 컨버터는 DC Link 전압제어, 단위 역률제어 그리고 선전류의 고조파 저감 등을 통한 시스템의 제어성능을 크게 향상시킬 수 있어 모션 제어, 빠른 가감속이 요구되는, 고속 가공기 그리고 엘리베이터와 같은 하역장치 분야에서 적용되고 있다

이와 같은 PWM 컨버터에 관한 최근의 연구는 센서리스 방식에 의한 DC Link 전압 검출, 선전류 검출 그리고 선전압 검출 부문에 대해 이루어지고 있다[1]-[6]. 이들 연구는 선전압, 선전류 또는 DC Link 전압 정보에 대한 간접적인 연산을 가능하게 하였으며, 이로 인해 부수적인 하드웨어의 축소는 시스템의 소형 경량화와 안정적인 정적제어 성능을 확보하였다. 또한 빠른 응답성을 요구하는 동적제어 성능을 개선하는 경우에 있어서 시스템의 모델링에 대한 연구가 부가적인 역할을 담당하고 있다.

PWM 컨버터 시스템에 있어서 각 부문에 대한 센서리스 적용 유무와 무관하게 부하의 운전조건에 대해 강인한 벡터제어성능을 확보하기 위해서는 전원 전압에 동기하는 위상 검출이 필수적이다. 이러

한 위상검출방식은 센서리스 제어 방식과 센서를 사용하는 방식으로 구분할 수 있다. 센서리스 제어는 제어기의 적용 알고리즘에 따라 초기 기동을 위한 최소 튜닝시간 또는 안정 시간을 필요로 하게 되고, 센서를 이용한 직접적인 검출 방식의 경우는 PT(Potential Transformer) 등과 같은 하드웨어의 사용에 따른 추가적인 설치 공간과 중량의 증가를 수반하게 된다. 실제 사용상의 전원 입력 측의 전압 외형과 노칭(notching), 순시 정전 등과 같은 불안정한 시스템 환경에 대하여 강인한 제어성능을 확보는 측면에서는 직접적인 검출방식이 상대적인 장점을 갖는다. 그러나 이 방식에 있어서 부가적인 설치공간의 축소와 중량의 저감 등의 단점을 극복할 필요가 있다.

따라서 본 논문에서는 PWM 컨버터 제어를 위한 PLL기법에 기반한 직접적인 전원 위상각 검출 기법을 제안하였다. 제안된 방법을 통하여 구조적으로는 기존의 PT가 갖는 문제점을 해소하여 설치 공간의 최소화와 중량을 저감할 수 있으며, 기능상으로는 양방향 포토커플소자에 의한 전원 전압의 영점 검출과 상순 검출 및 입력 주파수의 변동을 고려한 아날로그상의 동적응답성능을 확보할 수 있다. 제

안된 내용은 실험결과를 통하여 그 타당성을 보였다.

## 2. 본 론

### 2.1 컨버터 구성

일반적으로 AC/DC PWM 컨버터의 구성은 그림1과 같이 리액터, DC Link 콘덴서 그리고 전력용 소자로 구성되어 있는 전력 변환부, 전원 전압과의 위상을 동기시키기 위한 전원 위상검출기 그리고 DC Link 전압 일정제어를 위한 전압 제어기, 전류 제어기, 게이트 구동 회로로 구성되어 있다.

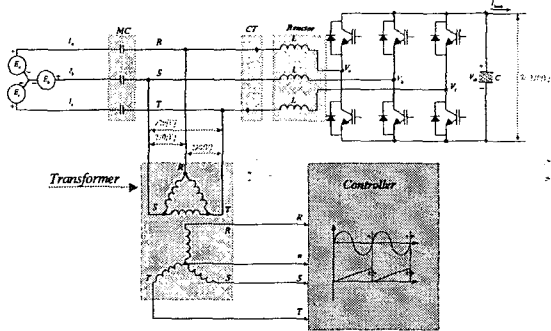


Fig.1 Block of three-phase converter system  
그림 1.3상 컨버터 시스템 블록도

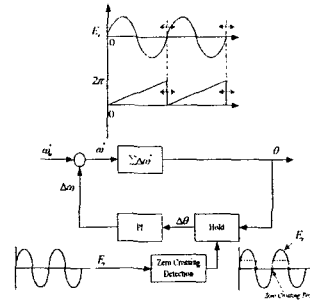
그림1에서 선전압 검출부는 전원 위상검출을 위하여 일반적으로 PT를 사용하여 3상 전원의 영점을 검출한다. 이로부터 정상순 또는 역상순의 상회전 방향을 검출할 수 있으며, 기준상의 영점으로부터 전원의 전압벡터가 회전 좌표축상의 q축에 일치하도록 회전좌표계의 회전 각속도( $\omega$ ) 및 회전각( $\theta$ )를 설정함으로써, 단위역을 제어에 있어서는 d축 전류를 항상 영으로 제어하게 된다.

그림2는 직접적인 위상 검출의 대표적인 방식을 도시하였다. 그림2(a)는 공급전원 전압의 영점을 검출하는 방식이고, 그림 2(b)는 전원 전압으로부터 2상 전압으로 변환한 다음 아크-탄젠트 연산을 수행하는 방법이다. 회전 좌표계의 회전각( $\theta$ )는 전원 전압 벡터 방향을 q축에 일치시키는 것으로 하기 때문에  $\theta_r^*$ 와는 식(1)과 같은 관계가 있다.

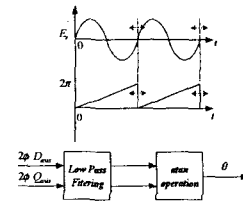
$$\theta = \theta_r^* - \frac{\pi}{2} \quad (1)$$

그림2에서 전원전압의 영점검출시점에서의 위상오차를 영으로 수렴하도록  $\Delta\omega$ 을 보정한다. 위상오

차가 양인 경우는  $\Delta\omega$ 를 감소시키고, 음인 경우는  $\Delta\omega$ 를 증가시킴으로써  $\theta_r^*$ 의 기울기가 변동에 따라 위상 오차를 영으로 수렴하도록 한다. 일반적으로  $\Delta\omega$ 는 전원주파수의 변동량으로, 정상적인 경우에는  $\pm 0.2[\text{Hz}]$  이하의 범위를 갖는다.



(a) zero crossing detection method  
(a) 영점 검출방식



(b) arc tangent calculation method  
(b) 아크 탄젠트 연산 방식

Fig.2 Direct detection method of phase angle  
그림 2.직접적인 전원위상 검출방식

### 2.2 제안된 방법

제안된 방법에서는 직접적인 전원위상 검출을 위하여 전원 전압의 영점검출을 위하여 양방향

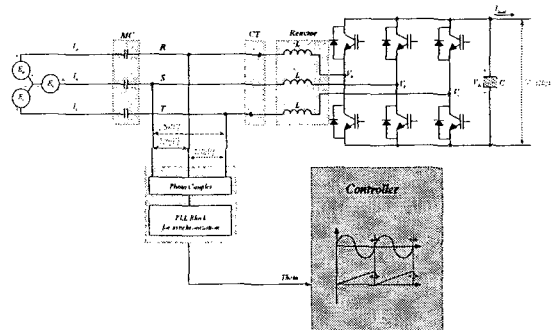


Fig.3 Proposed block of converter system  
그림 3.제안된 컨버터 시스템 블록

포토크플소자를 이용한 디지털 PLL방법을 적용하였다. 전체 시스템의 블록 구성은 그림3과 같고, 포토커플러와 PLL 블록에 대한 구성은 그림4에 나타내었다. 이를 통해 입력 전원에서부터 정상순 또는 역상순의 상회전 방향을 검출할 수 있는 간단한 논리 회로를 구성하였다.

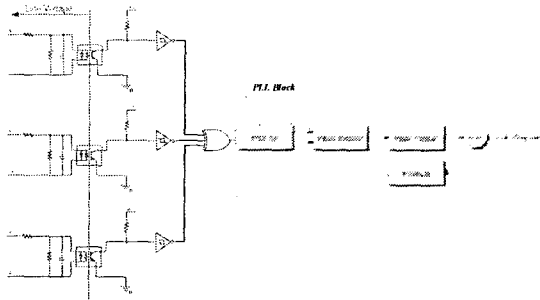


Fig.4 PLL block diagram  
그림 4.PLL 블록도

그림 4의 PLL 블록도 구성은 전원 위상각 검출을 위하여 3상 입력전압에 대하여 각각 직렬로 연결된 양단 저항에 의해 3상 입력전압의 크기가 조정된 전압을 양방향 포토 커플러의 입력 전압으로 처리한다. 이때 포토 커플러의 출력 전압은 전원 전압 Phase\_A의 한 주기에 대하여 2 주기를 갖는 펄스로 출력된다. 각 상의 출력 펄스열은 전원 결상시 발생하는 펄스 개수의 변화를 고려하고, 전원 위상각의 정도를 증가시키기 위한 목적으로 Exclusive OR를 거치도록 하여 체배수를 늘린다.

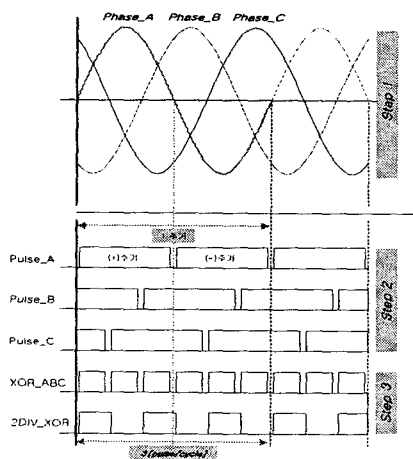


Fig.5 Signal processing through PLL block diagram  
그림 5.PLL 블록도를 통한 신호처리

그러나 그림 5에서 2회의 XOR 논리를 통해 검출되는 펄스의 개수는 전원 위상각으로 연산하기에 충분한 펄스수가 되지 못하므로, 제안된 그림4의 PLL블록도에 의해 펄스수를 증가시킨다. 포토 커플러의 순방향 전압강하를 고려할 때 그림 5의 Phase\_A의 영점 부근에서의 전압범위에 대해서는 실제 출력으로 나타나지 않는 구간이 발생하게 된다. 이로 인해 양방향 포토 커플러는 3상 입력전원으로부터 각각 Pulse\_A, Pulse\_B 그리고 Pulse\_C와 같은 출력특성을 가진다. 여기서 입력 전원의 결상에 따른 검출 펄스열의 변화를 고려하기 위해서 Pulse\_A, Pulse\_B, 그리고 Pulse\_C의 상하강 모서리 정보를 이용하여 XOR 연산을 수행한다. 이를 통한 주기 입력 전원 정보에 대하여 최대 6개의 펄스열 XOR\_ABC를 구할 수 있다. 또한 펄스열 주기는 비대칭성을 가지게 되므로 2분주된 2DIV\_XOR을 구하기 위해 듀티비 50[%]인 대칭 펄스열 정보로 변환하기 위한 연산을 수행한다. 이때 얻어지는 펄스열은 3개가 되므로 60[Hz]의 입력 전원 주파수를 기준으로 할 때, 180[Hz]의 출력 주파수를 가진다.

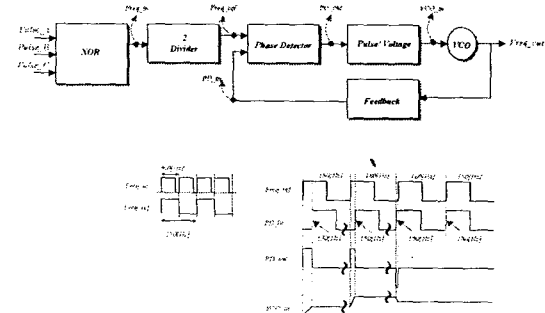


Fig.6 Synchronous signal processing through PLL block diagram

그림 6.PLL 블록도를 이용한 동기신호처리

그림 6은 PLL 블록도에 적용된 PLL회로의 동기신호 처리과정을 도식화한 것이다. 그림6과 같이 3상 입력전원으로부터 각각 Pulse\_A, Pulse\_B, Pulse\_C의 XOR 연산에 결과로 얻어진 Freq\_in은 2분주기인 2-Divider를 통해 PLL회로의 입력 Freq\_ref로 결정된다. 입력전원의 주파수가 60[Hz]로 고정된 경우를 가정하면, Freq\_ref는 180[Hz]로 고정되며 이것은 다시 Phase Detector블록과 Pulse/Voltage 블록을 거쳐 VCO 블록에 입력되어 증배된 주파수로 출력된다. 이때 피드백 루프를 통한 VCO의 과도적인 출력은 Phase Detector의 비교값으로 입력되며, 일정시간 경과 후 Freq\_ref의 값으로 수렴된다. 일반적으로 Freq\_ref입력에 대한 VCO 중단 출력 주파수인 Freq\_out의 관계는 식(2)로 결정될 수 있다.

$$Freq_{ref} = Freq_{out} \times FeedbackRatio \quad (2)$$

여기서 FeedbackRatio는 PLL 회로에 사용된 분주회로의 분주비가 되며, 제안된 내용의 실험에서는 16분주를 적용한 경우를 보였다.

그림7은 전원 주파수의 정역회전 검출을 위하여 3상 입력전원으로부터 각각 Pulse\_A, Pulse\_B, Pulse\_C의 상관관계로부터 임의의 기준상에 대한 상승 또는 하강 모서리를 기준으로 다른 한상의 펄스 논리값을 고찰함으로써 간단히 결정될 수 있음을 나타낸 것이다. 그림에서 Pulse\_B를 기준상으로 한 경우 정상분의 경우 Phase\_C는 항상 Active Low상태로 인식되고, 역상분의 경우 Phase\_C는 항상 Active High상태로 인식됨을 확인할 수 있다. 따라서 다른 임의의 경우에 대해서도 동일한 논리가 성립된다.

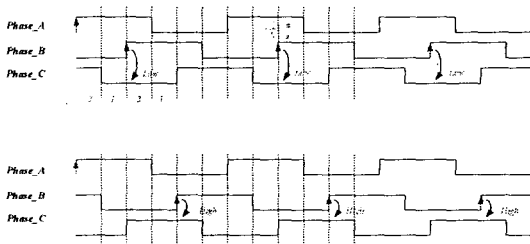


Fig.7 Determination of CW/CCW of angular frequency for power source

그림 7.전원 각주파수의 정역상 구분

### 3. 실험

그림8은 제안된 PLL 블록도를 통한 신호처리과정을

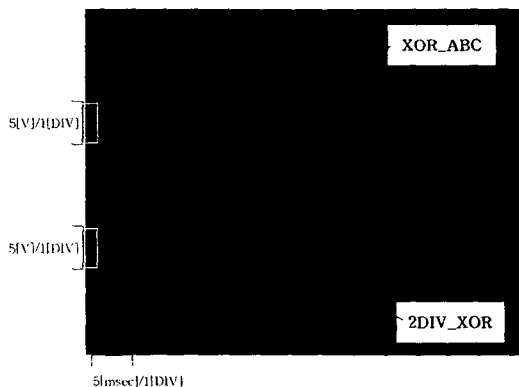


Fig.8 Input waveforms of PLL block

그림 8.PLL 블록 입력파형

나타낸 것으로, XOR\_ABC는 3상 입력전압의 XOR 연산을 취한 값이다. 이때의 값은 그림과 같이 비주기적인 구형파로 나타난다. 균일한 펄스폭으로 처리하기 위해, XOR\_ABC를 2분주한 출력값이 2DIV\_XOR이 된다.

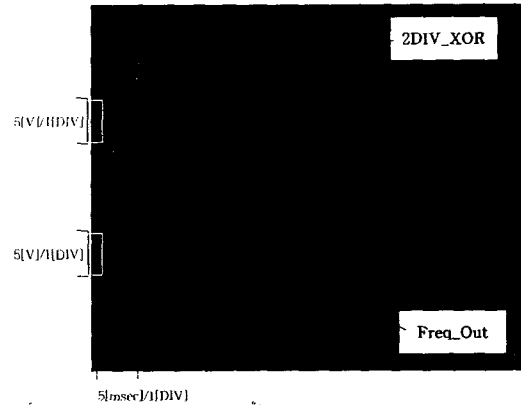


Fig.9 Input & Output waveforms of PLL block

그림 9.PLL 블록 입출력파형

그림 9는 2분주 출력 2DIV\_XOR의 한주기에 대하여 제안된 PLL 블록을 통해서 증배되는 PLL 출력주파수 Freq\_out를 보였다. 이때 증배되는 PLL주파수는 2DIV\_XOR에 대해 16배가 된다. 따라서 그림 4에서 도시한 PLL 블록의 Phase Detector에서 Feedback블록을 통해서 귀환되는 비교 입력은 16분주된 신호가 들어오게 된다.

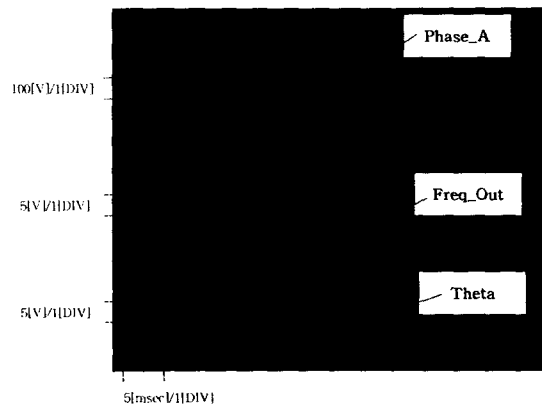


Fig.10 Calculated theta

(at positive phase sequence)

그림 10.Theta 연산 (정상분 일때)

그림 10은 전원 전압의 A상을 기준 상전압으로 설정할 경우 PLL 블록을 통하여 출력되는 펄스열 Freq\_out과 이를 M/T기법으로 처리한 결과를 전기각으로 처리하여 나타낸 Theta를 보였다. 그림10에서와 같

이 전원 1주기에 대하여 Theta 정보가 표현되어짐을 확인할 수 있다. 이때 Theta는 그림 7에서 언급한 정역상 구분에 따라 방향 정보를 포함하게 된다. 그림 11은 그림 10에 대하여 상순을 반대로 함으로써 Theta정보가 반대로 표현되어 있음 확인할 수 있다.

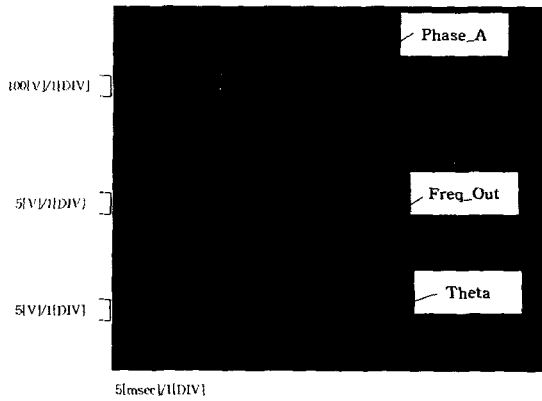


Fig.11 Calculated theta  
(at negative phase sequence)

그림 11. Theta 연산 (역상분 일때)

#### 4. 결론

제안된 논문에서는 PWM 컨버터 제어를 위한 디지털 PLL 논리를 적용한 직접적인 전원 위상각 검출 기법을 제시하였다. 이는 양방향 포토 커플러를 통하여 전원 전압의 영점 검출과 검출된 상순으로부터 전원 위상각을 검출하는 방법으로 기존의 PT에 의한 검출 기법을 대신할 수 있음을 확인할 수 있었다. 또한 제안된 PLL블록을 이용함으로써 보다 경제적인 검출 회로부의 구성과 소형 경량의 컴팩트한 컨버터 시스템 구성이 가능할 것으로 기대된다.

#### 후기

이 논문은 산업자원부의 중기거점사업의 일환으로 진행되고 있는 IT 기반 나노제어 시스템 개발 사업의 지원을 받아 연구를 수행하였음.

#### 참고문헌

- [1]Bong-Hwan Kwon, Jang-Hyoun Youn, Jee-Woo Lim, "A line-voltage-sensorless synchronous rectifier", IEEE Trans.on Power Elec., Vol. 14, no. 5, pp. 966~972, 1999
- [2]P.Barrass, M.Cade "PWM rectifier using indirect voltage sensing", IEE Proc.-Electr.Power

- Appl., pp. 539 ~ 544, Vol.146, No.5, 1999
- [3]Ismail Agirman, Vladimir Blasko, "A novel control method of a VSC without ac line voltage sensors", IEEE Trans. on Industrial Application, Vol. 39, no. 2, pp. 519~524, 2003.
- [4]Itaru Ando, Isao Takahashi, "A simple sensorless method for sinusoidal pwm converters", IEEE PCC-Nagaoka, pp. 241~246, 1997
- [5]Toshiya Ohnuki, Osamu Miyashita, "Control of a three-phase pwm rectifier using estimated ac-side and dc-side voltages", IEEE Trans. on Power Elec., Vol. 14, no. 2, pp. 222~226, 1999
- [6]Mariusz Malinowski, Marek Jasinski, Marian P.Kazmierkowski "Simple direct power control of three-phase pwm rectifier using space-vector modulation", IEEE Trans. on Ind. Appl. Vol. 51, no. 2, pp. 447~454, 2004.