멀티 디스플레이 구동 드라이버 로직 설계에 관한 연구

진경찬*, 전경진(한국생산기술연구원), 김시환(폴딩모바일㈜)

A Study on the Logic Design of Multi-Display Driver

K. C. Jin, K. J. Chun (KITECH), S. H. Kim (Folding Mobile Co.)

ABSTRACT

The needs of larger screen in mobile device would be increased as the time of ubiquitous and convergence is coming. And, the type of mobile device has been evolved from bar, slide to row. Recently, the study on the multi-display screen which has seamless gap between two display panel has been published, and moreover the System On Chip(SOC) design strategy of core chip has been the most promising Field-Programmable Gate Array (FPGA) technology in the display system. Therefore, in this paper, we proposed the design technique of SOC and evaluated the effectiveness with Very high speed Hardware Description Language(VHDL) Intellectual Property (IP) for the operation of multi display device driver. Also, This IP design would be to allow any kind of user interface in control system.

Key Words : SOC(시스템 온 칩), IP(지적 재산권), FPGA, VHDL

1. 서론

통합 멀티미디어 서비스까지 제공되는 모바일 휴대폰 기기는 2004 년 세계 시장은 6 억대 이상이 될 전망이며, 3G 가 본격 상용화되고 무선 데이터 통신 시대가 열리게 되면 모바일 기기 시장에서 대 화면의 필요성은 크게 증가될 전망이다. 또한 모바일 휴대폰 기기들의 모양이 바 형태에서 폴더, 슬라이드 및 가로보기 형태의 모바일 기기들이 진화되어 가고 있으며, DMB 서비스가 개시되면서 LCD 화면을 가로전환이 가능하도록 디자인한 휴대폰이 대세를 이루고 있다[1].

이러한 모바일 기기의 대 화면의 필요성에 따라 두 화면의 이음매를 최소화하는 seamless 디스플레이 장치의 LCD 패널, 광학 보상 필름, 도광판 및 기구물 설계 등의 연구가 이루어져 오고 있는 실정이다 [2]. 따라서 대 화면 단말기 제품들이 출시되게 되면, 디스플레이 부분을 제외한 나머지 부분 중에서 회로, 부품 및 기판의 설계 복잡도가 더욱 증가하게 된다. 최근 인텔의 2007 년도 상용화 목표로 진행중인‘cellular phone on a chip’등의 연구 개발 동향과 같이 핵심 구동 부품에 대한 시스템 수준의 시스템 온칩화의 설계를 통한 검증 방법 등이 중요한 기술요소로 등장하고 있다[3].

두 화면 구동용 모바일 기기의 단말용 SOC 를 개발 하기 위해서는 시스템의 프로세서와 communication protocol 을 사용하는 플랫폼을 기반으로 한 IP 설계/검증 방법들이 필요하다[4].

본 논문에서는 모바일 기기의 멀티 디스플레이 구동을 위한 드라이버 IC 의 설계 및 검증에 대해 기술하였다. 드라이버 로직은 VHDL 코드로 구성되었으며, 설계/검증을 위해 SOC 플랫폼으로 이용되는 Altera 사의 EPXA10 칩을 이용하였는데, 이 칩은 ARM /AHB 를 기반으로 ARM 프로세서 및 주변 인터페이스 등이 내장되어 있다[5,6].

급격히 발전하고 있는 디스플레이 기기의 핵심 칩 개발의 무한 경쟁 시대를 맞이하여, 시스템 개발 초기에 하드웨어 설계자나 소프트웨어 설계자가 설계/검증이 가능한 환경에서 시스템들이 개발되어야 한다. 이러한 요구에 맞추어 변형된 표준에 맞춰 빠른 시간 안에 경쟁력 있는 핵심 칩을 출시하기 위하여 ARM922T 플랫폼 기반의 SOC 설계 방법론을 제시하였고, 두 개의 디스플레이 장치의 이음매 간격을 최소로 하여 하나의 화면으로 보여주는 구동 드라이버 로직 설계를 예로 그 효용성을 증명하였다.

2. SOC 모듈

2.1 SOC 모듈 구성

구동 드라이버 알고리즘을 설계/검증하기 위한 SOC 모듈이 선정되어야 하며, PC 기반 시스템에서 다운로딩이 가능하게 설계하여 수정 및 디버깅이 용이하여야 한다.

2.1.1 SOC 플랫폼

FPGA 코어를 Embedded SOC 플랫폼으로 접목이 가능하도록 제작된 Altera 사의 EPXA10 칩을 이용하였다. EPXA 칩은 ARM/AHB 를 기반으로 한 플랫폼으로 그림 1 과 같이 구성되어 있다.

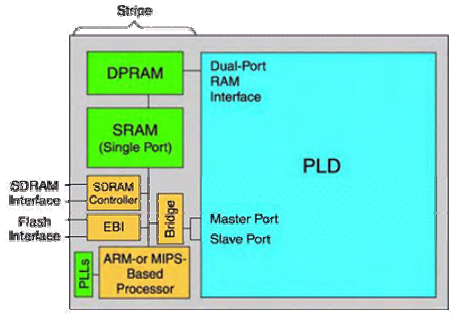

Fig. 1 Structure of SOC platform

EPXA 플랫폼은 AHB 버스에 ARM 프로세서, AHB 버스의 마스터를 정하는 Arbiter, 메모리영역을 디코딩용 어드레스 Decoder, 프로그램 코드와 데이터를 저장용 내부메모리, 외부메모리에 데이터를 전송하기 위한 SDRAM 제어기와 버스마스터로 외부메모리와 내부 하드웨어 모듈 사이에 데이터 전송을 전담하기 위한 DMA 가 있다.

2.1.2 IP 설계 및 검증

구동 모듈은 VHDL 로 코딩화되어 Bus Function 모델에 대해 Behavioral 및 타이밍 시뮬레이션이 이루어지고, Full Stripe 모델에 대해서는 타이밍 시뮬레이션이 행해지게 된다. 이를 위해 Altera 사 Quartus, Mentor Graphics Modelsim 를 사용하였다. ARM 프로세서 코어는 Altera 사의 EPXA 칩 코어제어를 위해 사용되는 ADS 를 이용하였고, AMBA 의 하드웨어 모듈들은 AMBA2.x 에서 제공하는 시뮬레이션 모델을 사용하였다[7]. ARM/AHB 플랫폼은 혼합 설계 환경에 통합하여 하드웨어와 소프트웨어를 동시에 개발하면서 검증이 가능하고[8], 설계/검증 환경은 그림 2 에서 같으며 시스템 개발 초기에 하드웨어 설계자나 소프트웨어 설계자가 필요한 환경이라고 할 수 있다.

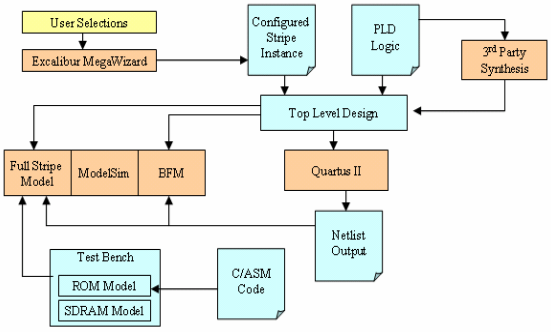

Fig. 2 IP verification

2.1.3 디버깅

구동 드라이버 로직 신호를 테스팅하기 위해서 PC 기반 시스템에서 데이터를 전송하여 출력 신호 및 영상 데이터를 확인하여야 한다. 원격 디버깅 모듈로는 그림 3 과 같이 PnP 가 지원되는 USB2.0 컨트롤러가 설계되어 저장된 영상신호 데이터를 로직 타이밍에 맞추어 전송하도록 설계되었다.

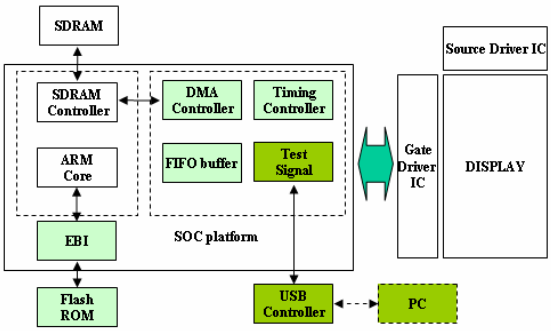

Fig. 3 Debugging of SOC platform

2.2 멀티 디스플레이 구동

멀티 화면 구동 드라이버 알고리즘을 동작 특성을 살펴보기 위해서는 구동 알고리즘의 VHDL 코딩 로직을 SOC 모듈에 접목하여 출력 타이밍을 살펴보아야 한다.

2.2.1 디스플레이 장치 구동

멀티 디스플레이 장치의 두 개의 LCD 를 각각 제어 하기 위한 Source Driver IC 와 Gate Driver IC 를 제어하는 구동 IP 설계를 위해, 입력되는 영상 데이터 Analog 신호의 AD 변환된 RGB 데이터를 디지털화하여 구동 IP 입력으로 넣어주어야 한다.

구동 IP 설계 시에 Shit register, Dater register, Latch, Level shifter, D/A Converter 의 특성을 파악하여, LCD column/row 크기 및 주파수 신호에 따른 최적 파형을 설계하고, Control 신호 입력과 계조 표준 전압을 설정하여야 하며, 쉬프트 레지스터에서 각 데이터의 RGB 값을 읽어서 DA 컨버터를 거쳐 LOAD 신호가 생성될 때에 디스플레이 패널로 RGB 데이터가 전송되도록 설계되어야 한다.

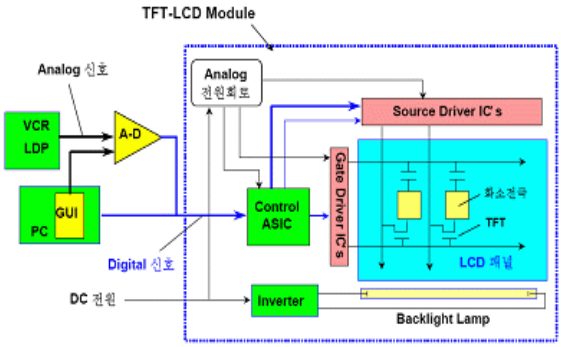

Fig. 4 Schematic of display device input

2.2.2 멀티 디스플레이 구동

멀티 디스플레이 패널의 왼쪽/오른쪽 게이트 구동 드라이버에게 영상 신호 전송을 알려야 한다. 또한 소스 구동 드라이버에 보내는 데이터 신호를 입력되는 RGB 신호에서 분할하여 다르게 보내 주어야 한다. 따라서, 디스플레이 패널에 각각 n 개의 전극 라인이 소스 구동 드라이버와 연결된다고 했을 때, 두 개의 디스플레이를 하나의 화면으로 볼 수 있도록 하는 것이므로, 멀티가 합쳐진 상태에서 전체 데이터 라인은 2n 개라고 할 수 있다. 즉, 메모리 장치에 저장된 화상 신호를 분할하여 제 1 라인부터 제 n 라인까지의 데이터 신호는 왼쪽 소스 구동 드라이버로 보내고, 제 n+1 라인부터 제 2n 라인까지의 데이터 신호는 오른쪽구동 드라이버로 보내주어야 한다.

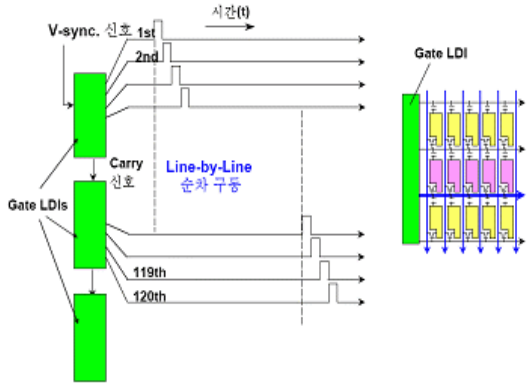

Fig. 5 Data signal flow by line-by-line drive

즉, 영상 데이터는 순차 구동에 의한 Line Scan 신호 파형 선정과 Gate 신호 처리 시스템을 구현하며, 각 라인의 pixel 이 디스플레이 화면의 한 라인에 모두 채워질 때 마다, Vsync 신호가 발생하여 새로운 라인으로 데이터가 실리게 된다. RGB 버퍼에 데이터가 채워질 때마다 Gate 신호는 TFT 의 화소 전극을 동작시키는 역할을 수행한다.

3. 실험 결과 및 고찰

3.1 멀티 디스플레이 장치

멀티 디스플레이는 크게 LCD 패널 부분과 광학 모듈로 제작 되어, 구동 드라이버 모듈로서 동영상이 구현되었다. LCD 패널은 백라이트, 구동회로 LCD Panel 등이 견고하게 장착되어야 하며, 측면을 절개한 구조로 설계되어, 이를 고정 장치를 부착하는 설계 제작으로 고정장치로 인해 측면을 절개하여도 장치 내에 견고하게 장착 가능하도록 제작되었다. 그림 6 은 멀티 디스플레이에 사용된 하나의 디스플레이 패널을 보여 주고 있다.

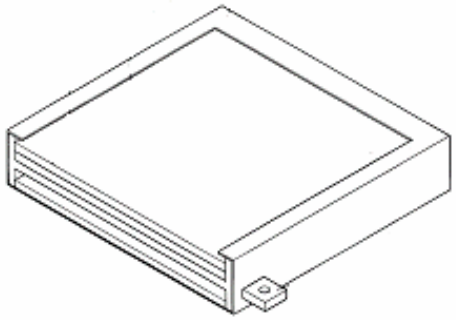

Fig. 6 One side of LCD panel

광학 모듈은 그림 7 에서와 같이 도광판, 반사시트, 확산시트 및 프리즘으로 구성되어 있다. 도광판은 빛을 화면 전체에 균일하게 확산시키기 위해, 일정한 패턴을 인쇄해 효율을 높이고 이를 설계되었고, 반사시트는 도광판의 입광부로 부터 들어온, 화면의 반대쪽으로 방사되는 빛을 화면방향으로 반사시켜 빛의 효율을 높이도록 제작되었다. 확산시트는 도광판으로 부터 방사되는 빛을 한층 더 균일하게 해주며 도광판의 패턴을 보이지 않도록 하기 위한 최적화 설계로 완성되었으며, 프리즘은 확산시트에 의한 휘도 저하를 빛의 굴절 및 집광시켜 휘도를 높여주는 역할을 위해 산모양의 미세한 피치 형상에 대한 설계를 통해 제작되었다

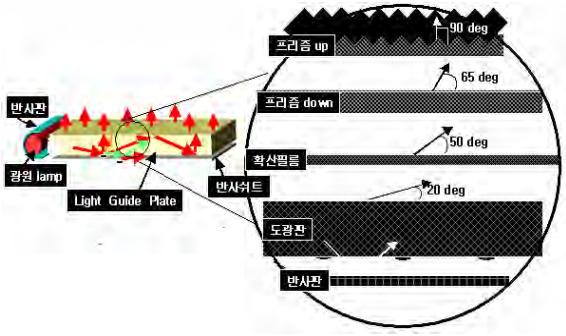

Fig. 7 Light panel module

3.2 디스플레이 구동 장치

FLASH 에 저장된 320x240x16bpp 영상 데이터를 SDRAM 으로 이동시킨 후에, Excalibur 디바이스의 FPGA 영역에 코딩된 DMA 컨트롤러를 통해 외부 핀으로 출력된다. 320x240 (Row:320, Column:240) 데이터 중 에서 240 개의 Column 데이터가 58us 안에 pixel clock 에 동기화 되어 출력되고, 320 개의 Row 횟수만큼 한 영상에 대해 반복되어 출력된다.

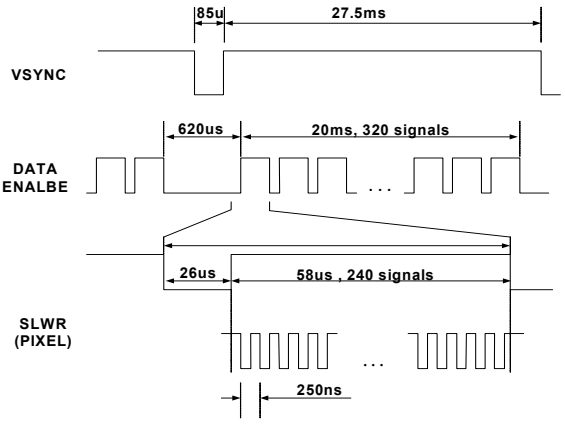

Fig. 8 Timing diagram of logic interface

Fig. 9 Multi-display device

제작된 멀티 디스플레이 장치와 구동되는 영상을 그림 9 에서 보여 주고 있다. 왼쪽 및 오른쪽 디스플레이 화면 영상이 전체 하나의 영상을 구성함을 알 수 있다.

4. 결론

급격히 발전하고 있는 모바일 기기의 핵심 칩 개발의 무한 경쟁 시대를 맞이하여, 대 화면으로 응용이 가능한 이음매를 최소로 하는 두 화면 구동용 SOC 개발이 요구되고 있다. 이러한 요구에 맞추어 변형된 표준에 맞춰 빠른 시간 안에 경쟁력 있는 핵심 칩을 출시하기 위하여 ARM922T 플랫폼 기반의 SOC 설계 방법론을 제시하였고, 실제로 구동 드라이버 로직 개발을 예로 그 효용성을 증명하였다.

후 기

본 연구는 산업자원부 부품·소재 혁신 연구회 사업의 지원을 받아 수행되었습니다.

참고문헌

1. 정부연, "전세계 SoC 시장 전망", 정보통신정책, 제 17 권, 5 호, pp. 18-22, 2005.
2. 김시환, "멀티 디스플레이 장치", 국내 특허 2001-54462, 2001.
3. De Man, H., "System-on-chip design: impact on education and research", Design & Test of Computers, IEEE, Vol. 16, pp. 11-19, 1999.
4. Nava, M. D. et al., "An open 플랫폼 for developing multiprocessor SoCs", Computer, Vol. 38, pp. 60-67, 2005.
5. Jee-Hwan Ryu et al., "Sampled- and continuous-time passivity and stability of virtual environments", Vol. 20, pp. 772-776, 2004.
6. Bindal, A. et al., "An undergraduate system-on-chip (SoC) course for computer engineering students", IEEE Transactions on Education, Vol. 48, pp. 279-289, 2005.
7. Excalibur ARM Datasheet, Altera, 2002.
8. ARM Developer Suite - Version 1.0: Tools Guide, ARM, 1999.