

Reference clock 생성기를 이용한 10:1 데이터 변환 2.5 Gbps 광 송신기 설계

Design of a 2.5 Gbps CMOS optical transmitter with 10:1 serializer
using clock generation method

강형원, 김경민, 최영완
중앙대학교 전자전기공학부 전파·광파 통신 연구실
Hyung-won Kang, Kyung-min Kim, Young-wan Choi
School of Electronic and Electrical Engineering, Chung-Ang University
Microwave & Lightwave Telecommunication lab.

Abstract

The proposed optical transmitter is composed of FF(flip flop), PLL(phase locked loop), reference clock generator, serializer and LD driver. 10 x 250 Mb/s data arrays are translated to the 2.5 Gb/s data signal by serializer. In this case, 1 data bus is allocated usually as a reference clock for synchronization. In this proposed optical transmitter, 125 MHz reference clock is generated from 10 x 250 Mb/s data arrays by reference clock generator. From this method, absent of reference clock bus is available and more data transmission become possible. To achieve high speed operation, the serializer circuit is designed as two stacks. For 10:1 serialization, 10 clocks that have 1/10 lambda differences is essential, so the VCO(voltage controlled oscillator) composed of 10 delay buffers is designed. PLL is for running at 250 MHz, and dual PFD(phase frequency detector) is adopted for fast locking time. The optical transmitter is designed by using 0.35 um CMOS technology.

Keywords

serializer, reference clock generator, PLL

I. 서 론

최근 기술의 축적과 발전에 더불어서 더 많은 데이터 전송에 대한 요구가 이루어지고 있다. 이러한 시점에서 데이터의 광대역 고속 전송을 위해 사용되는 전송 매체가 광섬유이다. 광섬유는 빛을 신호로 하여 기가비트 이상의 데이터를 먼 곳까지 전송할 수 있으며 신호의 감쇄가 적고 광대역 특성을 가지기 때문에 장거리 통신을 비롯한 다양한 응용 분야에서 광범위하게 사용되고 있다. 이러한 추세에 따라 최근 광 접속에 대한 연구가 활발히 진행되어지고 있다. 최근 몇 년간 연구해 온 OPCB(optical printed circuit board)에 대한 성과는 이에 부합하며 광 접속을 위한 광 송수신 시스템에 대한 연구도 활발히 이루어지고 있는 상황이다.

본 논문에서는 3.3 V의 0.35 μm CMOS 공정을 이용하여 광 송신기의 핵심 블록들을 설계하였다. 클럭신호에 대한 정보가 없는 NRZ 데이터 신호를 통해 직접 위상 고정 루프의 reference 신호를 생성하는 클럭 생성기를 설계하였다. 또한 250 Mbps의 병렬 데이터를 2.5 Gbps의 고속 직렬 데이터 신호로 변환시키는 serializer 회로를 설계하고 데이터 손실을 방지하기 위해 개선하였다. dual PFD를 사용하여 locking time을 줄였고 개선된 전하펌프를 구성하여 제어 전압의 흔들림을 보상하였다. 또한 각 블록 및 회로에 대한 시뮬레이션 결과를 나타내고 분석하였다.

II. 본 론

1. 광 송신기의 설계

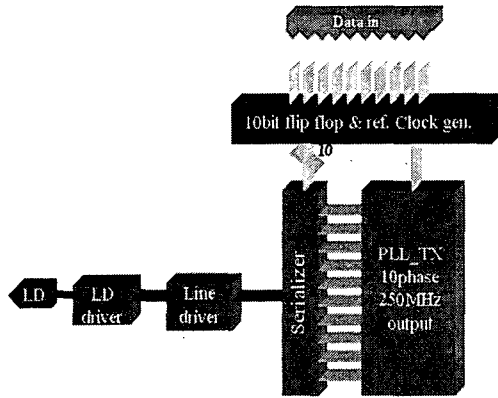


그림 1. 광 송신기의 블록 다이어그램

본 논문에서 제안한 광 송신기는 그림 1에서와 같이 크게 10 bit의 10개의 데이터를 저장하는 flip-flop과 위상을 고정하여 일정한 지연 시간을 가진 10개의 클럭을 생성할 수 있는 PLL, 2.5 Gbps의 고속 데이터 변환을 하는 serializer로 구성된다. 데이터의 위상정보를 통해 직접 reference clock을 생성하는 reference clock generator를 추가하였다.

2. PLL(Phase Locked Loop)

PLL은 그림 2에서와 같이 PFD(phase frequency detector), CPLF(charge pump loop filter), VCO(voltage controlled oscillator) 1/N divider로 구성되어있다.

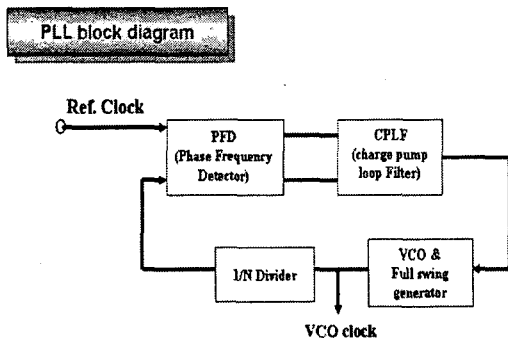


그림 2. 위상 고정 루프의 블록 다이어그램

2-1. PFD(Phase Frequency Detector)

위상/주파수 검출기는 외부에서 인가되는 기준 신호와 negative feedback된 VCO의 출력신호를 입력으로 받아들여서 두 신호의 위상 및 주파수의 차이를 검출하여 업, 다운, 0의 논리 신호를 출력하는 동작을 한다. 일반적인 PFD는 위상/주파수의 차이가 충분히 크다면 그 차이를 검출하여 이에 비례하는 전압을 출력하는데 문제가 없지만 두 입력 신호의 delay가 0에 가까워지면 MOSFET 스위치의 커패시터 부하를 충전시키는데 충분한 시간을 갖지 못하기 때문에 출력 업 신호가 High에 도달하지 못하고 논리 '0'의 값으로 하강하는 Dead zone 문제가 발생하게 된다. 이러한 Dead zone 문제를 해결하기 위해서는 스위치가 on이 되는데 충분히 긴 시간이 필요로 하며 본 논문에서 설계한 PFD는 이러한 문제를 해결하기 위해 인버터 딜레이를 개입시켜 충분한 시간 논리 '1'의 값을 유지 할 수 있도록 설계하였다. 그림 4는 서로 주파수 및 위상이 다른 두 개의 입력이 주어졌을 때 발생하는 PFD의 출력을 나타낸다. ①의 기준 신호에 비하여 ②의 VCO 출력 신호가 상대적으로 느리기 때문에 ③의 업 신호가 ④의 다운 신호에 비하여 펄스 발생 빈도가 많으며 발생된 펄스의 지속 시간 또한 긴 것을 확인 할 수 있다.[1]

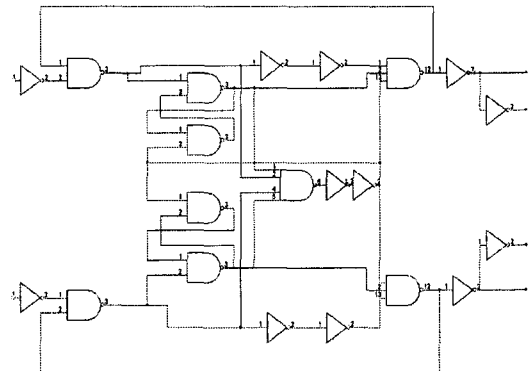


그림 3. PFD 블록 다이어그램

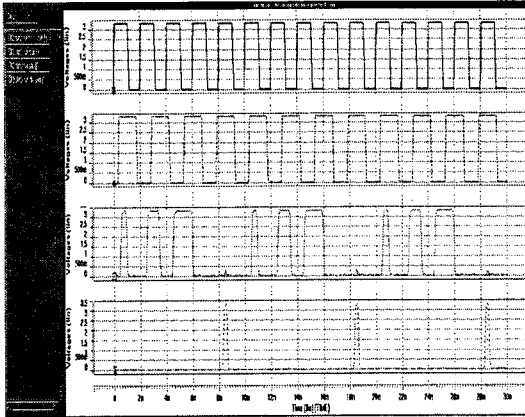


그림 4. PFD simulation 결과

2-2. Charge pump loop filter

일반적인 위상/지연 동기회로에서는 위상/주파수 검출기와 연동하여 능동 저역 통과 필터를 사용한다. 위상차가 존재하는 구간 내에서 저역 통과 필터의 커패시터에 전하가 충전되고 누설전류로 인해 방전됨에 따라 정상상태에서의 잡음이 계속 발생된다는 단점이 있다. 연산 증폭기 등을 이용한 능동 저역 통과 필터가 존재하지만 연산 증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인하여 잡음 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점은 PFD와 더불어 전하펌프 루프필터를 사용함으로써 해결할 수 있다. 그림 5-1에서 위상/주파수 검출기와 두 개의 독립전원과 전기적인 스위치로 구성되는 전하 펌프 단 그리고 저역 통과 필터를 함께 나타내었다. 회로의 동작을 살펴보면, 입력 기준 신호가 negative feedback 되어 들어오는 VCO 출력 신호보다 앞서서는 경우 PFD의 출력은 업 신호를 논리 '1'로 나타내게 된다. 이 값은 전하 펌프의 S_1 스위치를 도통시키고 이를 통해 loop filter의 커패시터에 전류 I_1 이 전달되어 전하가 충전되게 된다. 다운에는 논리 '0'값이 나타나며 스위치 S_2 는 off되며 전류는 도통되지 않는다. 이때 업 신호의 펄스가 나타나는 시간 동안 커패시터에 충전되는 값으로 인해 출력 제어 전압이 상승한다. 그 외의 시간 동안은 전하 펌프의 DC 이득이 무한대이기 때문에 loop filter

가 단독으로 사용된 경우와는 달리 방전될 경로가 생기지 않아 출력 전압은 일정하게 유지된다. 그러므로 이상적으로 전하펌프가 포함된 위상/지연 동기회로의 정지 지연 오차는 0이 되고 주파수 획득 범위는 VCO의 출력 주파수 범위에 의해 제한된다.[2] 그림 5-2는 설계된 전하펌프 루프필터의 회로도이다. PFD로부터 출력 신호가 전하펌프 루프필터 통하여 VCO까지 전달되는데 걸리는 시간 지연을 이유로 제어 전압의 흔들림을 방지하기 위해 NMOS로 구성하였고 Width를 감소시켰다. 2개의 극점과 1개의 영점으로 구성된 Second order loop filter를 설계하였고 저항 R을 직렬로 연결하여 영점을 개입시킴으로써 안정성을 확보하였다.

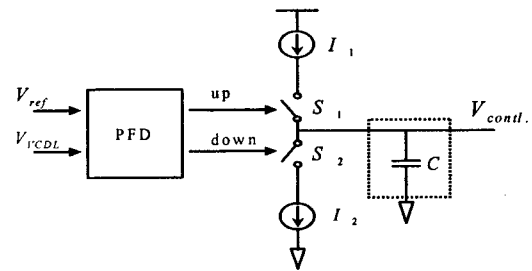


그림 5-1. Charge pump loop filter block diagram

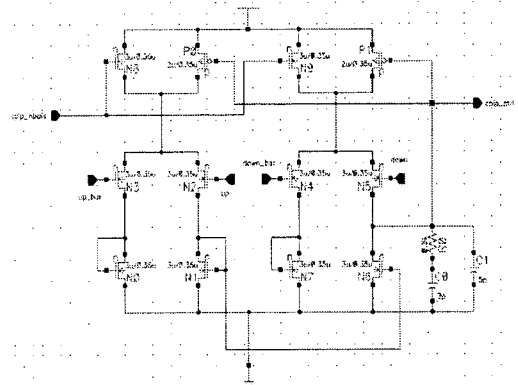


그림 5-2. Charge pump loop filter의 회로도

2-3. VCO(Voltage Controlled Oscillator)

전하펌프 루프필터로부터 출력 제어 전압을 입력으로 받아 시간 지연 특성을 변화시켜 출력 주파수를 조정하는 전압 제어 발진기를 설

계하였다. 설계된 VCO는 기본적으로 Delay cell의 배열로 이루어져 있으며 각 부분은 공통 소스 타입의 차동 쌍 증폭기 형태로 구성되어 있다. [3] 그림 7은 Delay cell의 회로도이다. 하단의 NMOS는 전류원으로 동작하며 상단 4개의 PMOS 트랜지스터를 통해 시간 지연 특성의 변화를 야기 시켰다. 차동 쌍 증폭기의 부하로 걸려있는 PMOS의 게이트 전압에 따라 임피던스 특성이 변화하고 시간 지연이 변화함에 출력 주파수의 조정이 가능해진다. 자세한 동작을 살펴보면 P1과 P3 MOS의 게이트에 루프필터로부터 기준 전압 이상의 제어 전압이 입력으로 들어오면 임피던스 값이 증가하고 이에 따라 RC 시정수 값이 증가하여 시간 지연 특성이 변화하게 된다. 이는 전체 VCO의 출력 주파수를 낮추는 효과를 갖는다. 역으로 논리 신호 '0'의 제어 전압이 입력에 가해지면 임피던스 값이 감소하여 출력 주파수를 높게 된다. 그림 8의 VCO는 10개의 Delay cell로 구성되어 있다. 같은 간격을 가지는 5군데의 지연단은 각각 위상을 $\lambda/10$ 만큼 분할 한 값을 갖는다. 그리하여 250 MHz 응용에서는 Delay cell의 각 지연단의 지연시간은 400 ps로 정해진다. 또한 VCO의 출력 신호를 구형파로 복원하기 위해 Full swing generator를 연결하여 신호를 위상/주파수 검출기로 귀환시켰다. 그림 9-1,9-2는 동일한 제어 전압이 인가된 상태에서 각 지연단의 출력과 동일한 지연단의 각기 다른 제어 전압에 대한 출력 신호를 보이고 있다.

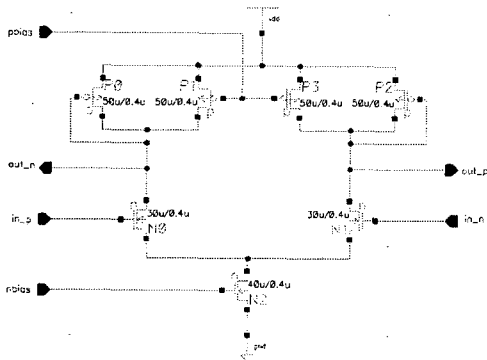


그림 7. Delay cell

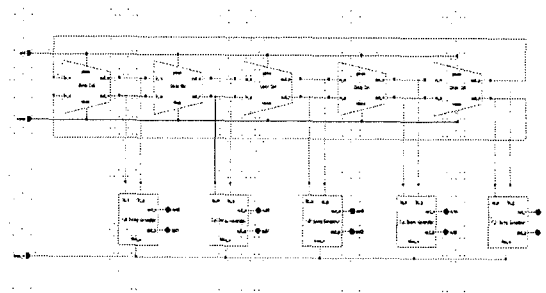


그림 8. VCO+Full swing generator

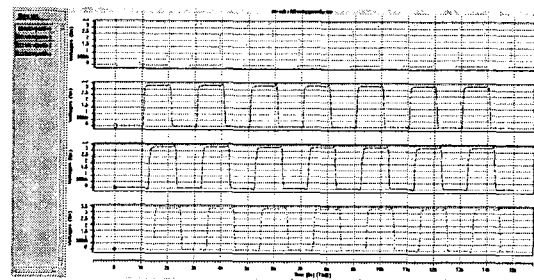


그림 9-1. 각 지연단의 출력

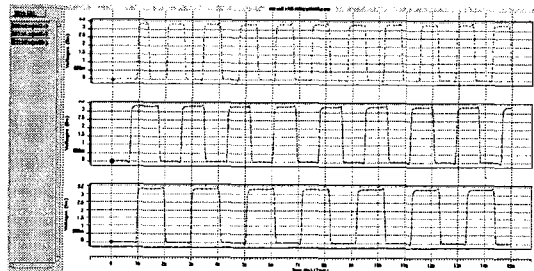


그림 9-2. 제어전압의 변화에 따른 동일 지연단의 출력

3. Serializer 설계

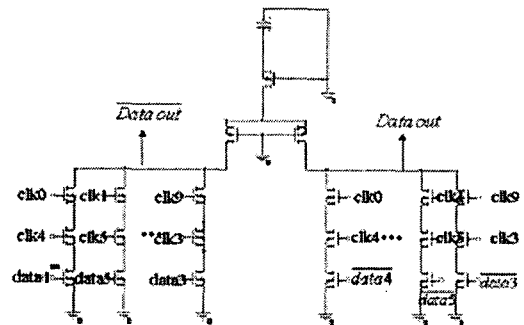


그림 10. Serializer schematic

그림 10은 병렬의 저속 데이터를 직렬 고속 데이터로 변환시켜주는 serializer의 회로도이다. PLL로부터 250 MHz 10개의 클럭을 받아들이어서 10 x 250 Mbps의 데이터를 2.5 Gbps의 신호로 변환을 하게 된다. serializer의 input은 각각 데이터 어레이의 형태를 띠며 각 어레이는 두 개의 클럭과 하나의 데이터 입력으로 구성되어있다. serializer에서 데이터를 읽을 때는 입력으로 들어가는 두 개의 클럭이 모두 high인 구간이다. 데이터 값을 정확히 읽어내기 위해서는 실제로 데이터 클럭 내 rising time과 falling time이 존재하기 때문에 두 클럭이 동시에 high인 구간에 위치하게 하는 것이 바람직하다. 예를 들어 첫 번째 입력 단을 살펴보면 250 MHz의 0.4 ns의 위상지연을 갖는 10개의 신호가 차례로 인가될 때 clk0와 clk4의 위상지연은 1.6 ns가 되고 공통 high인 부분은 0.4 ns의 구간이 된다. 이 구간은 data4의 중앙에 위치하도록 동기를 맞춰야 한다. 같은 원리로 clk1과 clk5의 공통 하이 구간은 clk0와 clk4의 공통 하이 구간과 0.4 ns의 시간 지연을 갖게 된다. 곧 0.4 ns마다 각각의 데이터가 전송되는 2.5 Gbps의 serializer 회로로 동작을 하게 된다. 하지만 이와 같은 구조는 데이터 어레이가 순차적으로 on, off가 됨에 따라 전하의 입, 방출에 따른 흔들림 현상이 심한 것을 알 수 있다. 이로 인한 데이터 손실을 줄이기 위해 데이터 어레이를 두 개의 NMOS 병렬구조로 변환하여 스윙 폭을 증가시키고 빠른 반응 속도를 보장하였다. 2 stack으로 변환 시 추가되는 nand gate와 not gate로 인한 데이터 시간지연을 고려하여 data4와 clk0의 1.6 ns의 시간 여분을 통해 nand gate의 입력으로 clk0와 data4를 갖게 하고 하단의 NMOS에 clk4를 인가했다. 그림 11은 변형된 serializer의 회로와 시뮬레이션 결과를 나타내고 있다.

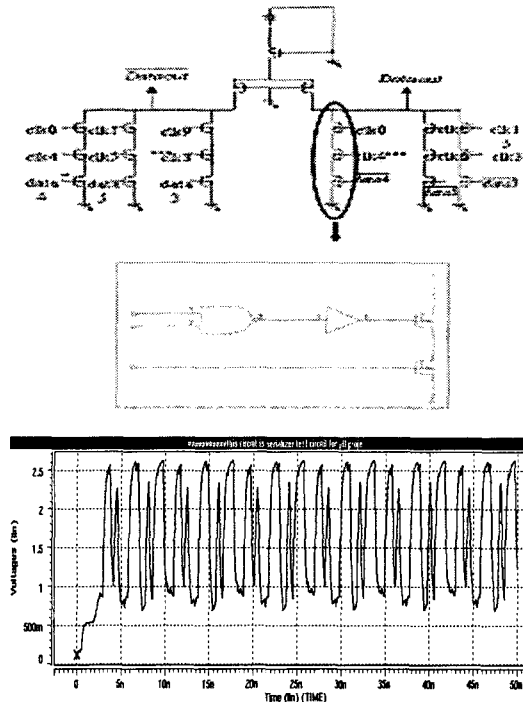


그림 11. 개선된 serializer 회로와 simulation 결과

4. Reference clock generator 설계

본 논문에서는 data를 통해 직접 PLL의 reference 클럭을 인가하는 클럭 생성기를 설계하였다. data로부터 직접 reference clock을 인가함으로써 data의 위상 정보를 통해 PLL의 클럭이 정확한 데이터 값을 읽어 낼 수 있는 위치를 갖는 장점이 있다. (만약 data edge에서 클럭이 발생 되면 정확한 값을 읽어내지 못하여 데이터 손실이 발생할 수 있다.) 그림 12는 클럭 생성기의 블록다이어그램이다. 자세한 동작을 살펴보면 10개의 250 Mbps NRZ 데이터를 odd order inverter로 구성된 시간 지연/위상 반전 클럭 생성기를 통해 원신호와 inverter delay만큼 시간 지연되고 위상이 반전된 신호를 발생시킬 수 있다. 이 신호를 10개의 exor 게이트를 사용하여 두 신호가 같을 때 논리 신호 '0'가 되는 edge detection signal을 생산할 수 있다. 이 때 신호의 주파수는 250 MHz가 된다. 5개의 NAND 게이트를 통해 조합된 10개의 신호를 반전시키고 생성된 신호를 3개의 입력을 가지는 NOR 게이트를 통해 반전

신호를 복원하는 과정을 지속적으로 거치면 그림 13과 같은 시뮬레이션 결과를 얻을 수 있다. 이때 듀티 사이클이 일정하지 않는데 이는 1/2디바이더를 통해 보정 가능하며 1/2디바이더를 통해 나온 클럭의 주파수는 곧 125 MHz가 된다. 시뮬레이션 결과는 NRZ 입력 데이터 신호 4개의 예를 보인 신호와 exor 게이트를 통해 데이터의 edge를 검출한 신호를 보여주고 있다. 마지막으로 듀티 싸이클을 보정 해 주기 위해 1/2디바이더를 통해 125 MHz의 reference 클럭을 생성한 신호를 보여주고 있다.

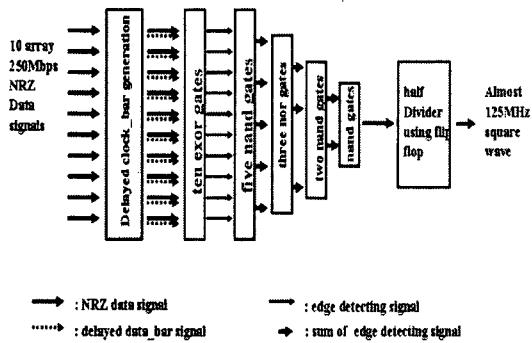


그림 12. Reference 클럭 생성기 블록도

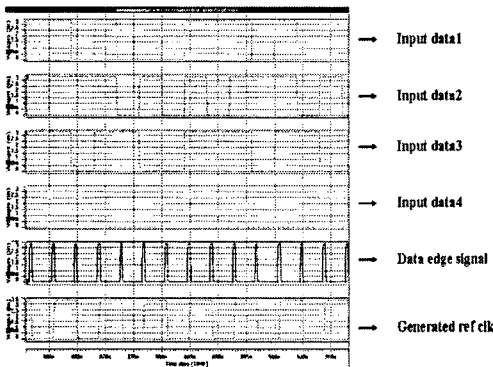


그림 13. Reference 클럭 생성기 simulation 출력 파형

클럭 생성기를 설계하였고 2 stack 방식의 serializer를 통해 데이터 손실을 방지함과 더불어 고속 데이터 변환을 하는 시뮬레이션 결과를 얻었다. 또한 위상 고정 루프의 빠른 locking time을 위해 dual 방식의 위상/주파수 검출기를 사용하였다. 실제로 serializer를 통한 고속의 2.5 Gbps 신호로 변환 시 package나 전송선로의 특성에 의해 고주파 감쇄효과를 보이기 때문에 추가적으로 신호의 edge에서 미리 증폭 시켜주는 pre-emphasis 회로를 구성해야 하며 송신기의 최종 출력 단에서 고풍력 전송을 위한 line driver 설계도 필요 할 것이다. 설계에 사용된 공정은 삼성 0.35 μm CMOS 공정을 이용하였으며 설계된 회로의 시뮬레이션은 Hspice tool을 사용하였다. 본 논문에서 설계된 광 송신기 회로는 현재 packaging 과정에 있으며 칩 제작 시 회로 구동 실험을 예정하고 있다.

[참고 문헌]

- [1] John. G Maneatis, "Low jitter process-independent DLL and PLL based on self-biased techniques", IEEE Journal of solid state circuits, vol. 31, no. 1, 1996
- [2] B. Razavi, "A 2-GHz 1.6mW phase-locked loops", IEEE Journal of solid states circuits, vol. 32, no. 5, pp. 730-735, 1997
- [3] D. H. Kim, J, K, Kang, "A 1Gbps clock and data recovery circuit with two-XOR phase-frequency detector", The 2nd IEEE asia pacific conference on ASICs, 2000

III. 결 론

본 논문에서는 데이터의 정확한 복원을 위해 데이터 자체의 위상 정보를 통한 reference

Biography



강형원

2005년 중앙대학교 전자전기공학
부 졸업
2005년 중앙대학교 대학원 전자전
기공학부 재학
2005년~현재 중앙대학교 전
자전기공학부 석사과정

<주관심분야> Optical interconnection, CMOS I
C design

<이메일> claustro-1@hanmail.net



김경민

2004년 중앙대학교 전자전기공학부
졸업
2004년 중앙대학교 대학원 전자전기
공학부 입학
2005년~현재 중앙대학교 전자
전기 공학부 석사과정

<주관심분야> PLL, CDR, Optical transceiver, Optic
al interconnection, A/D, D/A convertor

<이메일> rudals@wm.cau.ac.kr



최영완

1985년 서강대학교 전자공학과
졸업
1987년 비팔로 뉴욕주립대 대학
원 전기 및 컴퓨터공학과
(공학석사)
1992년 비팔로 뉴욕주립대 대학원
전기 및 컴퓨터공학과(공학
박사)

1993년 한국전자통신연구원(ETRI) 선임연구원

1995년~현재 중앙대학교 전자전기공학부 교수

<주관심분야> 광전자, 광통신, 광스위칭 시스템 및 소자,
Microwave-Photonics, Optical- CDMA

<이메일> wchoi@cau.ac.kr