

# 디지털CATV시스템에서 사용 가능한 이중모드 등화기의 모의실험 결과

\*이재호 \*\*권오형 \*\*\*이수인

\*한국전자통신연구원 디지털CATV시스템연구팀

jaeholee@etri.re.kr

The simulation results of a dual-mode equalizer applicable to  
Digital CATV system

\*Jae Ho Lee \*\*Kwon O Hyung \*\*\*Soo In Lee

ETRI Digital CATV System Research Team

## 요약

본 논문은 DOCSIS(Data Over Cable Service Interface Specifications)를 기반으로 하는 디지털 CATV(Cable TV)의 케이블 모뎀에서 적용이 가능한 이중모드 등화기의 모의실험 결과에 관한 내용이다.

케이블 모뎀의 등화기는 훈련심벌이 없으므로 수신된 심벌을 가지고 채널을 보상하며 처음에는 블라인드 모드로 동작하다가 특정한 임계값보다 작을 경우 결정 지향 모드로 동작하는 이중모드 구조를 가진다.

본 논문에서 AWGN과 rummler 채널을 사용하였으며, 64QAM과 256QAM에 대해 rummler 채널의 반사파 이득을 변화해 가면서 케이블 모뎀의 BER(Bit Error Rate)를 모의실험하였다. 또한 이중모드 등화기의 탭 수를 변화해 가면서 케이블 모뎀의 BER을 조사하였으며 fractionally spaced 이중모드 등화기와 symbol spaced 이중모드 등화기의 BER을 조사하였으며 FBF(Feedback Filter)의 유무에 따른 BER도 조사하였다.

## 1. 서론

미국 CableLabs에서 1997년에 시작한 DOCSIS는 HFC(Hybrid Fiber Coaxial)망을 이용하여 방송 및 디지털 데이터를 송수신할 목적으로 시작되었다. 현재 64QAM과 256QAM과 같은 대역폭 효율이 좋은 변복조 방식을 사용하여 수백Mbps의 속도를 지원하는 DOCSIS 3.0이 진행중이다.

본 논문에서는 케이블 모뎀에서 사용이 가능한 이중모드 등화기에 대해서 모의실험한 결과를 보여 준다. 본론에서는 모의실험한 케이블 모뎀의 각 블록에 대해 대략적인 설명을 하고 이중모드 등화기에 대해서 자세히 살펴본 다음 모의 실험한 결과를 살펴본다. 결론에서는 이러한 모의실험한 결과를 바탕으로 결론을 내린다.

## 2. 본론

그림 1은 이중모드 등화기의 성능을 모의실험하기 위해 사용된 케이블 모뎀의 블록도이다.[1]

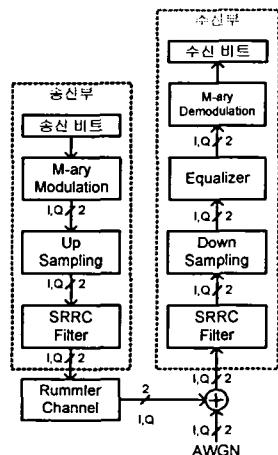


그림 1. 케이블 모뎀 블록도

그림 1에서 보면 송신부는 랜덤한 비트를 생성하는 송신비트 블록과 64QAM 혹은 256QAM으로 송신 심벌을 생성하는 M-ary modulation 블럭과 심벌 속도의 정수배로 올려주는 upsampling 블록과 pulse shaping filter인 SRRC(Square-Root Raised Cosine) filter 블록으로 구성된다.

또한 수신부는 정합 필터로 사용되는 SRRC필터와 심벌 속도 혹은 심벌 속도의 정수배로 내려주는 downsampling 블럭과 채널을 보상하는 equalizer 블럭과 수신된 심벌을 다시 비트로 변화해 주는 M-ary demodulation 블럭으로 구성된다.

여기서 AWGN(Additive White Guassian Noise)과 rummler 채널이 들어간다.

케이블 모뎀에서 사용된 각 블록의 변수들은 표 1과 같으며 표 1의 T는 심벌 주기이다.

블럭	변수 설명
M-ary (de)modulation	-심벌당 비트수 : 6(64QAM), 8(256QAM)
Upsampling	- 심벌속도의 4배
SRRC filter	- 길이 : -16T ~ 16T - roll-off factor : 0.2
Rummler	- Reflected arm delay(tau, sec) : 2e-7 - Reflected arm gain (b) : 0.1 - Null frequency (n_freq, Hz) : 4M
Downsampling	- 심벌속도의 4배

표 1. 각 블록의 변수

케이블 모뎀에서 사용된 각 블록에 대해 대략적인 살펴보면, 먼저 M-ary modulation 블록은 그림 2와 같다.

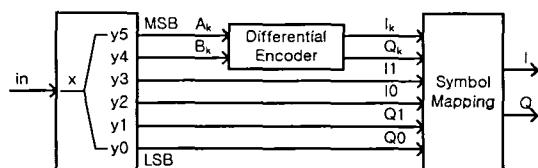


그림 2. M-ary modulation

64QAM의 경우 입력된 6비트 중 MSB 두 비트( $A_k, B_k$ )는 수식 1과 같이  $I_k, Q_k$ 가 된다.[1]

$$I_k = (\overline{A_k \oplus B_k}) \cdot (A_k \oplus I_{k-1}) + (A_k \oplus B_k) \cdot (A_k \oplus Q_{k-1}) \\ Q_k = (\overline{A_k \oplus B_k}) \cdot (B_k \oplus Q_{k-1}) + (A_k \oplus B_k) \cdot (B_k \oplus I_{k-1}) \quad \text{식 (1)}$$

이렇게 생성된  $I_k, Q_k$ 는 그림 3과 같이 4사분면의 한 사분면을 결정하고 나머지 LSB들은 한 사분면내의 한 심벌로 매핑된다.

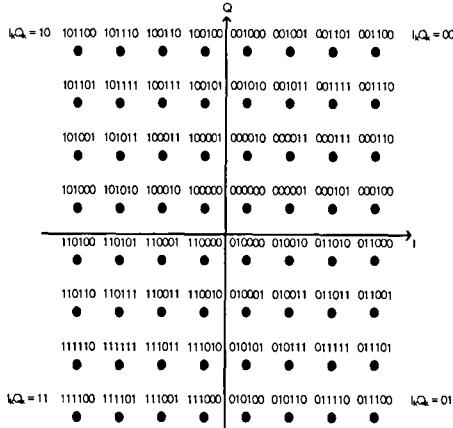


그림 3. 성상도

이렇게 매핑된 심벌은 SRRC필터의 속도에 맞게 심벌 속도의 4배로 upsampling이 된다.

SRRC 필터의 충격 응답을  $g(t)$ 라고 할 때  $g(t)$ 는 수식 2와 같다.[2]

$$g(t) = \frac{\sin\left[-\frac{\pi t}{T}(1-\alpha)\right] + \frac{4\alpha t}{T} \cos\left[\frac{\pi t}{T}(1+\alpha)\right]}{\frac{\pi t}{T}\left[1 - \left(\frac{4\alpha t}{T}\right)^2\right]} \quad \text{식 (2)}$$

Rummler 채널은 그림 4와 같이 모델링하였다.[3][4]

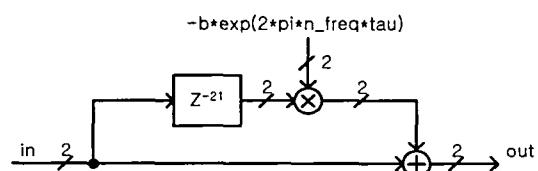


그림 4. Rummler 채널

그림 4에서 보면 rummler 채널은 원 신호와 어떤 이득을 갖는 반사파와의 합으로 표시됨을 알 수 있다. 그림 4에서 사용된 변수들은 표 1과 같은 값을 사용하였다.

본 모의실험에서 사용된 등화기의 구조는 그림 5와 같다.[5][6][7]

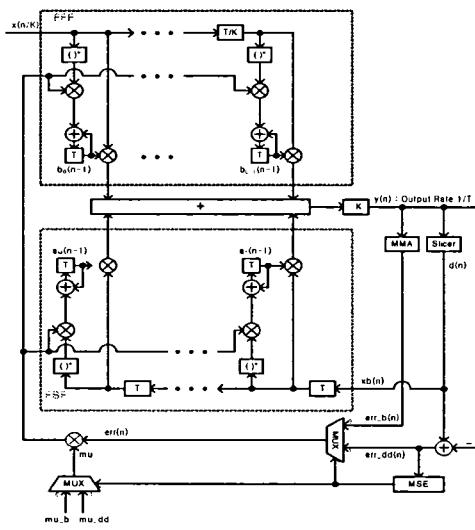


그림 5. 등화기 구조

그림 5에서 보면 등화기는 FFF(FeedForward Filter)와 FBF(FeedBack Filter)로 구성되는 결정궤환 등화기(DFE : Decision Feedback Equalizer)이다. 또한 T는 심벌 주기를 나타내며 K는 oversampling 수를 나타낸다. 즉, K가 2이면 심볼 속도의 2배로  $x(n/K)$ 가 등화기에 입력되고 K가 1이면 심벌 속도로  $x(n/K)$ 가 등화기에 입력되고 출력( $y(n)$ )은 식 3과 같다.

$$y(n) = \sum_{i=0}^{L-1} b_i x(n/K-i) + \sum_{j=1}^M a_j x(n-1-j) \quad \text{식 (3)}$$

식 3에서  $b_i$ 는 FFF의 텁 계수이고  $a_i$ 는 FBF의 텁 계수이고 L은 FFF의 텁 수이고 M은 FBF의 텁 수이다. 등화기는 MSE(Mean Square Error)값에 의해 블라인드 모드와 결정지향(Decision-Directed) 모드로 동작한다.[6]

블라인드 모드에서 사용되는 블라인드 알고리즘은 MMA(Multi-Modulus Algorithm)은 그림 6하고 식 4와 같다.[7]

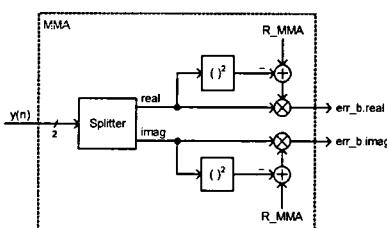


그림 6. MMA 구조

$$\begin{aligned} err\_b(n) = & \text{real}(y(n)) \times (R\_MMA^2 - |\text{real}(y(n))|^2) \\ & + j * \text{imag}(y(n)) \times (R\_MMA^2 - |\text{imag}(y(n))|^2) \end{aligned} \quad \text{식 (4)}$$

그림 6에서 보면 입력( $y(n)$ )은 실수부와 허수부로 나눠진 다음 식 4와 같은 수식에 의해 에러 값( $err\_b(n)$ )이 된다.

결정지향 모드일 때 에러 값( $err\_dd(n)$ )은 식 5와 같다.

$$err\_dd(n) = d(n) - y(n) \quad \text{식 (5)}$$

이렇게 얻어진 에러 값을 이용하여 LMS(Least Mean Square)알고리즘에 의해 FFF와 FBF의 텁 계수가 갱신되며 식 6과 같다.

$$\begin{aligned} b_i[n] &= b_i[n-1] + \mu \times err[n] \times x[n-1] \quad i=0, \dots, 11 \\ a_j[n] &= a_j[n-1] + \mu \times err[n] \times x[n-1] \quad j=1, \dots, 6 \end{aligned} \quad \text{식 (6)}$$

이중모드 등화기에서 K가 1이고, FFF의 텁 수는 12텝을 사용하였으며 FBF는 6텝을 사용하여 여러 가지 조건을 바탕으로 이중모드 등화기에 대한 성능을 모의실험하였다.

첫 번째로 rummler 채널의 반사파 이득(b)의 변화에 따른 등화기의 BER을 조사하여 그림 8과 같은 성능을 얻었다.

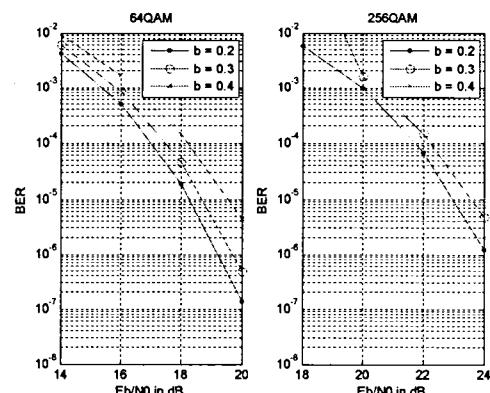


그림 7. 반사파 이득에 따른 BER

그림 7에서 보면 전체적으로 b가 0.2에서 0.4로 증가할 때 BER성이 떨어짐을 알 수 있다. 특히 256QAM의 경우 b가 0.4일 때 이중모드 등화기가 수렴하지 않았다. 표 2는 같은 조건에서 64QAM과 256QAM에서 이중모드 등화기가 수렴하는데 필요한 심벌 수를 나타낸다.

64QAM			
Eb/N0(dB)	심벌 수 (b=0.2)	심벌 수 (b=0.3)	심벌 수 (b=0.4)
16	23296	25872	33684
18	22453	24498	29574
20	22155	24156	28338
256QAM			
Eb/N0(dB)	심벌 수 (b=0.2)	심벌 수 (b=0.3)	심벌 수 (b=0.4)
20	29499	42704	-
22	28127	38989	-
24	27652	37859	-

표 2. 수령 시간

두 번째로 rummler 채널에서 FFF의 텁 수에 따른 이중모드 등화기의 BER을 조사하여 그림 8와 같은 성능을 얻었다.

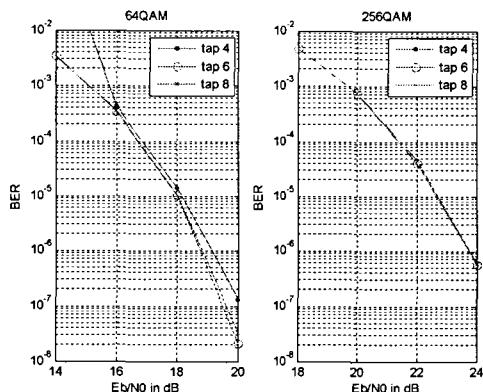


그림 8. 텁 수에 따른 BER

그림 8에서 보면 rummler 채널에서 256QAM의 경우는 최소한 4템 이상을 사용해야 함을 알 수 있다.

세 번째는 rummler 채널에서 FBF의 유무에 따른 BER을 조사하여 그림 10과 같은 성능을 얻었다.

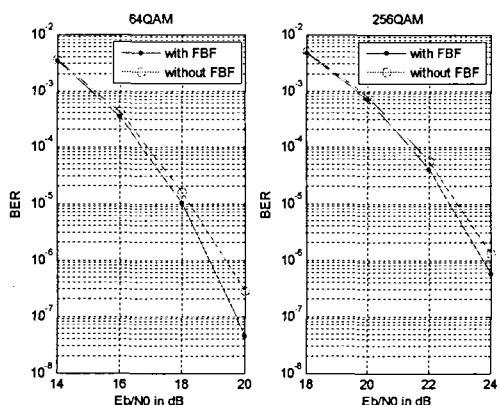


그림 9. FBF의 유무에 따른 BER

그리고 rummler 채널의 경우 fractionally spaced와

symbol spaced 이중모드 등화기의 BER은 서로 같음을 확인하였다. 이는 타이밍 에러가 있을 경우 성능 차이를 보일 것으로 판단된다.

### 3. 결론

본 논문에서는 DOCSIS 표준을 기반으로 하는 케이블 모뎀에서 사용 가능한 듀얼모드 등화기에 대해 모의실험을 하였다.

이중모드 등화기는 FBF와 FBF를 갖는 결정궤환 등화기이며 MSE값에 따라 블라인드 모드와 결정 지향 모드로 동작하는 이중모드 구조를 가진다.

Rummler 채널에서 반사파 이득에 대한 BER과 FFF의 텁 수에 따른 BER 그리고 FBF의 유무에 따른 BER과 그리고 fractionally spaced와 symbol spaced 이중모드 등화기의 BER을 각각 64QAM과 256QAM에 대해 조사하였다. 추후 타이밍 에러가 있을 때 이중모드 등화기의 성능에 대해서도 모의실험을 진행할 예정이다.

본 논문에서 모의실험한 결과를 토대로 케이블 모뎀의 등화기 설계에 대해 참고자료로 활용이 가능할 것으로 판단된다.

### 참고문헌

- [1] ITU-T Recommendation J.83, 1997.04
- [2] DAVIC 1.2 Specification Part 08, 1997
- [3] SPW(Signal Processing Worksysterm)의 DCATV Liberary
- [4] "Multipath Fading Channel Models for Microwave Digital Radio", IEEE Communications Magazine, November 1986, Vol.24, No. 11
- [5] "An Adaptive Decision Feedback Equalizer", IEEE Trans. Communication Technology, Vol. COM-19, No. 3, June 1971, pp281-293
- [6] "A DFE equalizer ASIC chip using the MMA algorithm", Proc. IEEE International ASIC/SOC Conf., 2000 Sep., pp. 70-74
- [7] "The Multimodulus Blind Equalization and Its Generalized Algorithms", IEEE Journal on Selected Areas in Communications, Vol. 20, No. 5, June 2002, pp997-1015