

유지 기능을 가지는 위상고정 루프를 이용한 40 Gb/s 클락 복원 모듈 설계 및 구현

박 현^{*}, 우 동 식, 김 진 중^{*}, 임 상 규^{**}, 김 강 욱
경북대학교 전자전기컴퓨터학부, ^{*}세트렉아이, ^{**}한국전자통신연구원
E-mail: kang_kim@ee.knu.ac.kr

Design and Implementation of 40 Gb/s Clock Recovery Module Using a Phase-Locked Loop with hold function

Hyun Park, Dong Sik Woo, Jin Joog Kim^{*}, Sang Kyu Lim^{**}, Kang Wook Kim
School of Electrical Engineering and Computer Science, Kyungpook National University
^{*}Satreci, ^{**}Electronics and Telecommunications Research Institute(ETRI)

Abstract

A low-cost, high-performance 40 Gb/s clock recovery module using a phase-locked loop(PLL) for a 40 Gb/s optical receiver has been designed and implemented. It consists of a clock recovery circuit, a RF mixer and frequency discriminator for phase/frequency detection, a DR-VCO, a phase shifter, and a hold circuit. The recovered 40 GHz clock is synchronized with a stable 10 GHz DR-VCO. The clock stability and jitter characteristics of the implemented PLL-based clock recovery module has shown to significantly improve the performance of the conventional open-loop type clock recovery module with DR filter. The measured peak-to-peak RMS jitter is about 230 fs. When input signal is dropped, the 40 GHz clock is generated continuously by hold circuit. The implemented clock recovery module can be used as a low-cost and high-performance receiver module for 40 Gb/s commercial optical network.

Key words : Clock and Data Recovery(CDR), 40 Gb/s, Phase-Locked Loop(PLL), Hold circuit

I. 서론

최근 파장분할 다중화(WDM: Wavelength Division Multiplex) 기술의 성장으로 광 전송망의 고속화, 광역화가 활발하게 이루어지고 있다. 이에 따라 광 시스템은 이러한 많은 양의 데이터를 송수신할 수 있는 고속, 광대역 특성이 요구된다. 2.5 Gb/s와 10 Gb/s 신호를 사용하는 시스템은 현재 광 전송망에 광범위하게 사용되고 있고, 최근 광대역 데이터 전송의 필요가 증가함에 따라 40 Gb/s 광전송 시스템의 수요가 증가하고 있다.

클락 데이터 복원기(CDR-Clock and Data Recovery)는 광수신 시스템의 클락과 데이터를 복원

하는 핵심 소자이다. 클락 복원기(CRC-Clock Recovery Circuit)는 수신된 신호로부터 클락을 복원해 내는 기능을 가지며, 주로 고속 디지털 회로(EX-OR 혹은 F/F)로 구현된다. CRC를 거쳐 복원된 클락은 높은 안정성(stability)과 낮은 지터(jitter) 특성을 가져야 한다^[1].

본 논문에서는 상용 MMIC와 패키징된 소자들을 사용하여 위상고정 루프를 이용한 40 Gb/s 클락 복원 모듈을 설계·제작하였다. 제작된 클락 복원 모듈은 고가의 고속 디지털 블록들을 대체하였고, 추출된 40 GHz 클락을 체배된($\times 4$) 10 GHz 전압제어 유전체 공진 발진기(DR-VCO)에 위상이 동기 되도록 하였다. 위상 동기 루프(PLL: Phase Locked Loop)를 이 용함으로써 기존의 협대역 유전체 공진 필터를 사용

한 개방형 시스템에 비해 안정적인 클락과 낮은 지터 특성을 갖는 클락 복원 모듈을 구성하였다.^{[2][3]} 또한 입력 신호가 끊어질 경우, 연속적인 클락 재생을 위해 유지회로를 추가하여 성능을 향상시켰다.

II. 40 Gb/s 클락-데이터 복원 모듈 설계 및 제작

클락-데이터 복원기(CDR: Clock and Data Recovery)는 광 검출기로 수신된 전기적 신호로부터 클락을 추출하고 추출된 클락으로부터 데이터를 재생하는 회로이다. 그림 1은 일반적으로 광수신 모듈에 사용되는 개방형 구조의 클락-데이터 복원기의 블록도이다. 40 Gb/s NRZ (Non Return to Zero) 입력 신호는 EX-OR을 통해 클락이 추출되고, 증폭기와 DR(Dielectric Resonator) 필터를 이용하여 원치 않는 주파수의 신호를 제거하고 증폭한 후 위상을 변환하여 클락으로 사용한다. 복원된 클락은 결정회로의 클락으로 사용되어 데이터를 재생하게 된다. 이때 클락과 데이터 추출부에는 고가의 고속 디지털 모듈이 사용되고, 블록들의 결합으로 이루어져 크기 또한 큰 단점이 있다. 반면 그림 2는 위상고정 루프를 이용한 클락-데이터 복원기의 블록도이다.

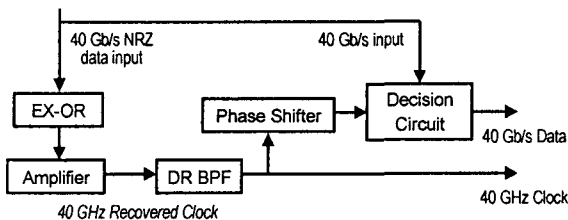


그림 1. 일반적인 개방형 CDR의 블록도

본 논문에서 제안한 이 구조는 클락 복원기와 위상 고정 루프, 위상변환기, 유지회로등을 단일 모듈에 집적화 하여 크기를 줄였고, 상용 패키지 칩으로 설계하여 가격도 저렴하다. 또한 복원된 40 GHz 클락을 안정적인 10 GHz DR-VCO에 동기시켜 클락을 사용함으로써 안정성을 높이고, 지터 특성을 크게 개선한 구조이다.^{[2][3]}

2.1 클락 복원기(Clock Recovery)

클락 복원기는 전치 증폭기, 비선형 회로(non-linear circuit), 대역통과 필터 및 클락 증폭기로 구성된다.^{[3][4]} 포토다이오드(Photo-diode)를 통해 변환된 전기 신호는 비선형 회로를 구동시키기에 너무 작으므로 전치 증폭기를 사용한다. 전치 증폭기는 20 GHz의 성분을 주로 가진 40 Gb/s의 신호를 증폭시켜서 비선형 회로에 공급하는 기능을 가진다. 비선형 회로는 두개의 쇼트키 다이오드와 90° 하이브리드로 구성되며, 전파 정류기(full-wave rectifier)의 역할로서 40 Gb/s NRZ 신호로부터 40 GHz의 클락 성분을 추출한다. 불요 주파수를 제거하기 위하여 사용된 40 GHz 대역 통과 필터는 탭 선로 여파기(tapped-line filter)^[5] 형태로 설계하여 필터의 첫째 단과 마지막 섹션을 넓혀 제작하기에 용이하게 하였다. 제작된 필터는 중심 주파수가 40 GHz이고 대역폭이 약 3 GHz이며, 3.7 dB의 삽입 손실과 10 dB 이하의 반사손실을 가졌다. 그리고 충분한 전력을 위상고정 루프와 결정회로에 공급하기 위하여 40 GHz에서 19 dB의 이득을 갖는 MMIC 증폭기 두개를 클락 증폭기로 사용하였다.

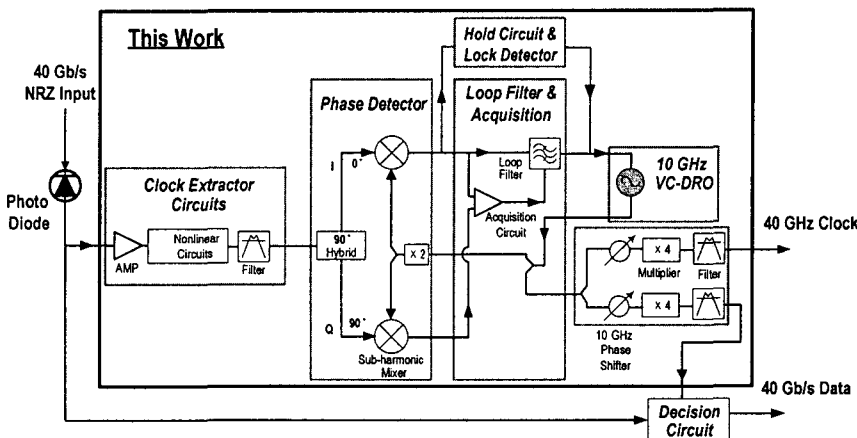


그림 2. 제안된 위상고정 루프형 CDR의 블록도

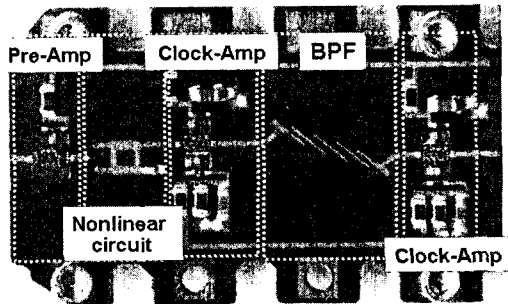
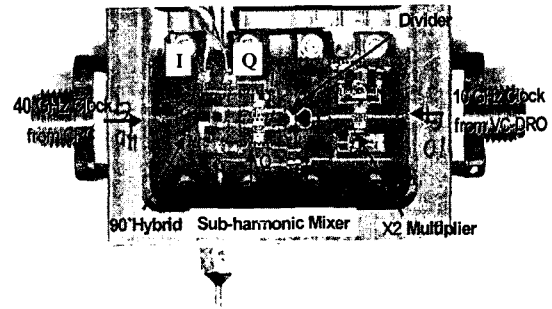


그림 3. 제작된 40 GHz 클락 복원기

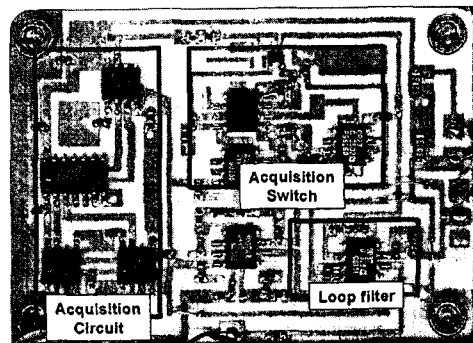
그림 3은 제작된 40 GHz 클락 복원기이다. 사용한 기판은 유전율이 2.2이고 두께가 5 mil인 Rogers사의 RT/Duroid 5880[®]이며, 회로는 LPKF C-60 밀링 머신으로 직접 제작을 하였다. 제작된 크기는 1.2 × 0.7 inch 이며, 0 dBm의 40 Gb/s NRZ신호의 입력에 대해 -2 dBm의 40 GHz 클락 신호를 얻었다.

2.2 위상고정 루프(Phase-Locked Loop)

복원된 클락을 안정화 시키고, 지터 특성을 개선하기 위하여 위상고정 루프를 사용하였다. 그림 4(a)는 위상비교기(phase detector) 역할을 하는 RF 믹서 회로이다. 복원된 40 GHz 클락은 90° 하이브리드를 통해 90° 위상차를 가지는 신호로 나누어져 두개의 서브하모닉 믹서(Sub-harmonic mixer)로 각각 입력된다. 입력된 신호는 안정적인 20 GHz 신호와 믹싱되어 I와 Q의 두 채널로 나누어진 IF신호를 각각 출력하게 된다. 그림 4(b)는 제작된 주파수 비교기이며 입력되는 40 GHz 클락과 20 GHz 신호를 동기시키는 주파수 비교기(frequency detector)의 기능을 가진다. VCO의 주파수 가변범위는 위상비교기의 동기범위보다 넓어서, VCO가 위상비교기의 동기범위를 벗어난 곳에서 발진하는 경우가 발생한다. 이 경우 VCO의 출력 주파수를 위상비교기의 동기범위까지 이끌어 주는 acquisition 회로가 필요하다. Acquisition 회로는 I/Q신호간의 위상차를 D-F/F로 구분하여 제작하였다^[4]. 위상 및 주파수 비교기 출력은 완전한 DC가 아닌 고주파 리플 성분을 포함하고 있다. 이 전압을 그대로 발진기 제어 전압으로 사용할 경우 잡음 변조에 의하여 위상 잡음이 저하된다. 루프 필터는 이러한 고조파 성분을 제거하고 동기 유지 범위 및 과도응답 특성을 결정하는 소자이다.



(a) RF 믹서 (위상비교기)



(b) 주파수 비교기

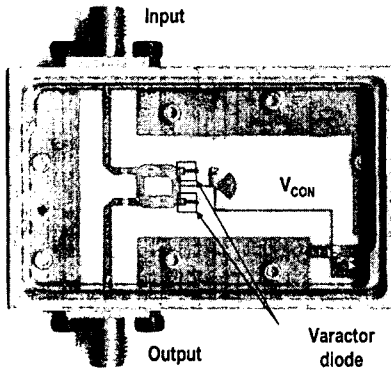
그림 4. RF 믹서 및 주파수 비교기

설계한 루프 필터는 그림 4(b)의 주파수 비교기에 포함되어 있다. 위상비교기 이득은 9.4 mV 이고, 발진기의 이득은 약 0.7 MHz/V 이며, ζ(damping ratio)가 0.7인 능동형 2차 루프 필터를 설계하여 R과 C값을 얻어 구현하였다.

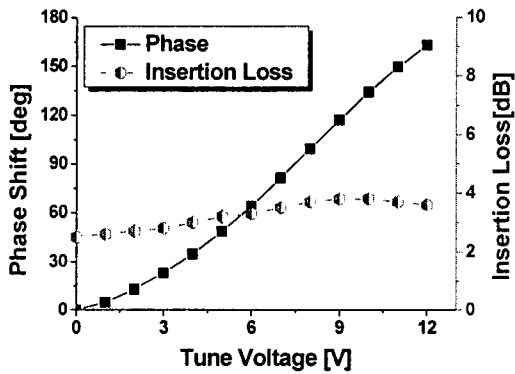
2.3 10 GHz DR-VCO 및 위상변환기

복원된 클락을 동기화 하는데 필요한 안정한 클락은 10 GHz DR-VCO와 체배기를 통해 얻었다. 제작된 발진기는 발진 주파수 9.953 GHz에서 +11 dBm의 출력과 0~9 V 가변전압 변화시 약 6.7 MHz 정도 주파수의 가변 범위를 가졌다. 위상잡음 특성은 10 kHz 오프셋에서 -92 dBc/Hz이고 100 kHz 오프셋 주파수에서 -117 dBc/Hz이었다. 위상변환기(phase shifter)는 정확한 데이터의 복원을 위해 클락의 위상을 변화시키는 회로이다. 40 GHz에서 아날로그 형태로 360°가 변화하는 위상변환기가 필요하므로 10 GHz에서 90°만큼 변화하는 위상변환기를 설계한 다음 주파수 체배기(×4)를 이용하여 구현하였다. 0에서 12V의 가변전압 범위내에서 삽입손실은 4 dB이하이며, 위상변화량은 10 GHz에서는 13°/V, 체배기를 통

과한 후의 40 GHz에서는 $52^\circ/V$ 의 변화값을 각각 얻었다. 그림 5는 제작된 10 GHz 위상변환기와 위상 변화 그래프를 나타내었다^[6].



(a) 제작된 위상변환기의 사진



(b) 측정 결과

그림 5. 제작된 10 GHz 위상변환기

2.4 유지회로 (Hold Circuit)

입력신호의 부재 시 연속적인 클락 재생을 위하여 유지회로를 제작하였다. 유지회로는 DR-VCO의 제어 전압을 모니터링하여 기억하고 있다가 신호의 입력이 끊어질 경우 모니터링 하던 전압을 VCO에 인가하여 연속적인 클락을 재생하도록 하였다. DR-VCO의 제어전압은 12bit A/D컨버터에 의해 디지털 데이터로 변화되고 D/A컨버터에 의해 복원된다. 신호의 부재 시 D/A컨버터의 LATCH 단자에 신호를 인가하여 클락을 유지한다. 인가하는 신호는 위상비교기의 출력 IF 신호를 전파 정류하여 얻는다.

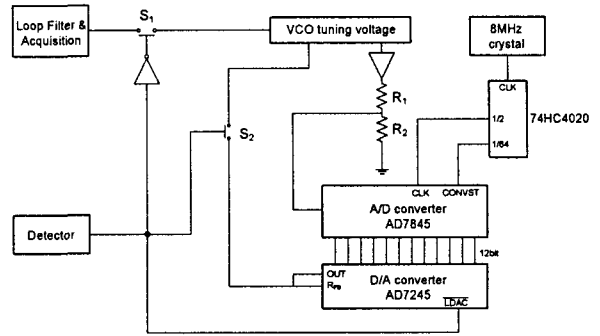


그림 6. 유지회로의 회로도

III. 40 Gb/s 클락 복원 모듈 제작

제작한 클락 복원기와 RF믹서, 주파수 비교기, 유지회로, DR-VCO, 위상변환기와 주파수 체배기, 증폭기 및 전원부를 각각 제작하여 하나의 모듈에 집적하였다. 전체 모듈의 크기는 10×10 cm 정도로 소형다. 그림 7은 위상고정 루프를 이용하여 구현한 40 Gb/s 클락 복원회로의 모듈의 실물 사진이다. 복원된 클락 신호는 10 GHz DR-VCO 신호와 동기되었다. 루프 대역폭 내에서는 위상동기 회로는 개방형 클락 복원 회로에서의 DR 필터와 같은 협대역 필터의 기능을 가진다. 클락 복원의 범위는 38.813 GHz를 중심으로 10 GHz DR-VCO의 가변 주파수의 4배에 해당하는 30 MHz 정도이다. 그림 8은 복원된 클락의 시간축 파형이다. 클락 복원기만의 출력 신호와 DR 필터를 추가한 개방형의 경우에 비해서 위상고정 루프를 이용할 경우 현격한 지터 특성의 향상을 확인할 수 있다.

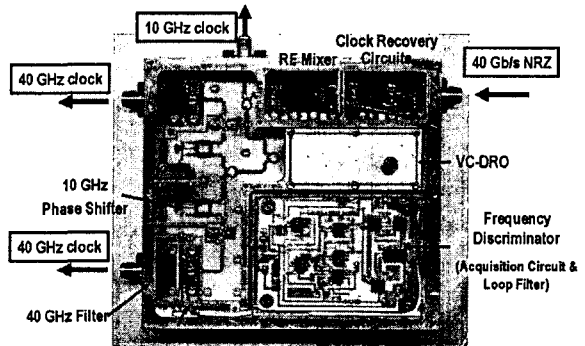


그림 7. 제작된 40 Gb/s PLL 클락 복원 모듈

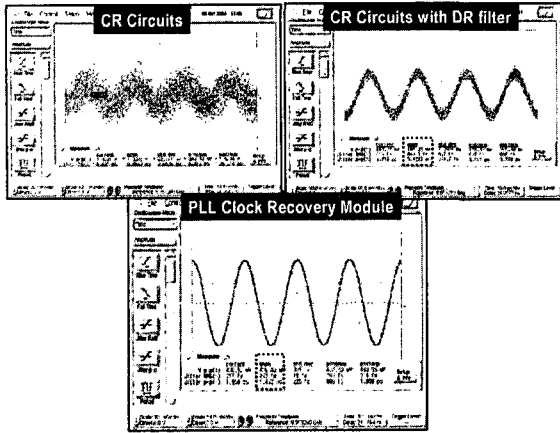


그림 8. 제작된 40 Gb/s 클락 복원 모듈의 출력 파형

측정된 지터 값은 DR 필터를 이용하였을 경우 약 640 fs 이었으며 위상고정 루프를 이용할 경우는 RMS 지터가 약 230 fs로서 크게 개선되었다. 또한 약 30분간의 BER 테스트 결과 전송의 에러가 없음을 확인하였다.

IV. 결 론

본 논문에서는 저가이면서 고성능의 클락 유지기능을 가지는 새로운 형태의 클락 복원회로를 구현하였다. 기존의 개방형 구조를 개선하여 위상고정 루프를 이용하였고, 상용 MMIC와 패기지된 소자를 이용하여 고가의 고속 디지털 플립-플롭의 기능을 대신하는 클락 복원기를 제작하여 가격과 크기를 줄였다. 40 Gb/s 신호로부터 추출된 클락 신호는 체배된 10 GHz DR-VCO 신호와 동기되어 안정적인 40 GHz 클락 신호를 얻을 수 있었으며, 측정결과 기존의 DR 필터를 이용한 개방형 구조에 비해 지터의 특성이 두드러지게 개선됨을 확인하였다. 또한 유지회로를 이용하여 입력신호의 유무를 판별하여, 신호의 부재 시에도 클락이 재생되도록 하였다. 제작된 클락 복원기는 40 Gb/s의 저가의 상용 광전송망 구성에 사용될 수 있을 것이다.

Acknowledgement

본 연구는 한국전자통신 연구원(0601-2004-0009) 지원으로 수행되었음.

참 고 문 헌

- [1] Jae Ho Song, Tea Whan Yoo, Jeong Hoon Ko, Chang Soo Park and Jae Keun Kim, "Design and Characterization of a 10 Gb/s Clock and Data Recovery Circuit Implemented with Phase-Locked Loop", *ETRI Journal*, vol. 21, no. 3, Sep. 1999.
- [2] Samo Vehovc , "Clock Recovery At Gigabit-per-second Data rates", *Microwave Journal*, July 2000
- [3] Matjaz Vidmar, "K-band quadrature mixer with plastic-packaged diodes", *Microwave Journal*, January, 2000
- [4] Robert R. Cordell, B. Forney, Charles N. Dunn, William G. Garrentt, " A 50 MHz Phase-and-Frequency-Locked Loop", *IEEE Journal of solid-state circuits*, Vol. SC-14, NO.6, Dec 1979
- [5] John I. Upshur, Bernard D. Geller : "Low-loss 360° X-band analogue phase shifter". *IEEE Int. Microw. Symp.*, Dallas, TX, USA, pp. 487-490, May 1990
- [6] Kang Wook Kim, *et al.*, "A New Design Procedure Tapped Coupled-Line Filter," *IEEE AP-s*, vol. 3, June, 2004.

M E M O