

위성 DMB 중계기의 동기용 클럭 재생 모듈 설계 및 제작

⁰장래규, 박언희, 이행수, 홍성용

충남대학교 전자공학과

lkchang7@yahoo.co.kr

Design and Fabrication of Synchronous Clock Recovery Module for S-DMB Gap Filler.

⁰Lae-Kyu Chang, Eun-Hee Park, Hang-Soo Lee, Sung-Yong Hong, Jung-Seo Park*

Dept. of Radio Science & Engineering, Chungnam National University, *SIGNAL TECH.

Abstract

This paper describes the design and fabrication of synchronous clock recovery module for S-DMB Gap Filler. Using the 2.304MHz TTL signal from gap filler tuner, clock recovery module with 10MHz output frequency including holdover function is designed. The measured performance of the clock recovery module shows a stability of less than 0.01ppm, 29 sec stability time, 10 sec holdover time, and maximum -113dBc/Hz@100Hz phase noise.

Key words : S-DMB, Gap Filler, Clock Recovery module, Holdover, PLL

I. 서론

일반적으로 PLL에서 사용하는 기준 신호는 주파수 품질 및 지터 등의 파형에 대한 품질이 매우 높은 것을 사용한다. 그러나 현재 Gap Filler에서 기준 신호로 공급 되고 있는 2.304MHz 구형파 신호는 주파수 안정도는 매우 높지만(10^{-9}), 10 ~ 12 nS의 심한 지터를 가지고 있다. 또한 길게는 수십 일 짧게는 약 4sec 이내의 불규칙한 주기로 기준 신호의 주파수가 약 0.5sec동안 ± 20 kHz 정도 변동하거나 신호가 끊기는 문제점이 있다. 본 논문에서는 이러한 상황에서 2.304MHz 기준신호를 이용하여 10MHz의 안정된 기준 클럭 신호를 재생하고자 한다. 여기에서 재생된 10MHz는 시스템에서 디지털 파트에서 CPU 및 FPGA의 기준 신호로 사용될 뿐만 아니라, RF 파트의 PLL을 구동하는 기준신호로 사용된다. 이를 위해 기본적으로 PLL 방식을 사용하였는데, 전압제어발진기는 고가의 OCXO 대신 저가의 VC-TCXO를 적용하였고, 루프

필터의 대역을 가능한 좁게하여 반응시간을 느리게 하여 2.304MHz의 신호가 심하게 변동할 때와 신호가 끊겼을 때 루프 필터가 갖고 있는 에너지 만으로 VC-TCXO의 제어전압을 유지하게 하였다. 따라서 기준 신호인 2.304MHz가 수십 kHz 변동하여도 Hold Over 적용 시간 동안은 0.01ppm이내에서 안정되고 연속적인 주파수를 계속 발생할 수 있게 된다. 기준신호인 0.5sec 동안 변동 후에 다시 안정을 되찾으면 발생되고 있는 10MHz와 2.304MHz의 위상이 일치하는 시점에서 클럭 재생 모듈의 루프 필터에 적용되는 기준 신호를 다시 연결하여 기준 신호가 변동하여도 항상 안정된 10MHz를 얻을 수 있게 하였다.

II. 클럭 재생 IC의 설계

1. 클럭 재생 모듈의 구성

클럭재생 모듈은 그림 1과 같이 클럭 재생 IC(CPLD), 펄스 비교용 스위치, 루프 필터 스위치, 루프 필터, 버퍼, VC-TCXO로 구성된다.

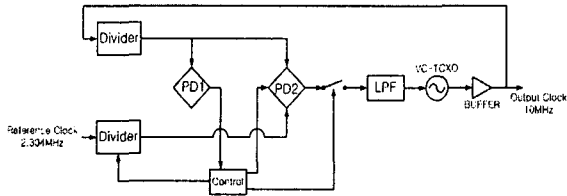


그림 1. 클럭 재생 모듈 구성도

클럭 재생 IC에서는 위상 비교를 위해 기준신호와 발진기 출력을 같은 주기의 펄스인 16kHz로 만들어서 출력한다. 출력된 신호는 위상비교기(PD2)를 통해 비교된 펄스를 출력하고, 출력된 신호는 스위치로 입력된다. 스위치는 기준신호가 변동하거나 입력되지 않을 때는 위상비교기 출력과 루프 필터를 끊어준다. 스위치에서 출력된 신호는 루프 필터를 거쳐서 VC-TCXO를 제어할 수 있는 전압으로 바뀌고, 이 제어전압은 VC-TCXO를 제어한다. 이 과정을 반복하여 발진기 출력신호의 위상이 기준신호와 같도록 만든다. 클럭 재생 모듈이 안정된 후 기준신호의 변동 또는 끊겼을 때 PD1은 고속으로 변동된 신호를 검출하여 제어회로에 알려 즉시 스위치를 차단한다. 이때 루프필터의 캐패시터에 충전된 전압으로 VC-TCXO 전압제어 단자의 전압을 유지하며, 약 0.5sec 후에 기준 신호인 2.304MHz가 안정되면 제어회로는 2.304MHz의 Divider를 초기화하고 1sec 후에 10MHz의 Divider 출력신호가 변동하는 순간(위상이 10MHz와 2.304MHz가 일치하는 순간) PD2와 스위치의 기능을 정상화 시킨다. 그 결과 PD2의 위상검출 결과는 거의 0에 가깝게 되므로 클럭 재생 모듈은 크게 변동이 일어나지 않고 안정된 10MHz의 신호를 계속 유지하게 된다. 만약 미세한 변동이 발생하면, 클럭 재생 모듈의 PLL 기능이 동작하여 정확한 Lock 과정을 거쳐 안정된 10MHz를 발생하게 된다.

2. 클럭 재생 IC의 설계

그림 1에 나타난 클럭 재생 IC는 R카운터, N카운터, R카운터와 N카운터의 위상을 비교하기 위한 위상비교기와, Lock을 확인하고 스위치를 On/Off하기 위한 제어부분으로 구성이 된다. 그림 2에 구

현된 클럭 재생 IC의 블록도를 나타내었다.

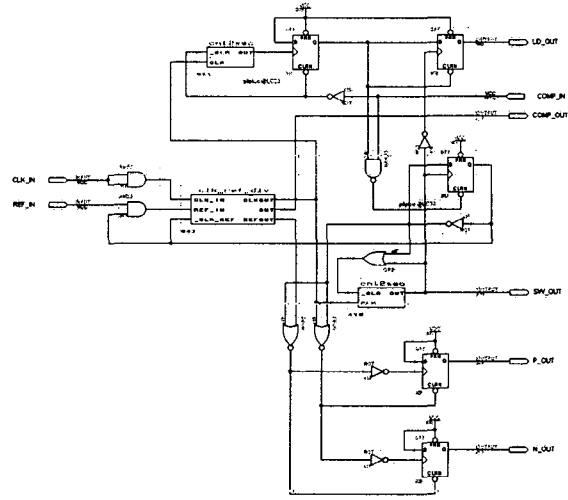


그림 2. 클럭 재생 IC의 블록도

입력되는 기준 신호와 발진기 출력신호를 비교할 수 있도록 같은 주기(16kHz)의 신호로 나누기 위해 T-플립플롭을 구성하여 분주를 하고 두 신호의 위상을 비교하기 위해 X-OR게이트를 사용하였다. 기준신호를 분주한 신호와 발진기 출력신호는 클럭 재생 IC 외부로 출력되어 외부 비교기에서 사용될 수 있도록 설계를 하였다. 클럭 재생 IC 내부에서 비교된 신호는 외부로 출력되어 적분기를 통과하여 다시 클럭 재생 IC로 입력되게 한다. 입력된 신호는 스위치를 제어하고, Lock Detect로 출력된다. 또한 클럭 주파수가 안정도 밖으로 벗어나거나 끊어졌는지를 인지해서 외부의 루프필터 입력을 끊어 주기 위해, 클럭 입력 단자의 스위치를 제어할 수 있도록 설계하였다.

3. 위상 비교기 및 스위치 설계

위상비교기 및 스위치를 그림 3의 구조로 설계하였다. 클럭 재생 IC에서 출력되는 두 개의 카운터로 각각 분주된 펄스는 전압 펄스이기 때문에 전류 펄스로 변환하기 위해 아날로그 스위치를 이용해 비교를 하고 비교된 펄스가 루프필터로 입력되도록 하였다. 또한, 기준 신호가 인가되지 않았을 때 루프필터 입력을 끊어 주기 위해 스위치를 사용하였다.

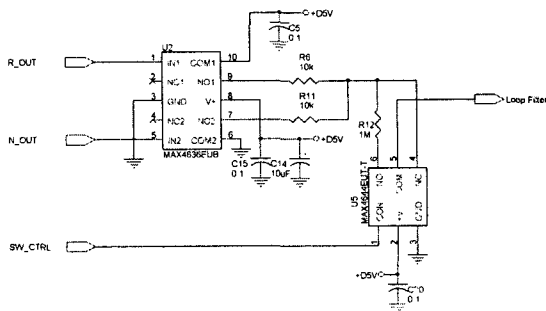


그림 3. 위상 비교 및 펄스 출력 컨트롤부

4. 루프 필터의 설계

그림 4에 루프 필터의 회로를 나타내었다.

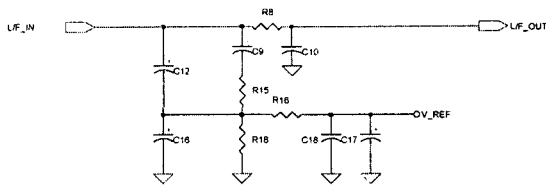


그림 4. 루프 필터 설계 회로

펄스 형태로 나타나는 위상 비교 신호를 일정한 정전압 신호로 바꾸어 주어야 VC-TCXO를 컨트롤 할 수 있게 된다. 본 논문에서는 펄스 신호를 정전압 신호로 바꾸어 주는 정류작용을 하며, 동시에 Holdover 시간을 최대화하기 위한 루프필터 회로를 구현하였다. 이를 위해 캐패시턴스를 크게 하여 평소에 정전압을 충전하고 펄스 출력이 안정도에서 벗어나거나, 인가되지 않았을 때도 정전압을 유지할 수 있도록 하였고, 펄스가 재인가 되었을 때 빠른 시간에 동기가 될 수 있도록 캐패시터 음극에 기준전압을 인가하였다. 기준전압은 측정을 통해 10MHz에 Lock이 걸리는 제어전압 보다 약 0.1V 낮게 인가하였다.

III. 클럭 재생 모듈 제작 및 측정 결과

1. 클럭 재생 모듈 제작

본 논문에서는 두께가 0.8mm, 유전율이 4.5인 FR-4 PCB와 알루미늄 기구를 이용하여 클럭재생

모듈을 제작하였다. 이때 크기는 60mm x 60mm x 17mm이다. 제작된 모듈을 그림 5에 나타내었다. 클럭 재생 IC를 구현한 CPLD는 ATMEL의 ATF1504AS를 사용하였고, 이때 클럭 재생 IC의 속도는 10ns이다. 클럭 재생 IC 내부 회로를 구현한 소프트웨어는 ALTELA의 MAX PLUSII를 사용하였다. 위상 비교기로 사용된 아날로그 스위치는 MAXIM사의 MAX4636EUB이고, 루프필터 스위치는 MAXIM사의 MAX4644EUT-T를 사용하였다. 그리고 2.5ppm의 안정도를 갖는 VC-TCXO를 사용하였는데, 환경변화에 대한 온도영향을 최소화하기 위해 격리하여 제작하였다.

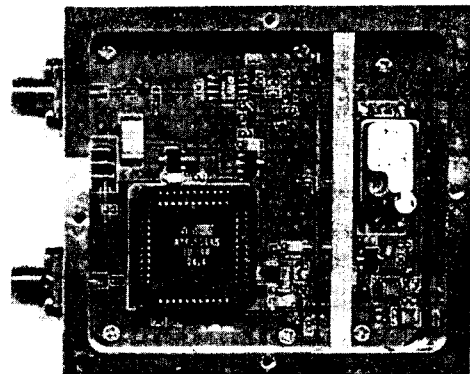


그림 5. 제작된 클럭 재생 모듈

2. 클럭 재생 모듈 측정 결과

그림 6에 클럭재생모듈의 10MHz 출력주파수의 위상 잡음 특성을 나타내었다. 100Hz 오프셋에서 -113dBc/Hz의 측정값을 얻었다.

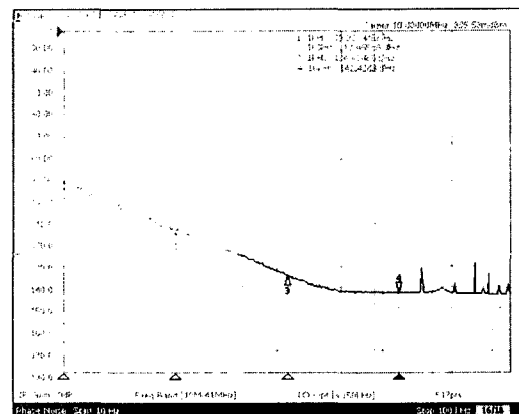


그림 6. 위상 잡음 특성

그림 7에 측정된 주파수 안정도를 나타내었다. 실제 Gap Filler에서는 클럭 재생 모듈의 10MHz를 2560.0MHz PLL의 기준신호로 사용한다. 따라서 본 논문에서는 2560MHz의 PLL을 구성하여 주파수 변화를 측정하였다. 기준신호를 1분을 주기로 0.5sec씩 차단시킨 다음, 기준 신호를 재인가하여 0.5sec 지난 후 측정하였다. 측정결과 2560MHz 중심주파수에서 10Hz ~ -9Hz이내의 주파수 안정도를 나타내었다.

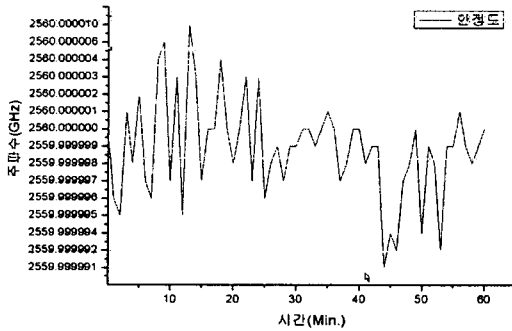


그림 7. 주파수 안정도

IV. 결 론

본 논문에서는 2.5ppm의 안정도를 갖는 출력 10MHz의 VC-TCXO를 이용하여 높은 주파수 안정도와 Hold Over 기능을 가지고 있어 기준 신호의 안정도 변동이나 차단 시에도 높은 안정도를 갖는 클럭 재생 모듈을 제작하고 측정하였다. 제작한 클럭 재생 모듈의 특성은 출력 주파수가 10MHz이고, 주파수 안정도 0.01ppm 이하, 출력 전력은 -0.66dBm, 위상잡음은 100Hz 오프셋에서 -113dBc/Hz로 나타났다. 초기 안정화 시간은 29sec, CNR은 3.5로 나타났다. 향후 품질이 우수한 부품을 적용하면 스위치의 누설 전류를 현재보다 1/5로 낮출 수 있고, 현재의 10Hz 변동보다 훨씬 안정된 상태로 억제 시킬 수 있을 것으로 추정된다. 또한, 기준 신호인 2.304 MHz는 심한 지터 현상을 포함하고 있는데, 적용한 클럭 재생 모듈은 루프 필터의 시정수가 약 1sec로 매우 크므로 발생하는 10MHz에는 거의 영향이 없으며, CNR이 3 정도의 최악의 신호 조건에서도 안정적으로 동작하였다. 본 논문에서 제작한 클럭 재생 모듈은 위성 DMB용 Gap Filler 뿐만 아니라, 기타 시스템 동기용 클럭을 재생하는데 활용할 수 있으리라 기대된다.

참고문헌

- [1] Jack R Smith, *Modern Communication Circuits*, Mc-Graw Hill, 1986
- [2] 고윤수, "WLL용 PLL 모듈 설계 및 제작", *충남대학교 석사 논문*, 1999년
- [3] 박언희, "광대역 L밴드 주파수 합성기 설계 및 제작", *전파 및 광파기술 학술대회 논문집*, 127-130, 2004년