

고조파 제거특성을 갖는 DGS형태의 CPW 저역통과 여파기의 설계

노진원^o, 진경민, 황희용

강원대학교 전기전자정보통신공학부 Microwave 연구실

E-mail: jinwonno@mail.kangwon.ac.kr

A Design of Spurious-Reduced CPW Low-Pass Filter Based on Defected Ground Structure

Jin Won No^o, Kyung Min Chin, Hee Yong Hwang

Dept. of Electrical and Computer Eng. Microwave lab. Kangwon National University

Abstract

In this paper, Coplanar Waveguide(CPW) low-pass filter with the spurious-reduced is designed by using Defected Ground Structures(DGS). Two different LPF unit cells and DGS pattern are combined to reduce the spurious. In comparison to a conventional step impedance LPF, the size of proposed LPF as 17.2mm*6.8mm is several times smaller. The simulation and measurements confirm that spurious characteristics is presented less than -30dB(S₂₁) to three times cut off frequency.

Key words: Spurious, Coplanar Waveguide, Defected Ground Structure, Low-Pass Filter

I. 서론

Coplanar Waveguide(CPW) 구조는 평면형 필터를 설계하는데 있어 기판의 한쪽 면에 하나의 도체를 사용함으로써 회로를 간단히 할 수 있을 뿐 아니라, via-hole을 제거 할 수 있는 장점을 가지고 있다. 특히 최근에 MMIC와 Flip-chip과 같은 회로 제작 기술이 발달함에 따라, 실제 회로의 설계 및 구현에 전송선로로서 CPW 구조의 응용이 증가하고 있는 추세이다. 또한 이와 더불어 전송선로의 접지면에 식각된 패턴을 갖는 Defected Ground Structure(DGS)가 제시되어 마이크로파 대역에서의 응용에 대한 연구가 활발히 진행되고 있다. DGS는 접지면에 식각된 디펙트를 주기적으로 배열한 구조를 갖는 PBG(Photonic Band-Gap)구조와 유사하다. 주기적인 PBG 구조는 전파지연 특성과 특정주파수 대역에서 저지대역을 형성하는 특성을 나타낸다.[1-4] 지금까지 이러한 DGS 구조는 대부분 Microstrip에서 응용되어 왔다. 주기적인 패턴을 ground면의 etching hole을 통하여, DGS에 기초한 Microstrip 여파기들이 제안되어왔다. 하지만 CPW 구조는 Microstrip 구조에 비하여 via 없이 ground면을 사용하는 장점과 signal 파

ground 간의 용량성 결합을 보다 쉽게 얻을 수 있는 장점을 갖고 있다. 즉 CPW 구조에서 보다 간단하고 작은 크기의 여파기를 설계할 수 있다.[5] 또한 여파기를 설계함에 있어 통신 시스템에서 목적으로 하는 주파수 이외의 주파수성분인 Spurious를 일정 수준 이하로 억압시켜야 할 필요가 있다. 일반적인 저역통과 여파기는 고조파에 의한 Spurious가 발생하는 문제점이 있다.[4] 이를 개선하기 위하여 5개 이상의 단위 구조의 주기적인 배열을 통한 방법이 있으나, 여파기의 크기가 커지는 단점이 있다.[6] 따라서 본 논문에서는 저역통과 특성을 갖는 서로 다른 2개의 단위구조를 결합하여 1차적으로 고조파성분을 억제하고, 2차적으로 DGS를 이용하여 고조파 성분을 일정 수준 이하로 억제하고자 하였다. 또한 주기적인 배열이 아닌 단일 구조의 DGS를 사용하여 여파기의 크기를 감소시키고자 하였다.

II. 본론

1. CPW 저역통과 여파기의 설계

그림 1은 제안한 저역통과 여파기의 단위구조와 등가회로를 나타낸다. CPW구조의 접지면과 신호선에

슬롯을 형성함으로써 직렬 L_1 과 병렬 C_2 를 구현하였다. 자세히 살펴보면 신호선의 슬롯 크기는 등가 회로의 L_1 값을 형성하며, 접지면의 슬롯의 크기는 병렬 L_2 값과 C_2 값을 형성한다.[7] 저역통과 여파기의 유전체 기판은 유전율 ($\epsilon_r = 4.4$) 에폭시 기판을 사용하였으며, 차단주파수 f_c 는 5 GHz로 설정하였다. 이에 해당하는 CPW 단위구조의 파라미터는 표1에 나타내었으며, LC 등가회로의 파라미터는 표2에 나타내었다. 그림 2는 CPW 단위구조의 EM 시뮬레이션(HFSS 8.0)결과와 LC 등가회로의 Circuit 시뮬레이션(ADS)결과를 나타낸다.

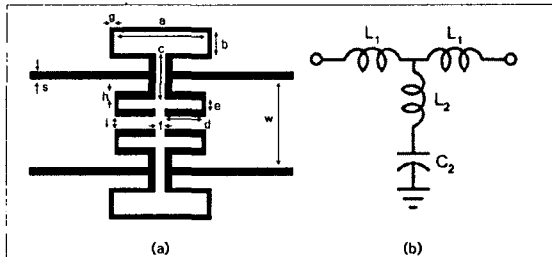


그림 1. (a) CPW 단위구조. (b) 등가회로.
Fig. 1. (a) A CPW unit cell (b) Equivalent circuit

표 1. CPW 단위구조의 파라미터
Table 1. The parameter of CPW unit cell.

a	3.4 mm	b	0.7 mm	c	1.6 mm
d	1.35mm	e	0.3 mm	f	0.3 mm
g	0.2 mm	h	0.3 mm	i	0.4 mm
s	0.3 mm	w	3 mm		

표 2. LC 등가회로의 파라미터
Table 2. The parameter of LC Equivalent circuit.

	L_1	L_2	C_2
nH	2.5	0.3	
pF			0.7

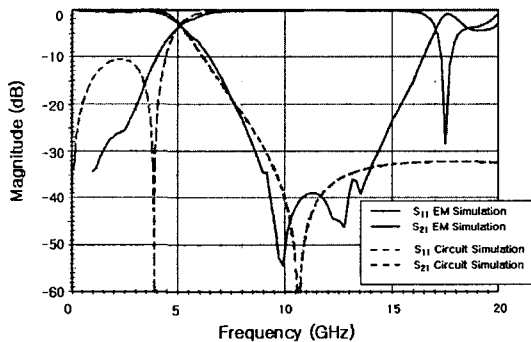


그림 2. 제시된 CPW 단위구조와 등가회로의 시뮬레이션 결과.
Fig. 2. Simulation result of proposed CPW unit cell and Equivalent circuit.

시뮬레이션 결과 LC 등가회로는 $3f_c$ 에서 Spurious 현상이 나타나지 않지만, CPW 단위구조의 EM 시뮬레이션 결과는 $3f_c$ 에서 불필요한 Spurious현상이 일어난다.

앞서 제시한 저역통과 여파기의 Spurious를 1차적으로 억제하기 위하여 그림 3의 다른 슬롯형태를 갖는 2단 저역통과 여파기를 설계하였다. 위의 여파기와 마찬가지로 접지면과 신호선에 각각의 슬롯을 생성하여 Step Impedance Line 저역통과 여파기 형태와 유사한 구조를 갖는 여파기를 형성하였다. 앞서 설계한 여파기와 결합하기 위하여 같은 유전율 ($\epsilon_r = 4.4$)을 갖는 기판을 사용하였으며, 같은 차단 주파수($f_c = 5$ GHz)를 갖도록 설계하였다. CPW 2단 저역통과 여파기의 파라미터는 표3에 나타내었으며, LC 등가회로의 파라미터는 표4와 같다. 그림 4는 CPW 2단 저역통과 여파기의 EM 시뮬레이션(HFSS 8.0)결과와 LC 등가회로의 Circuit 시뮬레이션(ADS)결과를 나타낸다.

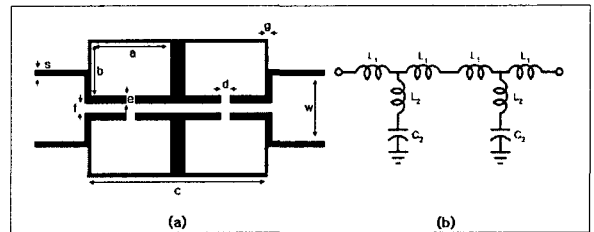


그림 3. (a) CPW 2단 저역통과 여파기. (b) 등가회로.
Fig. 3. (a) A 2-cell CPW Low_pass filter (b) Equivalent circuit

표 3. CPW 2단 저역통과 여파기의 파라미터.
Table 3. The parameter of 2-cell CPW Low_pass filter .

a	4 mm	b	2.4 mm	c	8.8 mm
d	0.4 mm	e	0.4 mm	f	0.4 mm
g	0.2 mm	s	0.3 mm	w	3 mm

표 4. LC 등가회로의 파라미터
Table 4. The parameter of LC Equivalent circuit.

	L_1	L_2	C_2
nH	1.0	0.3	
pF			0.97

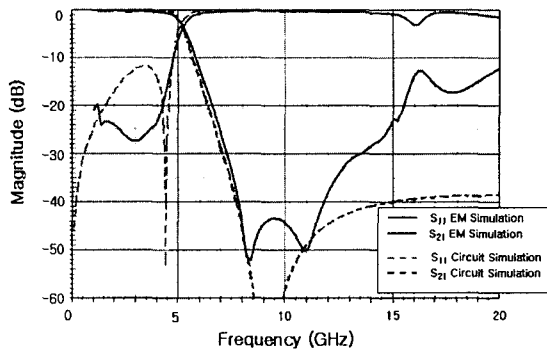


그림 4. 제시된 CPW 2단 저역통과 여파기와 등가회로의 시뮬레이션 결과.

Fig. 4. Simulation result of proposed 2-cell CPW Low-pass filter and Equivalent circuit.

시뮬레이션 결과 앞서 제시한 결과와 마찬가지로 LC 등가회로는 $3f_c$ 에서 Spurious 현상이 나타나지 않지만, CPW 2단 저역통과 여파기의 EM 시뮬레이션 결과는 $3f_c$ 에서 Spurious 현상이 일어난다. 하지만 Spurious 특성은 첫 번째 제시한 여파기와 다르게 나타나는 것을 알 수 있다. 따라서 이 2개의 여파기를 결합시킴으로써 보다는 Spurious 특성을 얻을 것으로 예상할 수 있다.

2. CPW 저역통과 여파기의 결합

저역통과 여파기의 Spurious를 억제하기 위하여 앞서 설계한 2개의 서로 다른 저역통과 여파기를 결합할 수 있다. 그림 5는 2개의 서로 다른 구조를 결합한 저역통과 여파기를 나타낸다. 각각 여파기의 파라미터는 앞서 제시한 파라미터와 동일하다. 그러나 결합사이의 간격 g 에 따라 추가적인 공진이 발생하여 또 다른 Spurious가 생성되므로 적절한 간격 g 가 필요하다. 본 논문에서는 결합 간격 g 를 1.8 mm로 설정하여 추가되는 기생 Spurious를 최소화 하는 동시에 그림 6에서와 같이 $3f_c$ 에서의 Spurious를 1차적으로 억제하였다.

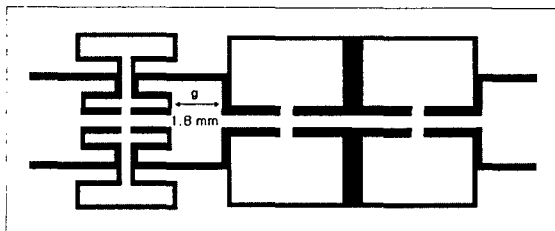


그림 5. CPW 저역통과 여파기의 결합

Fig. 5. The Layout of cascaded CPW Low-Pass Filter.

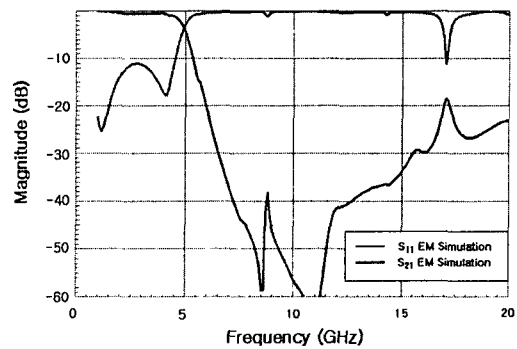


그림 6. 결합된 CPW 저역통과 여파기의 EM 시뮬레이션 결과.

Fig. 6. EM Simulation result of cascaded CPW Low-Pass Filter.

3. DGS의 등가회로와 특성

설계한 저역통과 여파기의 결합으로 Spurious가 줄어들었으나, 추가적인 보안을 통하여 $3f_c$ 의 Spurious를 일정수준 (-30dB) 이하로 억제하여야 한다. 특정 주파수 대역의 전파를 저지하기 위하여 본 논문에서는 DGS를 추가하여 2차적으로 Spurious를 억제하고자 하였다. Spurious가 발생하는 18 GHz 대역의 전파 저지를 위하여 CPW구조의 단일 DGS를 설계하였다. 그림 7과 8은 CPW 구조의 접지면에 식각된 패턴을 갖는 DGS의 모양과 크기를 나타낸다. 제시된 DGS 단위구조의 등가회로와 시뮬레이션 결과를 그림 9와 10에 나타내었다. 시뮬레이션은 유전율 4.4 에폭시 기판을 사용하였다. DGS 셀의 각 파라미터는 $a=2$ mm, $b=1.3$ mm, $c=d=0.4$ mm이다. 전송선로의 폭과 접지면 사이의 거리는 특성임피던스 50Ω인 $w=3$ mm, $s=0.3$ mm 으로 하였다.

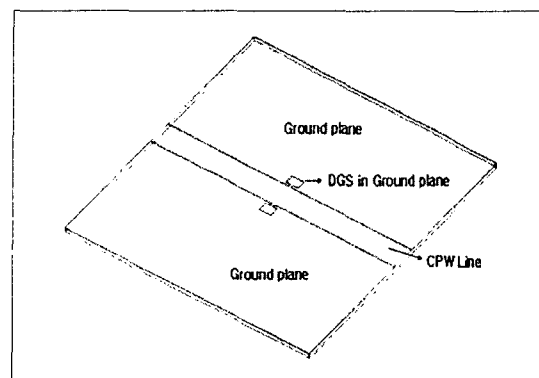


그림 7. DGS를 갖는 CPW 전송선로.

Fig. 7. A CPW transmission line with DGS.

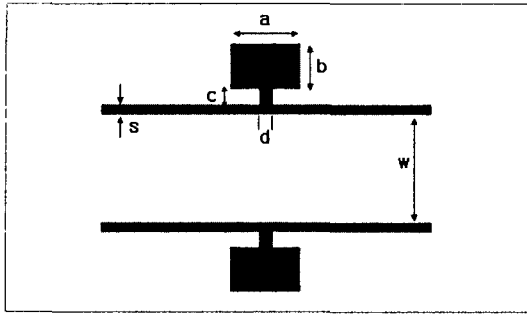


그림 8. DGS를 갖는 CPW 전송선로의 크기.

Fig. 8. A dimension of CPW transmission line with DGS.

이 구조는 식각된 사각 면을 지나는 추가적인 자속으로 인한 인덕턴스 증가와 그림에서와 같은 gap 커패시턴스(d) 증가로 전송선로의 임피던스를 변화시켜 특정 주파수 대역의 전파를 저지시키는 역할을 한다. 이러한 구조는 병렬 LC 등가회로로서 그림 10과 같이 분석될 수 있다. DGS 등가회로의 L, C 파라미터는 DGS 구조에 대한 EM 시뮬레이션 결과를 이용하여 다음 식(1)으로부터 구할 수 있다.[8][9][10].

$$C = \frac{w_c}{Z_0 g_1} \frac{1}{\omega_0^2 - \omega_c^2}, L = \frac{1}{\omega_0^2 C} \quad (1)$$

여기서, ω_0 는 LC 공진 각주파수, ω_c 는 3dB 차단 각주파수이며, g_1 은 1-pole Butterworth 저역통과 여파기의 소자 값이다. 그림 8에서처럼 ω_0 는 18.4 GHz, ω_c 는 12.2 GHz이며, g_1 는 2.0으로서 병렬 LC 등가회로의 파라미터는 C=0.100 pF, L=0.737 nH를 얻을 수 있고 그 결과 또한 EM 시뮬레이션 결과와 일치함을 알 수 있다. 따라서 앞서 제시한 저역통과 여파기와 결합하여 추가적으로 일정수준이하의 Spurious 억제를 시도할 것이다.

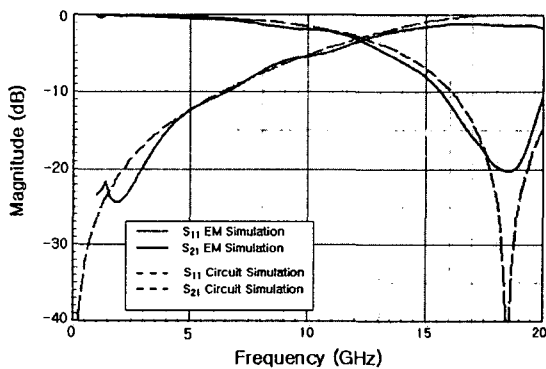


그림 9. 제시된 DGS의 시뮬레이션 결과.

Fig. 9. Simulation result of proposed DGS.

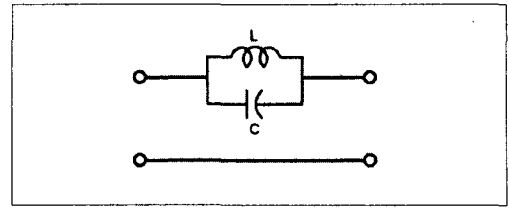


그림 10. DGS의 등가회로 (L=0.737 nH, C=0.1 pF).

Fig. 10. Equivalent circuit of DGS.

4. 저역통과 여파기와 DGS구조의 결합

그림 11은 설계한 CPW 저역통과 여파기와 Spurious 억제를 위한 DGS 단위구조의 결합구조이다. 여파기의 크기를 고려하여 단일구조의 DGS를 결합하였으며, 여파기와 DGS의 결합간격은 0.4 mm로 설정하였다. 그림 12는 EM 시뮬레이션의 결과로서, DGS를 추가하기 전 발생하던 $3f_c$ 의 Spurious가 일정수준(-30dB) 이하로 억제된 것을 알 수 있다. 위의 시뮬레이션 결과를 바탕으로 제작한 실제 여파기는 그림 13과 같으며, 측정 결과 그림 14에서 보듯이 시뮬레이션 결과와 거의 일치함을 알 수 있다.

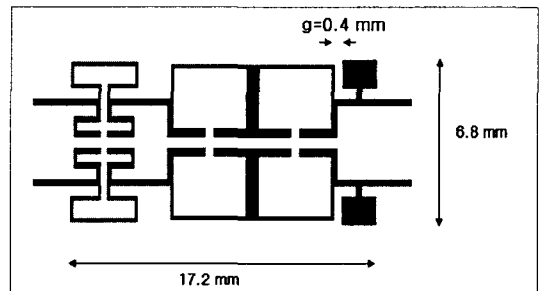


그림 11. CPW 저역통과 여파기와 DGS의 결합

Fig. 11. The Layout of cascaded CPW Low-Pass Filter and DGS unit cell.

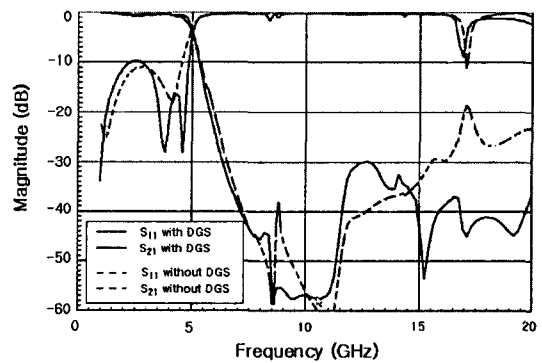


그림 12. 제안한 여파기의 시뮬레이션 결과.

Fig. 12. Simulation result of proposed LPF.

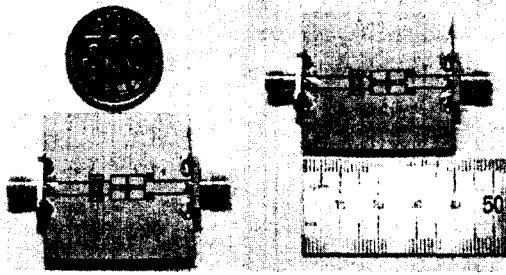


그림 13. 제안한 여파기의 실제 제작.
Fig. 13. Fabrication of proposed LPF.

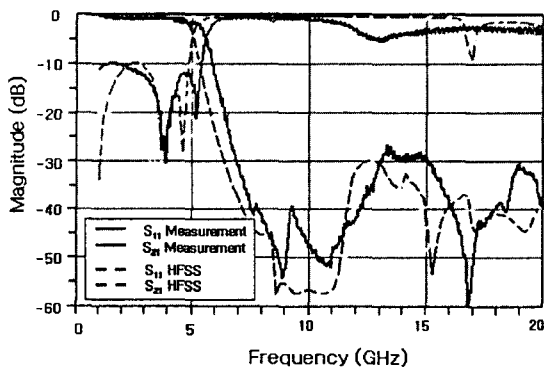


그림 14. 제안한 여파기의 측정 결과.
Fig. 14. Measurement result of proposed LPF

III. 결론

CPW 구조는 평면형 여파기를 설계하는데 있어 회로를 간단히 할 수 있을 뿐 아니라, via-hole을 제거 할 수 있는 장점을 가지고 있기 때문에 다양한 여파기가 연구되고 있다. 하지만 여파기의 구조적인 문제로 인한 Spurious의 발생은 여파기 설계의 주된 고려사항이다. 따라서 본 논문에서는 5GHz의 동일한 차단주파수를 갖고 있으며, spurious특성은 서로 다른 2개의 저역통과 여파기를 설계하여 결합시킴으로서 발생하는 Spurious를 1차적으로 억제(-19dB)시켰다. 또한 더 낮은 수준(-30dB)이하의 Spurious 특성을 얻기 위하여 특정 주파수대역(여파기의 $3f_c$)을 저지하는 DGS 구조를 설계하였으며, 설계된 DGS 구조는 여파기의 크기를 고려하여 주기적인 배열이 아닌 단일 구조를 사용하였다. 설계된 단일구조의 DGS는 여파기와 결합시킴으로서 2차적으로 Spurious 억제효과를 얻을 수 있었다. 시뮬레이션과 측정결과를 통하여 spurious는 $3f_c$ 까지 -30dB이하를 유지함을 확인할 수 있었다. 또한 여파기 전체 크기는 17.2 mm* 6.8 mm로서 Spurious 제거 특성을 갖는 Step Impedance 저역통과 여파기나 기존의 연구되었던 여파기[6][8]에 비하여 작은 크기를 갖는 장점을 갖고 있다.

감사의 글

이 논문은 2005년도 강원대학교 두뇌한국21사업에 의하여 지원되었음.

참고문헌

- [1] C. S. Kim, J. S. Park, D. Ahn, J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits," *IEEE Microwave and Guided Wave Letters*, vol. 10, no. 4, April, 2000.
- [2] F. Martin, F. Falcone, J. Bonache, T. Lopetegui "New Electromagnetic Bandgap Nonlinear Coplanar," *Microwave and Optical Technology Letters*, vol. 37, no. 6, June, 2003.
- [3] Y. T. Lee, J. S. Lim, S. W. Kim, J. C Lee, S. W. N, D. A, "Application of CPW Based Spiral-Shaped Defected Ground Structure to The Reduction of Phase Noise in V-Band MMIC Oscillator," *2003 IEEE MTT-S Digest*, 2003.
- [4] J. S. Lim, C. S. Kim, D. Ahn, Y. C Jeong, S. N, "Design of Low-Pass Filters Using Defected Ground Structure," *IEEE Trans. on Microwave Theory and Techniques*, vol. 53, no. 8, August, 2005.
- [5] F. Martin, J. Bonache, I. Gill, F. Falcone, T. Lopetegui "Compact Spurious Free CPW Bandpass Filters Based on Electromagnetic Bandgap Structures," *Microwave and Optical Technology Letters*, vol. 40, no. 2, January, 2004.
- [6] J. Sor, Y. Qian, T. Itoh, "Miniature Low-Loss CPW Periodic Structures for Filter Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 12, December, 2001.
- [7] Y. S. Lin, W. C. Ku, C. H, Wang. C. H. Chen, "Wideband Coplanar-Waveguide Bandpass Filters With Good Stopband Rejection," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 9, September, 2004.
- [8] D. Ahn, J. S. Park, C. S. Kim. J. Kim, "A Design of the Low-Pass Filter Using the Novel Microstrip Defected Ground Structure," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 1, January, 2001.
- [9] 김철수, 성정현, 길준범, 김상혁, 김호섭, 박준석, 안달, "Defected Ground Structure를 갖는 전송선로의 특성과 집중소자에 의한 특성," 대한전자파학회 논문지, 제11권, 제6호, 9. 2000.
- [10] 김형미, 이범선, "CPW에 삽입된 T자형 DGS," 대한전자파학회논문지, 제15권, 제10호, 10. 2004.

M E M O