

PDP의 어드레스 표시발광 중첩 구동방식에 관한 연구

(A Study on the Address-Display Overlapping Drive Scheme for PDP)

염정덕*
(Jeongduk Ryeom)

경주대학교 컴퓨터정보시스템공학부

요 약

새로운 address-display 중첩 구동기술을 개발하고 실험용 PDP에 적용하였다. 이 구동방식은 priming 방전을 사용하지 않으며, 공간전하를 효과적으로 이용하기 위하여 sub-field의 addressing 순서를 제어 하였다. 그 결과 20V의 전화면 address 구동마진을 확보하였고, 최대 1920개의 sustain 펄스를 인가할 수 있었으며, 최대 휘도 720cd/m²와 절대 흑레벨의 배경휘도와 함께 명암비 무한대를 얻었다.

1. 서 론

현재 상용화되어 있는 3 전극 면방전 AC PDP의 구동기술은 ADS (Address Display Separated) 구동방식이라고 하는 것이다. 이 방식은 address 기간과 표시발광(display)을 하는 sustain 기간이 분리되어 있으므로 회로 설계가 단순하고 동작 안정성이 높다.[1] 그러나 HDTV와 같은 고해상도 PDP를 구동하기 위해서 주사선수를 늘리는 경우, 또는 의사윤곽을 저감시키기 위해서 sub-field의 수를 늘리는 경우, 이 ADS구동방식은 address에 필요한 기간이 늘어나게 된다. 이 address 기간은 표시발광에 전혀 기여하지 못하므로, address 기간이 길어질수록 1TV field내에 허용되는 sustain 기간이 상대적으로 짧아져서 휘도가 저하되게 된다. 그리고 이 방식은 720개의 수평주사선을 가지는 HDTV급 해상도의 PDP와 펄스폭 2 μ s의 어드레스를 가정하면, 첫 번째 line의 address-sustain 간격과 마지막 line의 address-sustain 간격의 차이가 2x720=1440 μ s가 된다. 그러므로 address 기간에 앞서 패널 전면에서 priming 방전을 사용하여도 패널의 위치에 따라 동작마진이 이동한다. 더구나 고속 addressing을 위해 address 펄스폭을 줄이면 address 마진이 좁아지게 되어 패널 전면을 모두 만족시키는 동작마진을 구하기가 더욱 어렵게 된다.

ADS 구동기술에서는 이러한 휘도 저하 문제점을 개선하기 위해서, address 펄스폭을 좁게 하여 address기간을 단축시킴으로써 display 기간의 시

간비율을 높이거나, sustain 주파수를 증가시켜 단위 시간당 sustain 방전 횟수를 늘리는 방법들이 시도되고 있다. 그러나 address 펄스폭을 어느 정도 이상 좁게 하면, address 방전이 불완전하게 일어나게 되어, 축적되는 벽전하량이 감소되어 sustain 방전이 불안정해진다. 그리고 address 펄스폭이 좁게 되면 스위칭 주파수가 커져 구동 IC에서의 전력손실이 증가하게 된다. 한편 sustain 주파수를 증가시키면 공간전하의 영향 및 형광체의 특성에 의해 휘도 포화가 일어나게 되며 sustain 펄스폭을 무리하게 좁히면 벽전하가 충분히 쌓이지 않아 sustain 전압이 높아지게 된다.

이러한 휘도 저하 문제를 개선하기 위해서 address 펄스를 sustain 펄스의 휴지기간의 일부 또는 전부에 삽입시키는 구동기술인 address-display 중첩 구동방식(AWD; Address While Display)이 있다.[2] 이 address-display 중첩 구동방식은 1TV field 전체를 display에 사용할 수 있으므로 이론적으로 100%의 display 시간비율을 얻는 것이 가능하며 고해상도의 경우에도 휘도 저하가 일어나지 않는다. 뿐만 아니라 이 방법은 address 방전과 sustain 방전이 인접되어 있어서 sustain 방전에서 발생하는 공간전하를 효과적으로 이용할 수 있으므로 폭이 좁은 address 펄스로도 충분히 안정된 sustain 방전을 유도할 수 있다. 패널의 구조 및 방전 특성에 따라 차이가 있으나 이 구동 방식을 적용하여 650cd/m² 이상의 고 휘도를 얻은 결과가 발표되어 있다.[3] 이 방식은 address 방전과 sustain 방전이 혼재되어 전 TV field에 걸

쳐서 일어나므로 address 구동 IC의 스위칭 주파수를 낮출 수 있어 구동 IC의 효율을 좋게 할 수 있다. 그리고 부하에 흐르는 전류를 시간적으로 균일하게 할 수 있으므로 전력의 설계 용량을 감소시킬 수 있다. 그러나 1개의 address slot에 1개의 address pulse를 인가하던 종래의 address-display 동시 구동방식은 구동전압이 높고 주사선의 수에 제한이 있어서 실제로 대면적 패널을 구동시키는 데에는 어려움이 있다.[4]

본 연구에서는 address 기간과 sustain 기간을 중첩시켜 1 TV field 전체를 display에 사용하는 구동 방식으로써, 종래의 방식에 비하여 펄스의 구조가 간단하고 priming 방전 없이도 방전 특성이 안정되고, 구동 전압들을 상용 구동 IC를 사용할 수 있는 수준까지 낮춘, HDTV급 PDP에 적용할 수 있는, 고휘도 고콘트라스트의 새로운 구동 방식을 제안한다.

2. Address-Display 중첩 구동방식의 원리

그림 1은 address-display 중첩 구동방식에서의 1TV-Field 전체의 타이밍도를 보인 것으로, 전 필드에 걸쳐서 display를 위한 sub-field들이 설치되어 있고, 이것과 중첩해서 address 구간이 설정되어 있다.

그림 2는 각 scan line들에 대응하는 sub-field의 배치를 상세히 나타낸 것이다. 1수평 주사기간(H) 안에 한 쌍의 주사 라인의 각 계조 bit에 대응되는 펄스들을 설치하였다. 주사 라인을 한 쌍씩 group로 묶음으로써 1 TV field의 시간내에 480라인을 주사할 수 있는 충분한 시간을 얻을 수가 있다. 그리고 각 주사 라인 쌍의 첫번째 sub-field의 위치를 순차적으로 1H씩 지연시키면서 모든 주사 라인의 sub-field의 위치를 결정하면, address시에 주사 라인이 중첩되는 것을 방지할 수 있다.

그림 3은 본 방식의 자세한 구동 타이밍도이다. 그림에서 알 수 있듯이 Y전극 측에 인가한 sustain 펄스에 연달아서 X 전극 측 sustain 펄스를 인가하여, X, Y 전극의 sustain 펄스가 인가된 후에 휴지기간이 형성되도록 하였다. 이와 같이 형성된 하나의 sustain 휴지기간에 4개의 address 펄스에 대응되는 scan 펄스를 순차적으로 설치한다. 그리고 이 scan 펄스들과 동일한 타이밍에, X, Y 전극에 양과 음의 bias 전압을 인가한다. Address 펄스는 이 scan 펄스와 동기 되어 data의 유무에 따라 인가되게 된다.

본 연구에서 제안한 구동 방식의 특징은 세 가

지로서 하나는 폭이 좁은 펄스에 의한 소거방전과 Y bias에 의한 광폭 펄스 소거의 2단계 소거로써 안정된 소거특성을 얻을 수 있다는 것이다. 두번째는 X 전극에 bias 전압을 인가하여 address시 벽전하 변환 효율을 높여 1.5 μ s 수준의 세폭 address 펄스로도 저 전압의 안정된 기입 address를 할 수 있게 한 것이다. 세번째로 하나의 sustain 휴지기에 설치된 네개의 scan 펄스 중 sustain 펄스와 가장 가까운 4번째 scan 펄스를 최초 bit의 address에 사용한다는 것이다. 이 4번째 scan pulse는 sustain 펄스와 인접해 있으므로, address 방전시 발생한 공간전하를 이용하여 sustain방전을 원활히 개시시킬 수 있다. 이 sustain 방전에 의해 프라이밍 입자들이 생성되어 다른 bit의 address 방전을 안정하게 일으킬 수 있도록 한다. 그러므로 최초 점등 시에 1회 전면 프라이밍 방전을 하여주는 것으로 이후 별도의 프라이밍 방전없이 안정된 address 동작을 시킬 수가 있다.

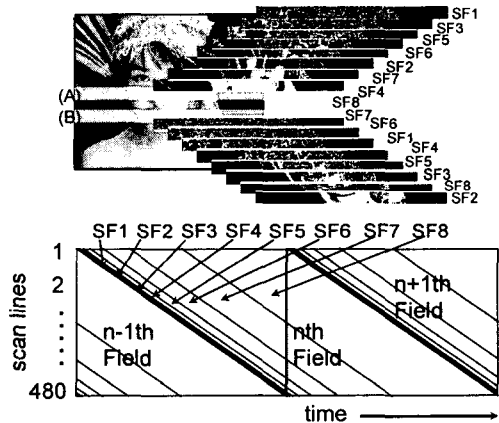


그림 1. address-display 중첩 구동방식의 1TV field 타이밍 구성도

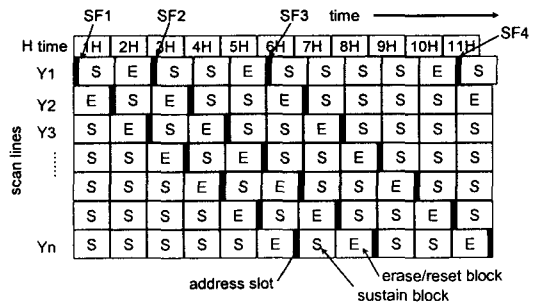


그림 2. address-display 중첩 구동방식의 sub-field 상세 배치도

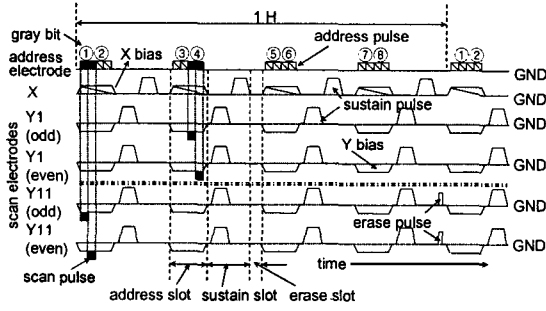


그림 3. address-display 중첩 구동방식의 펄스 타이밍도

3. 실험 결과 및 토론

본 연구에서 제안한 구동방식을 실험하기 위하여 상용화된 PDP와 같은 구조를 가지는 실험용 PDP를 사용하였다. 이 PDP는 3전극 면방전 구조를 가지며, 픽셀피치 330 μ m, 화소수 480x852x3의 16:9의 화면비율을 갖는 wide 형 PDP이다. 이 실험은 sub-field 갯수가 8개로 256 계조를 가지고, 상하 분할 addressing시 HDTV급 PDP가 구동 가능한 구동 사양을 적용하였다. 여기서 사용된 구동방식의 sub-field 배치는 그림 2와 같고 펄스 전압의 타이밍도는 그림 3과 같다.

그림 4는 2단계 소거과정을 측정한 것으로 Y 전극에 인가한 bias 전압으로 대폭소거가 잘 일어나고 있다는 것을 보여주고 있다.

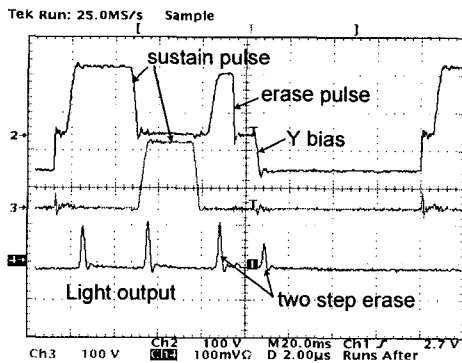


그림 4. 2단계 소거과정을 측정한 광출력 파형도

그림 5(a)는 scan 전압의 변화에 대한 address 마진을 측정하는 것으로 20V 정도의 구동마진을 확보하였다. 그림 5(b)는 address 전압의 변화에 대한 sustain 마진을 측정하는 것으로 역시 20V 정도의 구동마진이 확보되었다. 그림으로부터 최적의

구동조건은 scan 전압 90V, address 전압 80V인 것을 알 수가 있다.

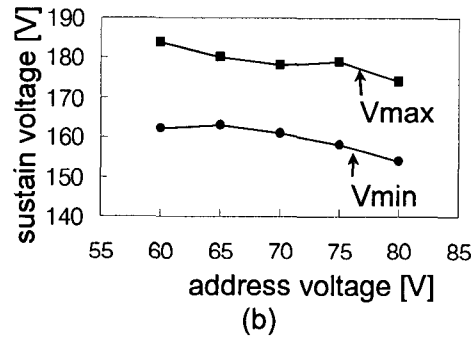
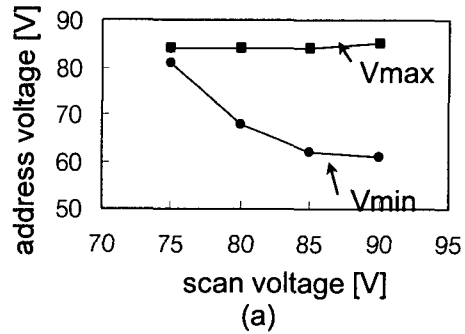


그림 5. address 및 sustain 전압 마진
(a) scan 전압의 변화에 대한 address 전압 마진
(b) address 전압의 변화에 대한 sustain 전압 마진

그림 6은 address 펄스의 인가 위치에 따른 최초 sustain 펄스의 방전 지연 시간을 측정하는 것이다. 그림 6에서 보는 것처럼 address 펄스가 첫 번째 sustain 펄스로부터 멀어질수록 첫 번째 sustain 방전의 지연시간은 증가하는 것을 알 수 있다. 방전에 의해 발생한 공간전하의 유효 생존시간은 약 30 μ s 정도라고 알려져 있다.[4][5] 그러므로 address 방전에서 생성된 공간전하가 sustain 방전에 영향을 미치고 있다고 할 수가 있다. 그림 7은 scan 펄스폭에 대한 sustain 마진을 측정하는 것으로 펄스폭에 따라 마진의 차이가 나타나는 것을 알 수 있다. 그러므로 그림 6, 7로부터 1개의 address slot에 인가되는 4개의 scan 펄스들의 폭을 최적화시키면 균일한 동작 마진을 얻을 수 있다는 것을 알 수 있다.

본 구동방식은 1개의 address slot에 4개의 address 펄스가 순차적으로 인가되므로 공간전하의 영향으로 각 펄스들의 방전특성에 차이가 나타난다. 측정결과 이 차이에 의해서 sub-field들의 구동마진의 차이가 나고 그 결과 전체 구동마진을

설정하기가 어려웠다. 본 연구에서는 공간전하에 의한 영향을 균일하게 하기 위하여 ① 그림 8과 같이 각 sub-field에 대응되는 address 펄스의 인가 순서를 field마다 변화시켰다. 그러나 sub-field의 배열은 모든 field에서 동일하므로 flicker 현상은 발생하지 않는다. ② 한 address slot에 인가되는 4개의 scan 펄스폭을 각각 다르게 설정하여 축적되는 벽전하를 최적화 하였다.

그림 9는 본 연구에서 제안한 구동방식에서 위치가 서로 다른 4개의 address 펄스들의 방전지연시간을 측정하는 것이다. address 펄스의 방전지연시간들은 인가위치에 따른 의존성이 거의 없음을 알 수 있다. 그러므로 본 연구에서 고안한 field별 비대칭 addressing 방식이 효과적이라고 할 수 있다.

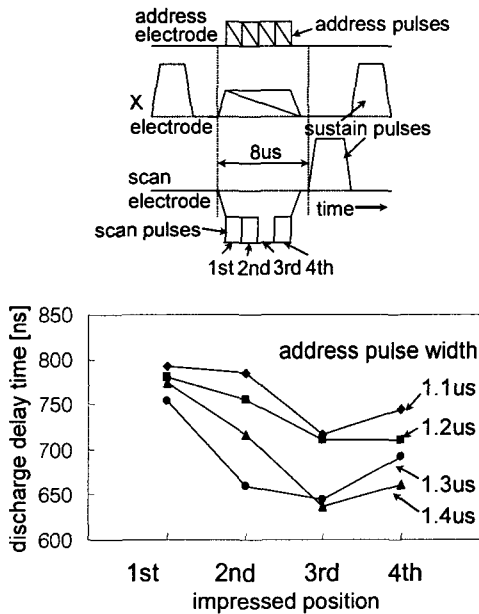


그림 6. address 펄스 인가 위치에 따른 최초 sustain 방전지연시간

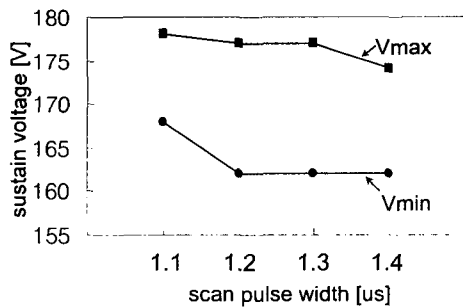


그림 7. scan 펄스폭에 따른 sustain 전압 마진

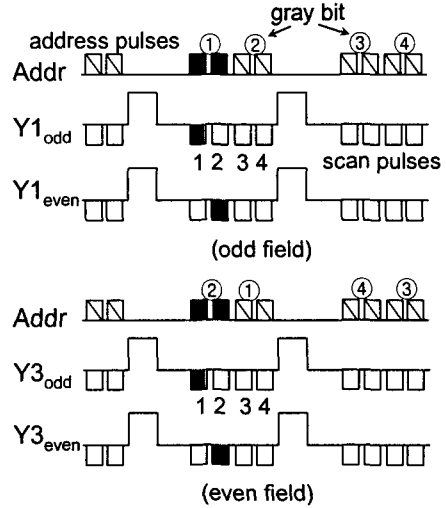


그림 8. 홀수, 짝수 field 별 address 펄스의 인가순서

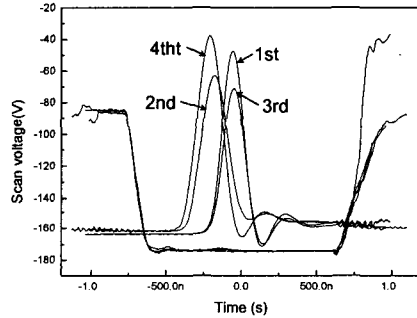


그림 9. 4개의 address 방전의 지연시간 관계

4. 결론

본 연구에서 고안된 구동방식은 sustain 펄스의 휴지시간에 address 펄스를 인가하기 때문에 주사 선수가 증가하여도 sustain 펄스의 개수가 감소하지 않는다. 상하 동시 주사기술과 함께 이 구동기술을 적용하면 개발된 WVGA PDP와 동일한 sustain 펄스수를 가지는 Full-HDTV PDP의 구동이 가능하다. 그러므로 고해상도에서 CRT 수준의 고휘도를 얻는 것이 가능하다.

본 연구에서 제안한 구동기술은 sustain 펄스의 휴지기 사이에 복수개의 scan 펄스들을 순차적으로 인가하여, 한 scan 군에 속하는 address 방전들은 공간전하의 영향을 균일하게 받으므로 공간전하의 감쇄에 의한 방전의 불균일성을 최소화하여 안정적인 어드레스 특성을 확보할 수 있다. 그리고

모든 주사선에서 address 펄스와 첫 번째 sustain 펄스사이의 시간적 간격이 일정하여 방전 특성에 차이가 없다. 그러므로 address 펄스의 폭이 좁아도 패널 위치에 따른 마진 편차가 없어 대면적을 구동시키는 데 무리가 없음을 확인하였다.

본 방식은 세폭 erase 가 일어난 경우에만 Y bias에 의한 대폭 소거 방전이 일어나므로 1회의 소거펄스로 2회의 소거동작을 일으킬 수가 있다. 그 결과 scan 전극측에는 한개의 세폭 erase 펄스 및 한개의 scan 펄스만이 scan 구동 IC로 구동되고 나머지 펄스들은 다이오드를 통하여 공급할 수 있게 되었다. 그러므로 구동 IC에 걸리는 부담이 종래의 방법에 비하여 줄어들어 상용 IC로 구현이 가능하게 되었다. 또한 본 방식은 sustain 펄스량의 극성으로 인가함으로 인해 address 전극 측에 불필요한 전자가 축적되는 것을 방지하였다. 그 결과 sustain 전압이 낮아져 160V 수준에서도 방전이 가능하였다. 또한 X측에 인가한 bias 전압에 의해 address 전압이 상용 구동 IC로도 구동 가능한 수준인 100V이하로 낮추었다. 그리고 scan 측 전압도 Y bias를 인가함으로써 실제 driver IC에 걸리는 부담을 100V이하로 하여 기존의 구동 IC를 사용할 수 있게 하였다.

본 방식은 X측의 bias전압을 scan 기간에 동기시켜 인가함으로써, X측에 구동 IC가 scan 균의 갯수만큼 필요하게 된다. 그러나 이것은 방전조건을 최적화시켜 X 전극들 전체에 공통으로 bias를 인가함으로써 해결할 수 있다고 보여 진다.

또한 현재는 address시 인접 셀들은 sustain 방전을 일으키고 있으므로 공간전하의 영향으로 별도의 프라이밍 방전이 없이도 안정된 방전을 유지할 수가 있었다. 이렇게 프라이밍 방전을 제거함으로써 이론상 무한대의 암실 명암비를 얻었다. 또한 일반적인 화상에서는 프라이밍이 없이도 addressing이 가능한 것을 알았다. 그러나 입력되는 영상데이터의 공백기간이 장시간 있을 경우 addressing 실패 확률이 높아진다. 그러므로 입력 데이터를 감지하여 어느 정도 이상 비 프라이밍 상태가 지속되는 경우에는 선택적으로 프라이밍 방전을 해주어 address 방전을 안정시키는 것이 필요하다.

참 고 문 헌

- [1] S. Kanagu, et al., Proc. SID 92 Digest 1992, p.713.
- [2] Japan Patent Application No. Showa 45-9928, 1970: 46-65396, 1971.

[3] H. Homma, et al., IDRC 1997 Conference Record, Toronto, 1997, p.285.

[4] M. Ishii, et al., SID 99 Digest 1999, p.162.

[5] J. Ryeom, Proceedings of ASID, 1999, p.305.