

Gate 구동 회로를 집적한 TFT-LCD에서 a-Si:H TFT Instability의 영향

이현수, 이준신, 이종환
 성균관대학교 정보통신공학부, 삼성전자

Effect of a-Si:H TFT Instability on TFT-LCD Panel with Integrated Gate Driver Circuits

hyunsu Lee, Junsin Yi, and Jonghwan lee

School of Information and Communication Engineering, Sungkyunkwan University, Samsung Electronics

Abstract - a-Si TFT는 TFT-LCD의 화소 스위칭 (swiching) 소자로 폭넓게 이용되고 있다. 현재는 a-Si을 이용하여 gate drive IC를 기판에 집적하는 기술이 연구, 적용되고 있는데 이때 가장 큰 제약은 문턱 전압의 이동이다. 펄스(pulse)형태로 인가되는 gate 전압에 의한 문턱 전압 이동은 a-Si:H gate에 인가되는 펄스의 크기, duty cycle, drain pulse의 크기 및 동작 온도에 기인하며 실험결과를 통해 입증된다. 초기의 DC Stress 측정 Data를 이용하여 문턱전압이동을 모델링/시뮬레이션한 결과 a-Si:H gate 회로설계 및 펄스 조건에 따라 stress시간에 따른 gate의 출력 파형 예측이 가능하고 상온에서 Von=21V를 인가한 결과, 약 4년후에서 시프트 레지스터 출력 파형이 열화되기 시작한다.

stress에 대해 오른쪽, 왼쪽으로 특성 곡선은 이동한다. stress시간, 온도에 따른 Vth이동에 대한 실험식은 다음과 같이 기술되어 있다 [3].

$$\Delta V_t = \Delta V_{T0} \left\{ 1 - \exp \left[- \left(\frac{t_{ST}}{\tau} \right)^\beta \right] \right\} \quad (1)$$

여기서 $V_{T0} = V_{ST} - V_T(0)$ 이고 V_{ST} stress전압, t_{ST} 는 stress시간, τ, β 는 각각의 a-Si:H에 관련된 두 parameter이다. 짧은 effective stress time ($t_{ST} \ll \tau$)에 대해 (1)은 다음식으로 표현이 가능하다.

$$\Delta V_T = A |V_{ST} - V_{T0}|^\alpha t^\beta \quad (2)$$

여기서 A 는 constant이고, V_{ST} 는 gate bias stress전압이고 V_{T0} 는 초기의 threshold 전압이다.

1. 서 론

유리기판에 a-Si:H TFT로 Gate를 집적하는 기술은 제조에 드는 비용 절감과 슬립화를 가능하게 하는 기술이다. 하지만 공정상의 문제와 시간에 따른 문턱전압 (Vth)이동이 제약으로 작용해왔다. 최근까지 a-Si의 Vth 이동에 대해서 많은 연구 활동이 이루어져 왔다. a-Si에서 Vth이동은 두가지 모델이 제시되어 있는데 a-SiNx:H로의 charge trapping과 a-Si:H막이나 a-Si:H/a-Si:Hx:H 계면근처에서 dangling bond발생으로 기인한 defect의 증가가 그 원인이다 [1]. a-Si TFT의 gate에 전압을 인가하면 시간에 따른 $I_D - V_G$ 특성 곡선이 positive전압에 오른쪽으로 이동하고 negative전압에 왼쪽으로 이동한다. 펄스 형태의 gate stress에 대해서는 bias 크기, 온도, 시간뿐만이 아니라 펄스의 duty cycle, 주파수에도 영향을 받게 되는데 a-Si:H gate에 적용되는 TFT의 Duty비(≈0.5)는 화소에 사용되는 TFT의 duty 비(≈0.001)대비 매우 크게 된다. 이는 Vth 이동에 취약한 특성을 나타내게 하고 a-Si:H gate소자의 수명 (lifetime)을 결정한다. 본 논문에서는 a-Si:H gate의 Vth 이동 모델을 세우고 비정질 simulator인 AIM-SPICE를 이용하여 시간에 따른 시프트 레지스터의 출력 파형을 예측한다.

2. 본 론

2.1 Vth Shift Mechanism

2.1.1 DC bias stress에서의 Vth Shift

그림 1는 TFT-LCD에 사용되는 a-Si:H TFT의 DC bias별 시간에 따른 $I_D - V_G$ 특성 곡선이다. Source/Drain 금속 층과 a-Si:H층 사이에는 n+a-Si:H층이 형성되어 contact저항을 감소시키고 hole current를 억제하여 TFT off시 leakage특성을 향상시킨다. P-doped되어 있는 a-Si:H층 때문에 단지 electron conduction 특성만이 관찰된다. +20V, -20V의 DC

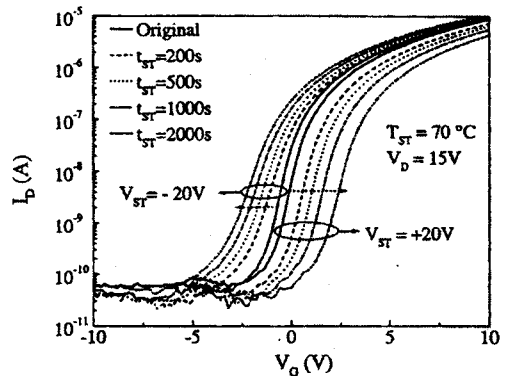


그림 1. DC Bias별 시간에 따른 Id-Vg특성 곡선

2.1.2 AC구동에서의 a-Si Vth Shift

실제 TFT-LCD구동은 펄스형태의 전압이 인가되어 구동이 되기 때문에 실제 Vth 이동은 DC bias에서의 예측된 값보다 작게 나타난다 [2][3][4].

그림 2는 주파수에 따른 ΔV_t 이다. 인가되는 gate 주파수 증가에 대해 positive bias pulse 경우는 변화가 없으나 negative인 경우는 ΔV_t 가 줄어들다가 100Hz이상에서는 거의 0이된다. 따라서 주파수가 빨라지게 되면 total ΔV_t 는 electron에 의한 positive shift가 우세하게 된다. 즉 hole에 의한 보상이 줄어들게 된다. 이러한 이유로 인해 LCD구동에서의 Vth이동은 Positive shift의 영향을 받게 된다.

그림 3은 duty비에 따른 ΔV_t 변화이다. duty비가 100%에서 감소하는 경우에 positive bias pulse경우는 거의 변화가 없으나 negative 경우는 99%로 변할 때 ΔV_t 가 급격하게 줄어들고 이후 조금씩 감소하게 된다. 즉 negative bias stress의 경우 DC보다 펄스형태로 인가될 경우 ΔV_t 가 훨씬 적게 된다.

그림4는 duty비 50%, 펄스폭 50us일때 70°C에서 a-Si:H TFTs의 $I_D - V_G$ 의 특성 곡선이다. 그림 A와 비교해서 positive pulse stress에서는 DC bias일때와 조금의 ΔV_t 차이 밖에 없으나 negative pulse stress에서는 DC bias일때와 비교해서 시간에 따른 ΔV_t 가 두드러지게 작은 것을 알 수 있다.

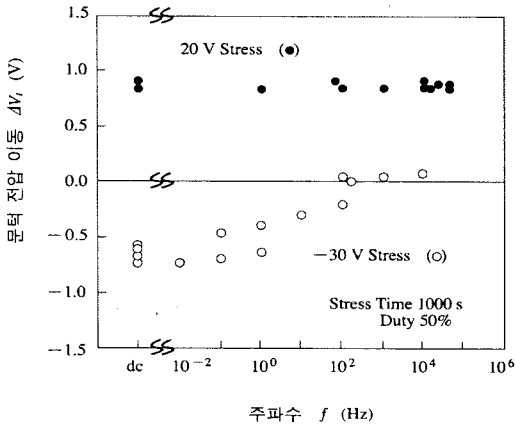


그림 2: 주파수에 따른 Vth shift 영향

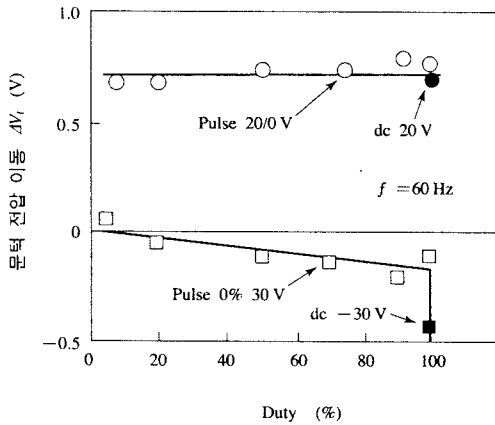


그림 3. Duty Ratio에 따른 Vth shift 영향

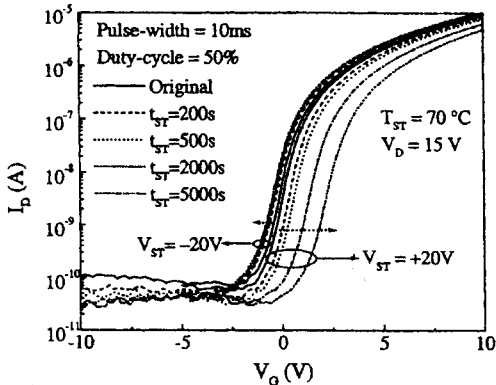


그림 4. AC구동에서 시간에 따른 Id-Vg 특성 곡선 (Duty Ratio = 50%, Pulse width=50us, 70°C)

펄스구동에서 ΔV_t 가 작아지는 것은 off구간동안 gate 절연막에 trap된 charge가 일부 detrapped되면서 영향을 준

다고 나타나 있다. 또한 ΔV_t 의 또 다른 이유인 deep defect의 감소도 영향을 끼칠 것이다. negative bias가 인가되면 채널에는 positive charge의 증가로 인해 채널 저항이 증가하고 실제 charge trap에 영향을 주는 gate 절연막단의 stress는 채널저항에 의해 감소하게 된다. 따라서 negative pulse에 의한 ΔV_t 는 작아지게 된다. 반면 positive에 대해서는 bias의 대부분이 gate 절연막에 인가되고 채널 내 빠른 electron 축적에 의해 ΔV_t 는 DC와 큰 차이가 없게 된다.

2.1.3 a-Si:H Gate에서 Vth Shift

a-Si:H gate는 통상적으로 시프터 레지스터 1개당 7개에서 15개정도의 TFT로 구성되어 있다. 각각의 TFT는 일반적으로 60Hz구동에 0.1%에서 50%의 duty비로 동작을 한다. 그리고 TFT on시에는 positive bias, off시에는 negative bias가 인가된다.

전체 ΔV_t 의 shift량은 DC의 positive, negative bias인가 시 각 shift량의 합이라 가정한다.

$$\Delta V_T^+(t_{ST}) = \Delta V_T^+(t_{ST}) + \Delta V_T^-(t_{ST}) \quad (3)$$

그림 5는 DC stress에 의한 positive/negative bias의 시간에 따른 ΔV_t Shift와 이를 중첩하여 나타낸 그래프가 실제 실험에 의한 측정치와의 비교를 나타내었다. 실제 측정치의 ΔV_t 가 큰 이유는 앞에서 설명한 negative pulse bias에 대해서는 DC 보다 ΔV_t 가 작기 때문이다. 따라서 식(2)를 펄스 형태로 나타내면

$$\Delta V_T^+(t_{ST}) = A^+(V_{CH} - V_{Ti})^{a^+}(t_{ST} \cdot D_C)^{b^+} \quad (4)$$

$$\Delta V_T^-(t_{ST}) = A^-(V_{Ti} - V_{GL})^{a^-} (t_{ST} \cdot (1 - D_C))^{b^-} \cdot F_{PW} \quad (5)$$

$$D_C = \frac{T_{OV}}{T_{frame}} \quad (6)$$

으로 나타낼 수 있고 그림 6에서 두 과정의 중첩이 실제 측정과 일치함을 볼 수 있다.

실질적으로 a-Si:H gate의 Vth이동에 영향을 주는 요인으로는 negative bias에 의한 것이라기보다는 positive bias에 영향을 많이 받게 되고 따라서 이에 대한 모델링으로 시간에 따른 Vth 이동을 쉽게 예측할 수 있다.

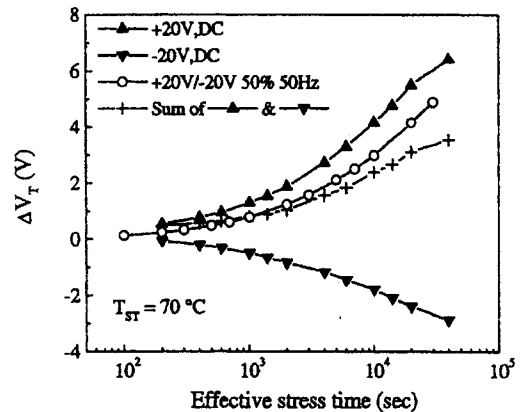


그림 5. DC stress에 의한 positive/negative Vth Shift의 중첩

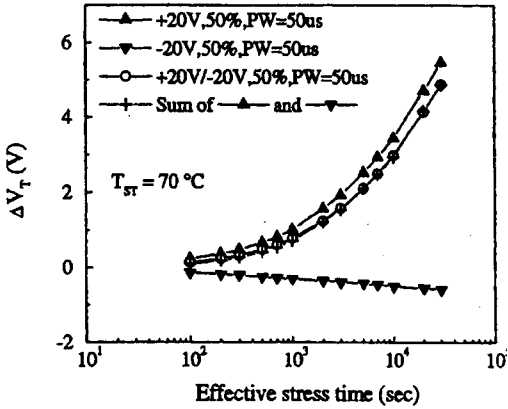


그림 6. AC stress에 의한 positive/negative Vth Shift의 증첩

2.2 실험

생산비를 줄이고 패널 슬림화에 장점이 있는 a-Si:H gate기술이 중요시됨에 따라 최적의 구동 특성을 확보하기 위한 정확한 simulator가 요구되고 있다. 현재 상용화된 여러 simulator중에서 a-Si TFT의 모델링이 가장 잘 되어 있는 AIM-SPICE를 이용하여 앞에서 언급한 ΔV_t 모델링을 시뮬레이션한다.

그림 7은 실험에 사용된 a-Si:H gate TFTs 회로이다. 1개의 시프트 레지스터는 총 9개의 TFT로 이루어져 있다. CKV와 CKVB는 gate line의 홀수 또는 짝수열에 입력되어 gate TFT를 동작시키는 clock과 출력 level을 결정한다. 기능면에서는 2개의 main TFT(TFT1, TFT5)와 출력을 reset시키기 위한 TFT(TFT2, TFT6) 그리고 출력 파형의 특성 안정화를 위한 보상회로로 구성되어 있다. Gate출력을 제어하는 T1 단자는 TFT1의 gate에 연결되어 있으며 TFT1은 CKV(또는 CKVB)와 Vg(n) 사이에 연결되어 해당시간에 CKV를 출력으로 내보내는 역할을 한다. TFT2과 TFT6은 Vg(n+1)에 동기되어 gate출력과 T1 노드에 Voff level을 유지하게 한다. Cgd에 의해 T1 노드에 ripple이 coupling되는 것을 방지하기 위해 TFT7, TFT8이 CKVB(또는 CKV)에 반감아 동기되어 T1 노드를 안정화시킨다. TFT3과 TFT9는 gate 출력파형 보상을 위해 사용된다.

a-Si:H gate의 기존 Gate drive IC와 가장 큰 차이점은 Voff 전위를 유지하기 위해 CKV 또는 CKVB와 동기되어 AC구동을 한다는 것이다. 따라서 앞서 설명한 AC구동에서의 Vth이동에 대한 모델링을 적용하여 각각의 조건에 대한 Vth이동을 예측할 수 있으며 시간에 따른 gate출력 파형의 열화 현상도 시뮬레이션 할 수 있을 것이다.

그림 8은 gate회로 n번째 단의 입출력 신호를 나타내었다. Vg(n-1) 신호가 인가되면 첫 번째 시프트 레지스터의 latch회로가 set되어 TFT1에 연결되고 T1노드는 Vg(n-1)과 CKV(또는 CKVB)에 의해 TFT1을 동작시키고 이에 따라 CKV(또는 CKVB) 신호가 그대로 출력에 연결되어 Vg(n) 출력을 만들어 낸다. 이어서 같은 원리로 두 번째 S/R단에서 Vg(n+1) 신호가 생성되면 첫 번째 시프트 레지스터단이 reset되고 이후 Vg(n)은 hold TFT를 동작시켜 Vg(n+1) 이후에는 Voff 상태를 유지하게 한다.

표 1에 시프트 레지스터를 구성하는 각 TFT별 Gate pulse 전압, drain 펄스전압, duty cycle이 나타나 있다. 각 TFT별 인가되는 전압 및 duty cycle은 다르게 이에 따라 시간에 따른 각 TFT의 Vth이동은 다른 특성을 보일 것이다. 측정에 사용된 TFT-LCD Module은 모니터에 주로 사용되어 지는 SXGA급(1280X1024)으로 하였고 구동주파수는 60Hz로 gate 펄스폭은 대략 20us이다.

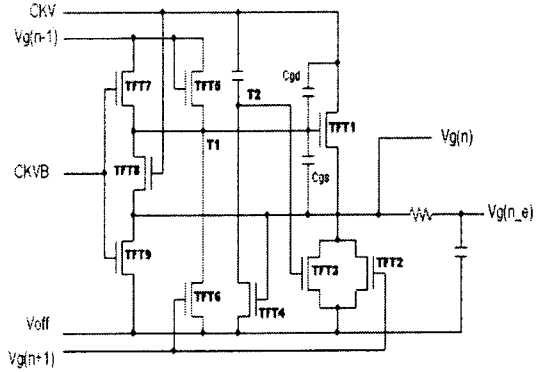
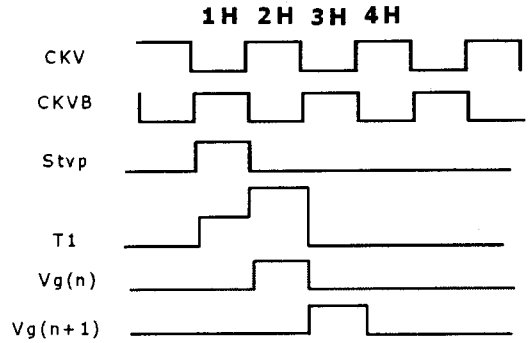


그림 7. 9개의 a-Si:H를 이용한 시프트 레지스터 회로도

그림 8. a-Si:H gate TFT의 입/출력 Timing



3. 결 론

실제 a-Si:H gate에서 ΔV_t 에 주 영향을 주는 것은 positive pulse bias임을 설명했다. 이러한 TFT 특성 열화 요인으로 표1에서와 같이 Duty비, gate-drain간의 전압차이와 주변 온도가 실질적인 a-Si:H gate의 신뢰성에 영향을 주는 요인이다. 결과에서 보듯이 각 TFT에 대하여 gate 및 drain 노드 파형을 시뮬레이션하여 각각의 duty비 및 gate-drain간의 전압차를 조사하고 실험치를 비교한 결과 duty비 및 gate-drain 전압차가 동시에 클 경우 문턱 전압이 크게 이동하는 것을 알 수 있다.

positive bias 모델만을 이용하여 시간에 따른 ΔV_t 를 상온에서 측정된 데이터를 fitting함으로써 식(4)로부터 model parameter($A^+ = 1 \times 10^{-4}$, $\alpha^+ = 2.3$, $\beta^+ = 0.37$)를 얻을 수 있다.

식(4),(5)를 이용한 pulse 전압 인가시 ΔV_t shift 모델링을 AIM-SPICE를 이용하여 그림 9에서와 같이 시뮬레이션하였다. Main TFT인 TFT1에서 W/L=7000, Von=21V, Vgl=0V, $A^+=1 \times 10^{-4}$, $\alpha^+=2.3$, $\beta^+=0.37$, T=298K일 경우 시간에 따른 gate출력 파형의 변화를 시뮬레이션한 결과이다. 결과와 같이 회로 설계 및 조건에 따라 stress시간에 따른 S/R출력 파형 예측이 가능하고 상온에서 Von=21V를 인가한 결과 약 4년 후부터 출력 파형이 열화 된다.

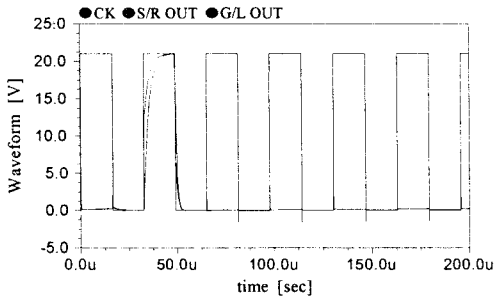
그림 10 (a)는 W/L=10000으로 키웠을 경우의 결과이고 (b)는 Vgh를 26V로 인가시 출력 파형의 변화이다. TFT크기를 키울 경우 열화가 느리고 펄스크기를 키울 경우에는 시간에 따른 출력 파형 열화가 빨리 진행되는 것을 알 수 있다. 따라서 신뢰성을 높이기 위해서 TFT의 크기를 키우는 것도 효과가 있으나 실장 면적의 한계로 인해 제한이 있다.

즉 a-Si:H TFT를 이용하여 S/R 회로의 신뢰성을 향상시키기

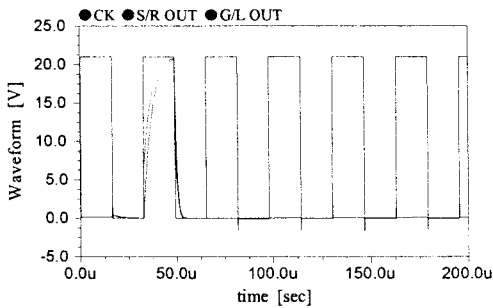
위해서는 TFT설계 및 구동 조건의 최적화가 필요하며, 이를 위해 보상 회로의 추가 설계보다는 TFT의 device 성능 향상에 의한 접근 방법이 근본적으로 요구된다.

표1 : TFT의 Gate-Drain간 전압차이, Duty cycle에 따른 Vth 실험 결과

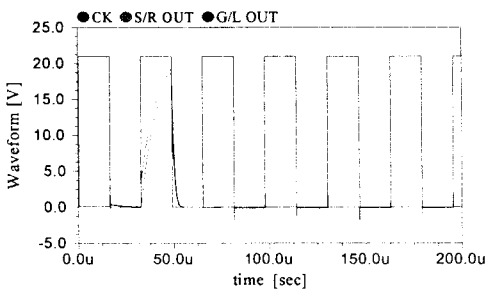
Devices	Gate-Drain간의 전압차이	Duty cycle	결과
TFT1	Vgh	0.001	7.4
TFT2	Vgh+Vgl	0.001	7.7
TFT3	Vgh+Vgl-Vth	0.5	13.7
TFT4	Vgh+Vgl	0.001	4.4
TFT5	0	0.001	5.4
TFT6	Vgh+Vgl	0.001	8.3
TFT7	Vgh+Vgl	0.5	20.5
TFT8	Vgh+Vgl	0.5	19.8
TFT9	Vgh+Vgl	0.5	16.7
Pixel TFT	Vgh	0.001	1.8



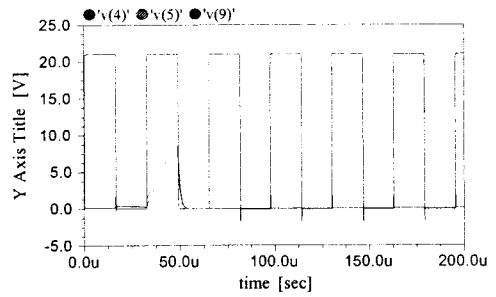
(a) 1 MONTH



(b) 1 YEAR

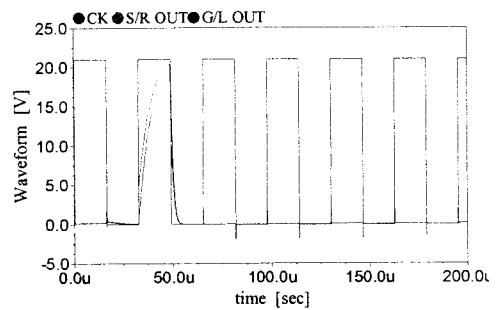


(c) 2 YEAR

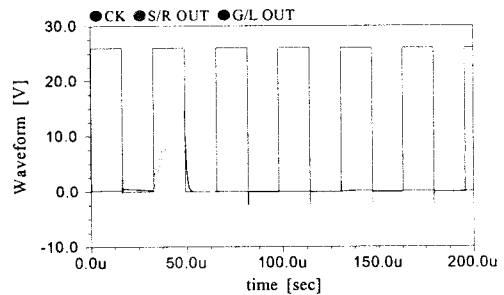


(d) 4 YEAR

그림 9 : AIM-SPICE를 이용하여 시간에 따른 a-Si:H gate IC출력 파형의 변화 (W/L=7000, Von=21V)



(a) W/L=10000, Vgh=21V



(b) W/L= 7000, Vgh = 26V

그림 10 : TFT의 W/L, Vgh level에 따른 2년 후 gate 펄스의 출력 파형

[참 고 문 헌]

- [1] M. J. Powell, "The physics of amorphous-silicon thin-film transistors," IEEE Conf. on Electron Devices, Vol. 36, No. 12, pp. 2753-2763, December 1989.
- [2] Toshihisa Tsukada, "TFT/LCD : Liquid-crystal display addressed by thin-film transistors." Japanese Technology Reviews, Vol. 29, pp. 66-73, 1996
- [3] C. Chiang and J. Kanicki, "Electrical instability of hydrogenated amorphous silicon thin film transistor for active matrix liquid-crystal display," Jpn J. Appl. Phys., Vol. 37, No. 9A, pp. 4704-4710, September 1998.
- [4] H. Lebrun, N. Szydlo, and E. Bidal, "Threshold voltage shift of amorphous silicon TFTs in integrated drivers for active-matrix LCDs," SID, pp. 539-542, 2003.