

Kink 전류 억제를 위한 새로운 구조의 다결정 실리콘 박막 트랜지스터

이혜진, 남우진, 한민구
 서울대학교 공과대학 전기, 컴퓨터 공학부

An Improved Output Current Saturation of Poly-Si TFTs Employing Reverse Bias Depletion in the Channel

Hye-Jin Lee, Woo-Jin Nam and Min-Koo Han

School of Electrical Engineering and Computer Science, Seoul National University

Abstract - 본 논문에서는 역 방향 전하공핍(reverse bias depletion)을 적용한 새로운 구조의 다결정 실리콘 박막 트랜지스터(poly-Si TFT)를 제안한다. 제안된 소자는 kink 전류 억제를 목적으로 counter-doped(p+) 영역이 채널 내로 확장되어 유효채널 폭을 감소시키는 구조이다. 감소된 채널 폭에 의하여 포화 영역의 채널 내 저항이 증가하고, 홀 전류를 통하여 kink 효과가 억제된다. 제작된 새로운 poly-Si TFT는 기존의 소자에 비해 효과적으로 kink 전류를 억제할 수 있음을 실험을 통해 검증하였다.

1. 서 론

다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistors, Poly-Si TFTs)는 우수한 전계 효과 이동도(mobility)와 on-current를 가지고 있어 능동 구동 액정 디스플레이(AMLCD)와 능동 구동 유기 EL(AMOLED)과 같은 다양한 소자로의 적용이 가능하다[1-2]. 다결정 실리콘 박막 트랜지스터의 내부 floating body 구조로 인하여 발생하는 kink 전류는 중요한 연구 주제가 되어왔다. Poly-Si TFT에 높은 드레인 전계가 인가되면 이온화 충돌(impact ionization)에 의한 전자-홀 쌍이 생성되고, 홀이 채널의 body 영역에 유입되면서 기생 bipolar 트랜지스터 동작에 의한 kink 효과가 발생된다. Kink 효과는 전계 효과 이동도의 감소와 문턱 전압(threshold voltage)의 이동을 발생시켜 소자 특성의 열화를 가져온다[3-4]. 또한, kink에 의한 불안정한 포화 출력 특성은 아날로그 회로 증폭기의 이득을 감소시킨다[5]. 이전의 연구에서는 counter-doped Body Tied to Source(BTS) 구조를 제안하여 counter-doped 소오스 단자의 홀 축적을 이용하여 효과적으로 kink 전류를 억제시킨 바 있다[6].

그러나 kink 전류가 억제된다 하더라도 채널 저항이 실제적으로 크지 않기 때문에, 드레인-소오스 간 전압(V_{DS})이 증가할수록 포화 전류가 다소 증가하게 된다. 따라서 출력 저항의 증가는 높은 이득을 요구하는 아날로그 버퍼(analog buffer) 또는 전류원과 같은 고성능 poly-Si 구동 회로 설계에 필수적이다.

본 논문의 목적은 kink 억제와 향상된 전류 포화를 위하여 p+n 역 방향 전하공핍(reverse bias depletion)을 적용한 다결정 실리콘 박막 트랜지스터(poly-Si TFT)를 제안하는 것이다. 제안된 구조에서 적용된 역도핑(counter-doped) p+ 소오스는 채널 영역으로 확장되어 p+n 접합이 채널 내에 형성된다. V_{DS} 가 증가할수록 역 방향 p+n 공핍층에 역방향 bias가 증가하고 따라서 공핍 폭이 증가한다. 그러므로 소자의 유효 채널폭은 감소할 것으로 예상할 수 있다. 실험 결과를 통하여 제작된 poly-Si TFT에서 kink 전류가 억제되고 출력 저항이 증가됨을 검증하였다.

2. 본 론

2.1 제안된 구조

그림 1은 counter-doped 소오스를 적용한 제안된 poly-Si TFT의 구조를 보여준다. N-type poly-Si TFT에서 counter-doped p+ 소오스는 n+ 소오스에 묶여 있고 채널 영역으로 확장되어 있다. TFT의 채널 도핑 농도는 거의 전형적인 undoped 상태이나, 양의 게이트 bias 전압(V_{GS})에 의하여 turn-on이 되면 n 채널 특성을 보인다. 즉, $V_{GS} > V_{TH}$ 일 때, p+ 소오스와 n 채널 간에 p+n 접합이 형성된다. 실험에서 채널의 폭과 길이는 각각 $W=15\mu m$, $L=10\mu m$ 이고, 확장된 p+ 소오스의 폭과 길이는 각각 $W_p=4\mu m$, $L_p=6\mu m$ 이다. 제안된 구조는 게이트를 이용한 n-type과 p-type self-align으로 이온주입 도핑하였고, 기존 CMOS 공정으로 적용 가능하다.

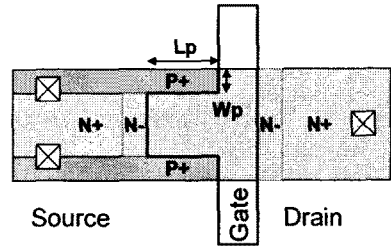


그림 1. Counter-doped p+ 영역을 적용한 제안된 poly-Si TFT

역 방향 공핍을 위하여 확장된 p+ 소오스는 n-type 채널 영역 내 형성된다. V_{DS} 가 증가할 때, poly-Si TFT는 선형 영역으로부터 포화 영역으로 동작하고 채널 영역의 전위 역시 증가한다. 확장된 p+ 소오스가 소오스 전압 V_S 에 연결되어 있기 때문에, 채널 전위의 증가는 역 방향 p+n 공핍의 증가를 의미한다. 그림 2는 채널 영역의 전위 분포를 시뮬레이션 한 결과이다. 확장된 p+ 소오스는 $6\mu m$ 이고 $L=6\mu m$, $V_{DS}=10V$ 에서 역 방향 전압은 1.5V이다. n 채널 영역의 역 방향 공핍폭은 다음과 같다:

(식 1)

$$x_n = \sqrt{\frac{2\epsilon_s (V_{bi} + V_R) N_a}{e} \left[\frac{1}{N_a + N_d} \right]}$$

$$\therefore W_{eff} = W - 2x_n$$

여기서 V_{bi} 는 p+n 접합의 built-in 전위를 의미하고, 이

것은 도핑 농도 Na(홀)와 Nd(전자)에 의해 결정된다. V_R 은 p+ 소오스로부터 n 채널 쪽으로 가해진 역 방향 전압이다. $V_R=0$ 인 초기조건에서, p+n 공핍은 오직 Vbi에 의해서만 유도되어 비교적 작은 공핍폭을 보인다. 하지만 V_R 이 증가할수록, 공핍폭은 (식 1)에 나타난 바와 같이 증가하게 된다. 공핍폭은 도핑 농도인 Na와 Nd에 의해 결정된다. 제안된 구조에서 counter-doped 소오스 노드는 p+(Na= 110^{19}cm^{-3})로 높게 도핑되어 있고 채널 영역은 intrinsic(Nd= 110^{16}cm^{-3})이므로 대부분의 공핍폭은 n 채널 영역에 포함된다.

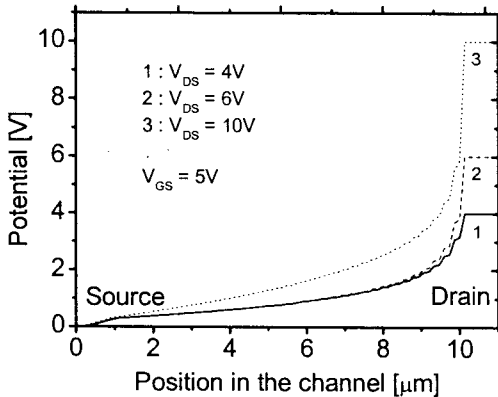


그림 2. $V_{DS} = 4V, 6V, 10V / V_{GS} = 5V$ 일 때 V_{DS} bias에 따른 채널 영역의 전위 분포 시뮬레이션 결과

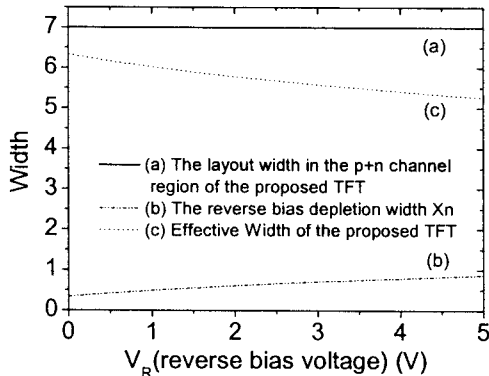


그림 3. 계산된 채널폭. (a)제안된 TFT의 layout 폭 (b)역 방향 p+n 공핍폭 x_n (c)제안된 TFT의 유효폭

제안된 소자의 V_{DS} 증가에 의한 유효 채널폭 감소를 관찰하기 위해 역 방향 p+n 공핍폭(x_n)을 계산하였다. V_R 이 1V일 때 x_n 을 계산 해보면 약 $0.49 \mu\text{m}$ 이다. p+n 공핍 영역 내 유효 채널폭은 $W_{\text{eff}} = W - 2x_n = 7 - 0.92 \approx 6 \mu\text{m}$ 이다. 그림 3은 V_{DS} 가 증가함에 따른 p+n 공핍 영역 내 W_{eff} 의 계산 결과를 보여준다. W_{eff} 는 V_{DS} 에 의해 감소되어 (식 1)과 같은 제곱근 형태의 곡선으로 나타난다. 공핍 영역에서 유효 채널폭이 감소하여 전류가 흐를 수 없으므로, 기존 poly-Si TFT와 제안된 TFT의 I_{DS} 전류 식은 다음과 같이 표현된다:

(식 2)

$$\begin{aligned}
 I_{DS} &= \frac{W_{\text{eff}} \mu C_{\text{ox}}}{2L} (V_{GS} - V_{TH})^2 [1 + \lambda(V_{DS} - V_{DS,SAT})] \\
 &= \frac{(W - 2x_n) \mu C_{\text{ox}}}{2L} (V_{GS} - V_{TH})^2 [1 + \lambda(V_{DS} - V_{DS,SAT})] \\
 &= \frac{W \mu C_{\text{ox}}}{2L} (V_{GS} - V_{TH})^2 [1 + \lambda(V_{DS} - V_{DS,SAT})] [1 - \alpha \sqrt{f(V_{DS})}]
 \end{aligned}$$

여기서 α 는 (식 1)을 통해 구한 계수이다. λ 는 일반적으로 short channel MOS 소자의 channel length modulation factor로 사용되나, 본 논문에서는 편의상 전류 포화 factor를 의미한다. 이것은 poly-Si TFT의 kink 효과와 낮은 출력 저항을 고려하여 경험적으로 구한 것이다. 제시된 (식 2)에서 λ factor에 의한 전류 증가는 그림 4에 나타난 바와 같이 역 방향 p+n 공핍에서 감소된 채널폭에 의하여 억제 가능하다.

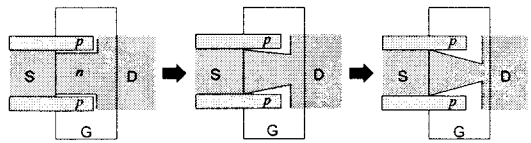


그림 4. 제안된 구조에서 V_{DS} 증가에 따른 유효 채널폭의 감소

2.2 실험

280°C PECVD를 통하여 70nm 두께의 a-Si 박막을 증착하고, 400°C, 2시간의 furnace 어닐링으로 탈수소화를 진행하였다. XeCl 엑시머 레이저($\lambda=308\text{nm}$)로 a-Si 박막을 결정화하였다. 100nm TEOS 게이트 절연막과 300nm 알루미늄(Al) 게이트 금속이 사용되었다. n-type 및 p-type 이온 주입(phosphorus, boron)을 통하여 소오스/드레인 LDD(Lightly Doped Drain)와 counter-doped 소오스 영역을 형성하였고, dopant activation을 위하여 엑시머 레이저로 어닐링하였다. 제안된 소자는 기존 CMOS poly-Si 공정으로 제작 가능하며 추가로 필요한 마스크 공정은 없다. 그림 5는 제작된 poly-Si TFT의 사진이다. counter-doped p+ 영역이 성공적으로 형성된 것을 볼 수 있다.

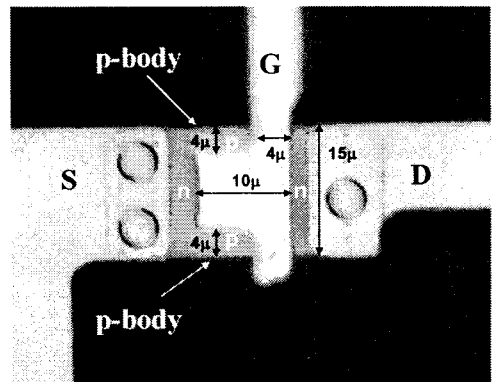


그림 5. Counter-doped p+ 소오스를 적용하여 제작된 poly-Si TFT의 사진과 소자 크기

2.3 결과

그림 6은 제작된 poly-Si TFT의 $I_{DS}-V_{GS}$ 전달 특성 곡선을 보여준다. 소자 측정 결과, 전계 효과 이동도는

$\mu = 179 \text{ cm}^2/\text{V}\cdot\text{s}$ 이고 문턱 전압은 $V_{TH} = 2.8 \text{ V}$ 이다. Counter-doped p+ 영역은 소오스 노드에 같은 전위로 묶여있고 V_{GS} 전압에 영향을 받지 않는다. 게이트 길이 $15\mu\text{m}$ 의 측정된 소자는 LDD 공정을 사용하여 약 $1 \times 10^{-12} \text{ A}$ 의 낮은 누설 전류를 얻었다.

그림 7은 기존 poly-Si TFT와 제안된 TFT의 출력 특성을 보여준다. 게이트 전압 V_{GS} 는 5V-9V로, 드레인 전압은 0V-10V로 증가시켰다. 기존 TFT에서는 V_{DS} 가 증가함에 따라 출력 전류도 증가하는 반면, 제안된 TFT의 출력 전류는 효과적으로 억제된 것을 확인할 수 있다. 이러한 결과는 제안된 counter-doped p+의 영향으로 해석할 수 있다. 즉, V_{DS} 가 증가함에 따라 그림 4에 나타난 바와 같이 p+n 공핍층이 증가하여 유효 채널폭을 감소시킨다. 그림 7에서 제안된 소자는 기존 소자와 비교할 때 상대적으로 약간 낮은 포화 전류 레벨을 보인다. 이는 V_{DS} 가 인가되지 않은 초기상태에서도 p+n 접합에는 이미 built-in 전위가 형성되어 W_{eff} 가 $W=15\mu\text{m}$ 에 못 미치기 때문이다. 제안된 소자를 기존 소자와 비교해 보면, kink 전류가 감소되고 kink가 늦게 발생하는 것을 알 수 있다. 이는 impact ionization에 의해 발생된 홀이 p+ 노드로 빠짐에 따라 기생 bipolar 효과를 억제시켰기 때문인 것으로 사료된다[5].

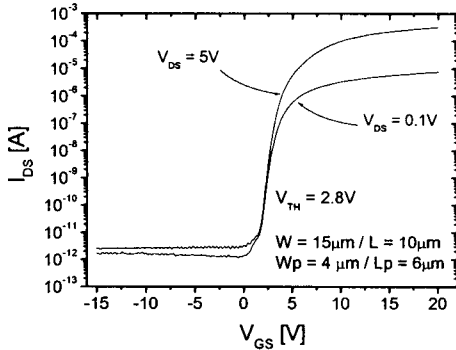


그림 6. 제안된 poly-Si TFT의 특성 곡선

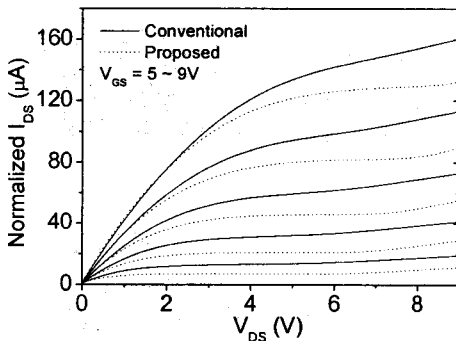


그림 7. 기존 poly-Si TFT와 제안된 TFT의 출력 특성. 두 TFT의 구조가 다른 것을 고려하여 폭과 길이에 따라 정규화한 전류값을 사용하였다.

그림 8에서 제안된 poly-Si TFT와 기존 TFT에서 전기적 스트레스에 따른 효과를 검증하였다. Hot-carrier 스트레스를 받을 때 poly-Si TFT의 전기적 특성이 열화되는 것을 최대 transconductance($G_{m,max}$) 값의 초기 대비 열화 특성을 통해 분석하였다. 열화 조건은 $V_{DS}=12\text{V}$ 에서 1000초간 지속했으며, 같은 초기값

($G_{m,max}$)에서 G_m 열화를 비교하기 위하여 기존 TFT와 제안된 TFT의 V_{GS} 는 각각 8V와 9V의 조건을 적용하였다. 기존 TFT는 제안된 TFT보다 더욱 현저한 열화를 보이는 반면, 제안된 구조는 주어진 스트레스에 의하여 심하게 열화되지 않았다. 이러한 결과는 제안된 구조의 poly-Si TFT가 기존 구조에 비하여 kink 전류는 억제되고, 전기적 스트레스에 대한 안정성은 향상됨을 의미한다.

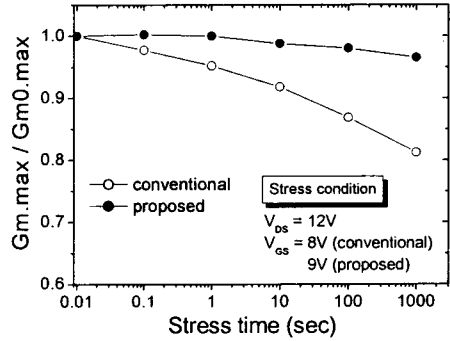


그림 8. 기존 소자와 제안된 소자의 hot-carrier 스트레스에 의한 초기 transconductance(g_m)의 열화 추이 비교

3. 결 론

본 논문에서는 kink 전류 억제와 포화 출력 저항 증가를 목적으로 p+n 역 방향 공핍을 적용한 새로운 구조의 poly-Si TFT를 제안하였고, 실험 결과를 통하여 검증하였다. 본 연구에서 제안된 counter-doped 단자는 소오스에 묶여있고, 채널 영역으로 확장된 구조를 갖는다. EK라서 V_{DS} 가 증가할수록 역 방향 상태에 의하여 n 채널 내 p+n 공핍은 증가하고, 유효 채널폭은 감소한다. 그 결과, 채널폭의 감소는 출력 채널 저항을 증가시켜 출력 전류의 포화 특성이 향상되었다. 또한, counter-doped 단자는 채널 내 축적되는 홀을 소오스로 배출시켜 kink 효과를 억제한다. 실험 결과를 통하여 제안된 TFT가 kink 전류 억제뿐만 아니라 포화 전류 특성 향상에도 효과적임을 검증하였다.

[참 고 문 헌]

- [1] N. Kubo, N. Kusumoto, T. Inushima, S. Yamazaki, IEEE Trans. Electron Device, Vol. 41, No. 10, pp.1876-1879, 1994
- [2] J. Jin, Tech.Digest of AMLCD-02, pl, 2002
- [3] Marina Valdinoci et al. IEEE Trans. Electron Device, Vol. 44, No. 12, pp 2234-2241, 1997
- [4] J. H. Jeon, M.C. Lee, K. C. Park, IEEE Electron Device Letters, Vol. 22, No. 9, pp.429-431, 2001
- [5] J. S. Yoo, C. H. Kim, M. C. Lee, M. K. Han, H. J. Kim, IEEE IEDM Tech. Digest, pp. 217-220, 2000
- [6] J. H. Kim, "Characteristics of Poly-Si TFTs Employing Counter-Doped Body Tied Source for Kink Suppression," SID 2004, pp. 284287, 2004