

수평형 에미터 스위치트 사이리스터의 단락회로 유지 능력 향상을 위한 새로운 보호회로

최영환, 지인환, 최연익\*, 한민구  
 서울대학교 전기 컴퓨터 공학부, \*아주대학교 전자공학부

A New Protection Circuit for Improving Short-Circuit Withstanding Capability of Lateral Emitter Switched Thyristor (LEST)

Young-Hwan Choi, InHwan Ji, Yearn-Ik Choi, Min-Koo Han

School of Electric Eng. & Computer Science, Seoul Nat. Univ. College of Electronic Eng., Ajou Univ.

**Abstract** - 수평형 에미터 스위치트 사이리스터 (Lateral Emitter Switched Thyristor, LEST)의 고전압 전류 포화 특성을 위한 새로운 보호회로가 제안하였으며 성공적으로 제작 및 측정하였다. LEST의 부유(浮遊, floating) n+ 전압이 보호 MOSFET의 문턱 전압 보다 커지면 보호 회로는 LEST의 동작 모드를 regenerative 상태에서 non-regenerative 상태로 전환시킨다. 일반적인 LEST의 전압 전류 포화 특성이 17 V로 제한되는 것에 비해 제안된 회로와 결합된 LEST는 200V 이상의 고전압 전류 포화 특성을 보였으며, Hard Switching Fault(HSF) 단락 회로 상황에서도 10  $\mu$ s 이상 견디는 단락 회로 유지 능력을 보였다.

1. 서 론

MOS 제어 사이리스터(MOS-Controlled Thyristor, MCT), 베이스 저항 제어 사이리스터(Base Resistance controlled Thyristor, BRT), 에미터 스위치트 사이리스터(Emitter Switched Thyristor, EST)와 같은 MOS-gated 사이리스터는 절연 게이트 바이폴라 트랜지스터(Insulated Gate Bipolar Transistor, IGBT)에 비해 낮은 순방향 전압 강하 특성을 가지고 있어 고전력 분야에서 각광을 받고 있다 [1]. 또한 수평형 MOS-gated 사이리스터는 전력 집적 회로에서 CMOS와 의 집적 가능성으로 많은 관심을 받고 있다 [2-3]. 그 중에서도 수평형 EST(LEST)는 유일하게 게이트-제어 전류 포화 특성을 가지고 있어 다른 수평형 MOS-gated 사이리스터에 비해 넓은 안전 동작 영역(SOA)을 갖는다 [4]. 하지만 LEST의 전류 포화 특성은 LEST 내부의 수평형 MOSFET의 항복 현상에 의해 제한되는데, 이는 LEST가 정상 사이리스터 동작 상황일 때 부유(浮遊, floating) n+ 전압이 애노드 전압을 따라 증가하기 때문이다 [5]. 이 현상에 의해 LEST는 고전압 전류 포화 특성을 보이지 못한다.

수직형 사이리스터에서 고전압 전류 포화 특성을 위해 이중 채널 EST(Dual-channel EST, DC-EST) [6]와 SIMOX EST(SIMEST) [7]가 제안되었으며, 수평형 소자로도 제작이 가능하다. 하지만 DC-EST의 고전압 전류 포화 특성은 낮은 게이트 전압에서만 가능하고, 기존 EST에 비해 높은 순방향 전압 강하를 가진다. 수평형 SIMEST는 복잡한 SIMOX 공정이 필요하고 낮은 게이트 전압에서만 고전압 전류 포화 특성을 얻을 수 있다.

본 논문에서는 복잡한 공정과 순방향 전압 강하의 손실 없이 LEST가 높은 게이트 전압에서도 고전압 전류 포화 특성을 가질 수 있게 하는 보호 회로를 제안하고 제작하였다. 고전압 전류 포화 특성을 확인하기 위해 200 V급 LEST와 보호 회로를 7-마스크 표준 IGBT 공정을 통해 제작하였다. 실험 결과, 제안된 회로와 결합된 LEST는 고전압 전류 포화 특성을 성공적으로 보였으며, HSF 단락 회로 상황에서 보호 동작을 하는 것을 확인

하였다.

2. 본 론

2.1 보호 회로의 동작 원리

그림 1은 제안된 보호 회로와 결합된 LEST의 단면도이다. 제작된 LEST의 제작 변수는 표 1에 나타나 있다. 저항  $R_G$ 는 LPCVD 공정을 통한 3500 Å의 다결정 실리콘으로 증착되었고, 보호 MOSFET ( $M_P$ )는 추가적인 p-웰(well) 공정 없이 p-베이스 영역 내에서 제작되었다. 부유 n+ 전압( $G_P$  전압)이 보호 MOSFET의 문턱 전압보다 커지게 되면 내부 게이트 전압( $D_P$  전압)은  $R_G$ 와  $M_P$ 의 on-저항의 비에 따라 감소하게 된다. LEST의 사이리스터 전류는 LEST 내부의 수평형 MOSFET을 통해 흐르기 때문에, 내부의 수평형 MOSFET 게이트의 전압이 감소하면 애노드 전류도 감소한다. 애노드 전류가 감소하게 되면 LEST 내부의 PNP, NPN 트랜지스터는 포화 동작 영역(saturation mode)을 벗어나게 된다. PNP, NPN 트랜지스터가 포화 동작 영역을 벗어나 순방향 동작 영역(forward active mode)으로 변화하는 동안 부유 n+ 전압은 증가하여 내부 MOSFET 게이트 전압과 애노드 전류를 다시 감소시킨다. 이러한 순방향 되먹임 특성을 통해 사이리스터의 동작 모드는 regenerative 상태에서 non-regenerative 상태로 전환된다. 사이리스터의 동작 모드가 non-regenerative 상태일 때는 LEST의 p-베이스와 n-드리프트 접합이 애노드 전압을 견디기 때문에 부유 n+ 전압은 애노드 전압을 따라서 증가하지 않는다. 그러므로 제안된 보호 회로와 결합된 LEST는 고전압 전류 특성을 얻을 수 있다 [8].

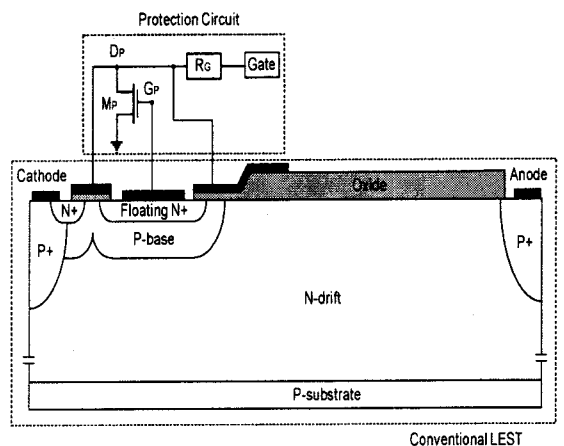


그림 1. 제안된 보호 회로와 LEST가 결합된 단면도

표 1. 보호 회로와 결합된 LEST의 공정 변수

공정 변수		값(단위)
게이트 절연막 두께		1000(Å)
게이트 길이		3(μm), 10(μm)
접합 깊이	N+ 캐소드	1(μm)
	P- base	3(μm)
	P+ 캐소드	6(μm)

2.2 실험 결과

그림 2는 기존 LEST와 제안된 보호 회로와 결합된 LEST의 측정된 전류-전압 특성 곡선이다. 보호 MOSFET(M<sub>P</sub>)의 문턱 전압은 2.5 V이다. 기존 LEST의 항복 전압은 17 V인데 비해 제안된 회로와 결합된 LEST의 항복 전압은 보호 회로에 의해 200 V 이상임을 볼 수 있다. 애노드 전류 밀도 100 A/cm<sup>2</sup>에서의 순방향 전압 강하 특성은 두 소자 모두 동일하다. 기존 LEST의 최대 제어 전류(Maximum Controllable Current, MCC)는 게이트 전압을 15 V에서 0 V로 턴-오프 하여 측정하였다. 측정된 MCC는 280 A/cm<sup>2</sup>이다. 그림 2에서 볼 수 있듯이 기존 LEST의 전류는 MCC 이상으로 증가하는데 비해 제안된 보호 회로와 결합된 LEST의 최대 전류(그림 2의 I<sub>MAX</sub>)는 MCC 보다 낮게 유지된다. 제안된 보호 회로는 LEST의 MCC를 증가시키지는 못하지만, LEST가 MCC를 넘지 않도록 I<sub>MAX</sub>를 조절할 수 있다.

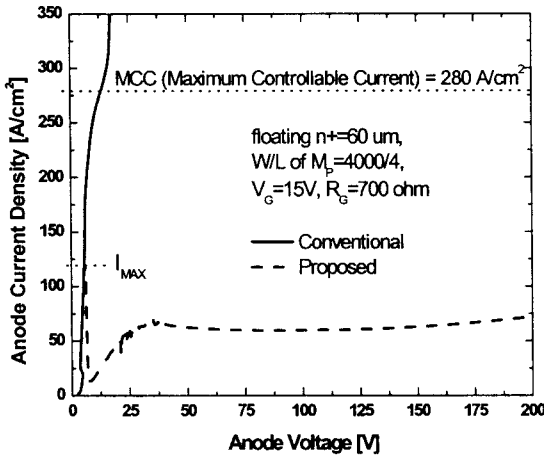


그림 2. 기존 LEST와 보호회로와 결합된 LEST의 측정된 전류-전압 특성 곡선

제안된 보호 회로가 애노드 전류가 아닌 부유 n+ 전압을 감지하므로 I<sub>MAX</sub>의 정확한 값을 알기는 어렵다. 따라서 I<sub>MAX</sub>에 대한 R<sub>G</sub>와 M<sub>P</sub>의 W/L의 영향을 알아볼 필요가 있다. 그림 3은 각각의 R<sub>G</sub>와 M<sub>P</sub>의 W/L에 따른 제안된 회로와 결합된 LEST의 전류 전압 특성 곡선이다. M<sub>P</sub>의 W/L가 4000/3 일 때 R<sub>G</sub>는 100 Ω, 300 Ω, 700 Ω이며 R<sub>G</sub>가 100 일때 M<sub>P</sub>의 W/L은 2000/3, 4000/3이다. R<sub>G</sub> 또는 M<sub>P</sub>의 W/L가 증가할수록 낮은 내부 게이트 전압(D<sub>P</sub> 전압)에 의해 애노드 전류는 더 낮은 수준에서 감소하며 포화 전류 또한 감소함을 볼 수 있다.

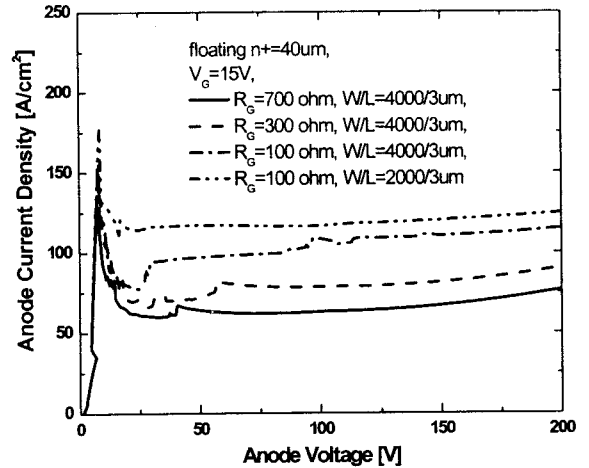


그림 3. I<sub>MAX</sub>에 대한 R<sub>G</sub>와 M<sub>P</sub>의 W/L의 영향

그림 4은 보호 회로 동작 전후의 내부 게이트 전압(D<sub>P</sub> 전압)과 부유 n+ 전압(G<sub>P</sub> 전압)을 측정한 것이다. 보호 회로의 동작 전에 부유 n+ 전압은 애노드 전압을 따라가면서 계속 증가하고 있다. 부유 n+ 전압이 보호 MOSFET(M<sub>P</sub>)의 문턱전압인 2.1 V에 도달하면 내부 게이트 전압은 조금씩 감소하기 시작한다. 부유 n+ 전압이 약 2.5 V 일때 내부 게이트 전압은 15 V에서 9 V로 급격히 감소한다. 보호 회로의 동작 후에 부유 n+ 전압은 더 이상 애노드 전압을 따라가지 않고 약 5.3 V에서 포화상태를 유지한다. 이 전압은 LEST 내부의 수평형 MOSFET의 항복 전압보다 낮으므로 보호회로와 결합된 LEST는 LEST 내부의 수평형 MOSFET의 항복 전압보다 높은 전압에서도 전압 전류 포화 특성을 가질 수 있다.

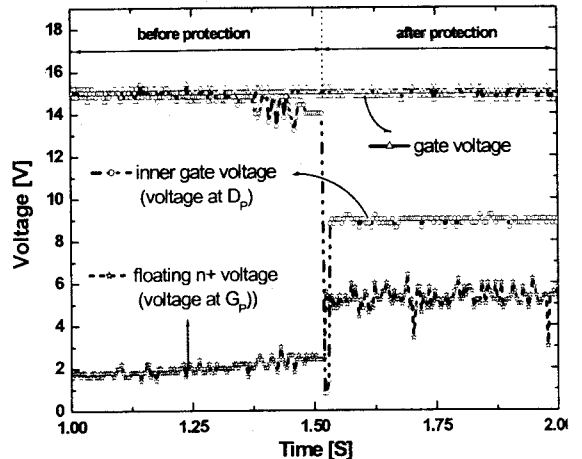


그림 4. 보호 회로 동작 전후의 내부 게이트 전압(D<sub>P</sub>)와 부유 n+ 전압(G<sub>P</sub>) (R<sub>G</sub> = 300 Ω, M<sub>P</sub>의 W/L = 4000/3)

단락 회로 상황에서의 보호 능력 검증을 위해 HSF 테스트를 실행하였고 그 결과는 그림 5에 나타나 있다. 보호 회로와 결합된 LEST의 경우 애노드 전류는 MCC 이하로 감소하여 단락 회로 상황에서도 10 μs 이상 견딜 수 있는데 비해 기존 LEST는 애노드 전류가 MCC를 넘어 고전력 소모에 의한 접합 failure를 초래한다.

### 3. 결 론

수평형 에미터 스위치트 사이리스터(Lateral Emitter Switched Thyristor, LEST)의 고전압 전류 특성을 위한 새로운 보호회로가 제안되었으며 성공적으로 제작되었다. 보호 회로는 부유 n+ 전압을 감지함으로써 사이리스터의 동작 모드를 regenerative 상태에서 non-regenerative 상태로 전환시킨다. 사이리스터의 동작 모드가 non-regenerative 상태에서는 부유 n+ 전압이 애노드 전압을 따라가지 않으므로 제안된 보호 회로와 결합된 LEST는 고전압 전류 포화 특성을 가지게 된다. 실험 결과 기존 LEST의 전압 전류 포화 특성이 약 17 V로 제한되는 것에 비해 제안된 보호 회로와 결합된 LEST는 보호 회로에 의해 200 V 이상의 고전압 전류 포화 특성을 보이며, Hard Switching Fault (HSF) 상황에서도 10  $\mu$ s 이상 건디는 단락 회로 유지 능력을 보였다. 제안된 보호 회로는 LEST의 최대 제어 전류(Maximum controllable current, MCC)를 증가시킬 수는 없지만 LEST의 최대 전류를 MCC 이하로 동작시킨다.

### [참 고 문 헌]

- [1] B.J. Baliga, Power Semiconductor Device, 1996.
- [2] Shuming Xu, Rainer Constapel, Dieter Silber and Johny K.O. Sin, "Reverse channel floating base emitter switched thyristor(RFB-EST)," IEEE Int. Electron Devices Meeting Digest, pp. 255-258, 1997.
- [3] M. N. Darwish, "A new lateral MOS-controlled thyristor," IEEE Electron Device Letters, Vol. 11m pp. 256-257, 1990.
- [4] E. M. Sankara Narayanan, Z. Qin, M. M. De Souza and G. Amaratunga, "A new lateral insulated base emitterswitched thyristor," Proc. Int. Symp. Power Semiconductor Devices and ICs (ISPSD), pp. 221-224, 1998.
- [5] N. S. Shekar, B. J. Baliga, "Characteristics of the Emitter-Switched Thyristor," IEEE Transactions on Electron Devices, Vol. 38, No. 7, pp. 1619-1623, 1991.
- [6] N. Iwamuro, M. S. Shekar et al, "Forward-Biased Safe Operating Area of Emitter Switched Thyristor," IEEE Transactions on Electron Devices, Vol. 42, No. 2, pp. 334-339.
- [7] S.Sridhar and B. J. Baliga, "The SIMEST : A New EST Structure Without Parasitic Thyristor Achieved using SIMOX Technology," IEEE Electron Device Letters, pp. 2048-2050, 1995.
- [8] B.C. Jeon, I.H. Ji, S.S Kim, S.C. Lee, Y. I. Choi and M. K. Han, "Enhanced short-circuit withstanding capability or the emitter switched thyristor by employing a new protection circuit," Proc. Int. Symp. Power Semiconductor Devices and ICs (ISPSD), pp. 277-280, 2004.

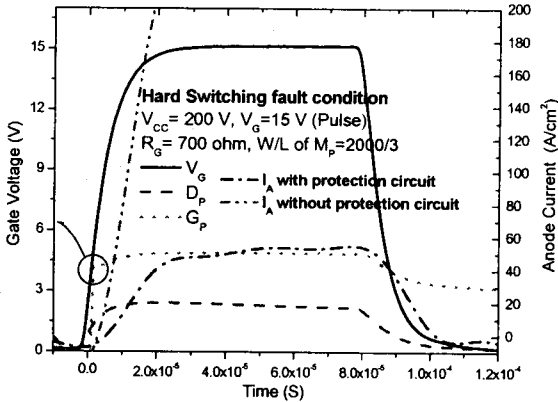


그림 5. HSF test의 파형

그림 7과 그림 8은 기존 LEST와 제안된 보호 회로가 결합된 LEST의 유도성 부하 스위칭(inductive load switching) 특성과 저항성 부하 스위칭(resistive load switching) 특성이다. 스위칭 특성이 동일함을 알 수 있다. 이는 제안된 보호 회로가 정상적인 스위치 동작 시에는 영향을 주지 않고 HSF와 같은 비정상적인 스위치 동작 시에 동작함을 의미한다.

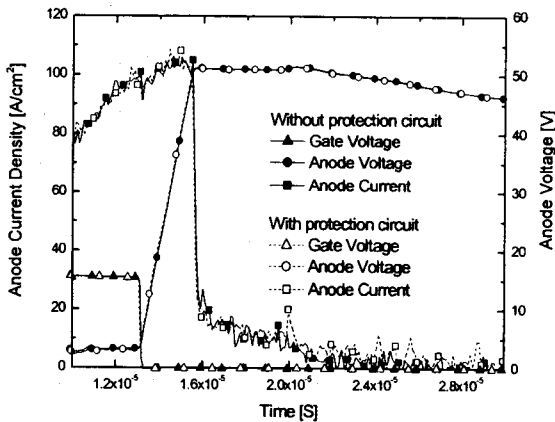


그림 6. 기존 LEST와 제안된 보호 회로가 결합된 LEST의 유도성 부하 스위칭 특성

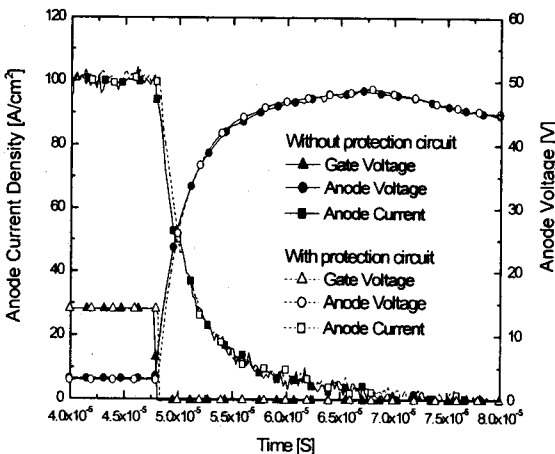


그림 7. 기존 LEST와 제안된 보호 회로가 결합된 LEST의 저항성 부하 스위칭 특성