

모놀리식 전력용 IC에서 다수의 항복 전압을 가지는 RESURF LDMOST의 구현

이세경, 최연익
아주대학교 전자공학과

The realization of RESURF LDMOSTs with different breakdown voltages in a monolithic power IC

Se-Kyeong Lee, Yearn-IK Choi
School of Electronics Engineering, Ajou University

Abstract - 전력용 IC에서 높은 항복전압의 구현을 위해서 RESURF구조가 많이 사용되고 있다. 하지만 하나의 칩 위에서 다양한 항복전압을 가지는 소자를 구현하기 위해서는 에피층의 농도가 각각 달라져야하는데 이는 공정상의 복잡함과 비용의 문제를 수반하게 된다. 이런 문제점에 따라 본 연구에서는 전력용 IC에서 항복전압이 다른 다수의 LDMOST를 추가 공정없이 에피 영역의 길이를 조절하여 구현할 수 있음을 해석적인 방법과 2차원 소자 시뮬레이터를 이용하여 확인하였다.

1. 서 론

전력용 반도체는 다루는 전류의 양이 크기 때문에 주로 수직형 소자의 형태로 만들어져왔다. 그러나 시간이 지날수록 다양한 기능을 가진 소자들을 하나의 칩 위에 구현하고자 하는 시도가 행해졌으며 이에 부응하기 위해 수직형이 아닌 수평형 소자의 연구가 행해진 것이다. LDMOST는 대표적인 스위치의 역할을 하는 수평형 소자로서 높은 항복전압을 얻기 위해 RESURF구조가 적용된 형태로 많이 쓰이고 있다[1][2][3].

RESURF구조의 특성상 구현하고자 하는 항복 전압에 적합한 농도의 에피층을 키워야 한다. 그렇기 때문에 하나의 칩 위에서 구현할 수 있는 항복전압이 제한되어 모놀리식 IC에서 다수의 항복전압을 구현하기가 어렵다. 다양한 항복전압을 가진 소자들의 구현이 어렵다는 것은 집적화에 아주 치명적인 것으로써 본 연구에서는 항복 전압이 전계의 적분으로 나타남을 이용하여 전계를 해석적인 방법으로 분석하여 보았다.

최대 항복전압을 얻기 위한 최적 에피 길이이하의 영역에서는 수평방향의 표면 전계의 침투치가 항복을 결정하기 때문에 수평방향의 표면 전계만을 2차원 소자 시뮬레이터로 분석하여 보았다. 전계의 모양을 통해 사다리꼴의 전계근사를 시도하였으며 해석적인 방법과 시뮬레이션의 결과를 비교하여 항복전압을 에피 길이의 함수로써 나타낼 수 있음을 확인하였다.

2. 본 론

2.1 RESURF LDMOST

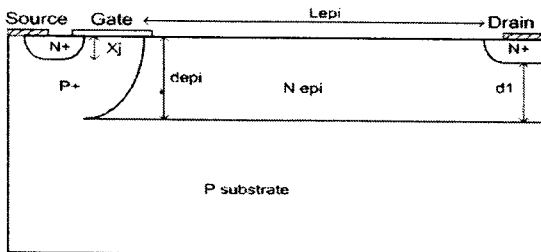


그림 1 RESURF LDMOST 구조의 단면도

2.1.1 해석적인 모델

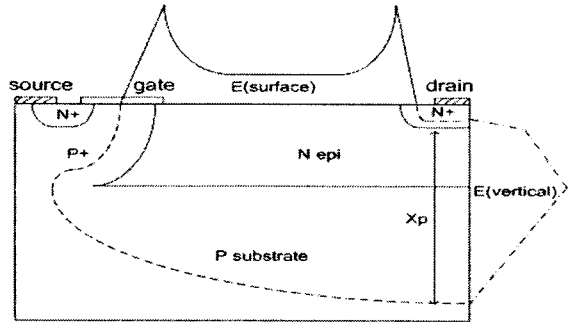


그림 2 내부 수평, 수직 방향의 전계

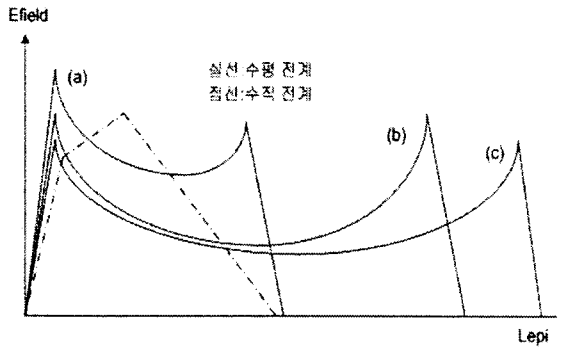


그림 3 에피 길이에 따른 표면 전계 분포

- (a) 최적 에피 길이 이하의 경우
- (b) 최적 에피 길이의 경우
- (c) 최적 에피 길이 이상의 경우

RESURF구조의 특징은 일반적인 구조에서 나타나는 수평 방향의 전계를 수평과 수직의 두 부분으로 분산시키므로써 보다 나은 항복 전압을 구현하도록 하는데 있다. 특히 최적의 설계는 수평 방향의 표면 전계와 수직 방향의 전계의 침투치가 같아지도록 설계할 경우인데 그때의 에피층의 길이가 최적의 길이가 되는 것이다[4].

그림 2는 RESURF LDMOST내부의 수평, 수직 방향의 전계 분포를 보여주고 있으며 그림 3에서는 에피 길이에 따른 각 경우들의 전계의 형태를 나타내고 있다. (b)의 경우는 최적 설계된 에피 길이로써 수평 전계의 양쪽 침투치가 같고 수직 전계의 침투치와도 같게 나타나게 된다. 또한 최적화된 길이 이상에서는 (c)의 경우처럼 표면 전계의 양쪽 침투치는 같지만 그 크기가 수직 방향의 전계보다 작게 나타나게 되어 항복 현상이 수직 방향의 전계에 의해 결정되는 것이다. 즉, 최적화된 에피 길이 이상에서는 그 항복 전압이 수직 방향 전계의 침투치에 의해 결정되며 더 이상 에피 길이를 증가시켜도 항복전

압은 증가하지 않으며 불필요한 면적의 증가만을 가져오게 된다.

반면 (a)의 경우처럼 최적의 에피 길이가 이하 영역에서는 표면 전계의 두 첨두치가 다르며 수직 방향의 전계보다 크게 나타나므로 항복 현상이 표면 전계에 의해 결정됨을 알 수 있다. 즉, 항복 전압은 전계의 적분을 통해 구할 수 있으므로 최적 에피 길이가 이하영역에서의 전계를 해석적으로 분석하였다.

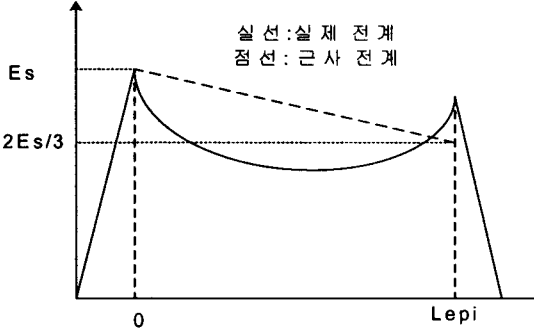


그림 4 최적 에피 길이하에서의 전계 모델

위 그림 4는 최적 에피 길이하영역에서의 표면 전계를 실제와 근사 모델로 나타낸 것이다. 표면 전계의 최대치는 Pwell과 Nepi의 접합부분에서 나타나며 항복 현상의 직접적인 원인이 된다. 전계의 적분이 항복 전압을 나타내는데 실선으로 둘러싸인 도형의 면적이 그에 해당된다. 하지만 본래의 전계 형태로는 적분이 쉽지 않기 때문에 적분 계산이 가능하도록 점선과 같이 사다리꼴의 형태로 근사 모델을 만들어 점선과 실선으로 둘러싸인 부분의 면적이 같도록 하였다. 표면 전계의 두 첨두치 중에서 큰 쪽의 첨두치를 E_s 로 정했을 때 다른 한 쪽의 전계를 그 값의 2/3가 되도록 하였을 때 두 영역의 면적이 거의 같게 나타났으며 이때의 항복현상은 E_s 에 의해 결정되는 것이다.

해석적인 항복 전압 계산을 위해 Fulop의 이온화 계수 $\alpha = 1.8 \times 10^{-35} E^7 [cm^{-1}]$ 을 사용하였다[5]. 또 계산에 사용한 항복에서의 이온화 적분식과 일차식으로 근사하여 나타낸 표면 전계에 대한 식은 아래와 같다.

$$\int_0^{L_{epi}} \alpha dx = 1 \quad (1)$$

$$E(x) = E_s \left(1 - \frac{1}{3L_{epi}} x\right) \quad 0 \leq x \leq L_{epi} \quad (2)$$

근사시킨 해석적인 전계에 의한 항복전압은 그림 4에서 점선으로 둘러싸인 사다리꼴의 넓이에 해당되므로 아래와 같이 계산된다.

$$BV = \frac{5}{6} E_s L_{epi} \quad (3)$$

위에 주어진 조건에서 식(3)을 식(2)에 대입하여 식(1)의 식으로 항복 전압에 대한 적분을 하면 다음과 같은 항복 전압에 대한 결과가 나오게 된다.

$$BV = \frac{5}{6} \left(\frac{1}{0.36\alpha}\right)^{\frac{1}{7}} L_{epi}^{\frac{6}{7}} \quad (4)$$

즉, 수평 방향의 표면 전계에 의한 항복전압은 오직 에피 길이만의 함수로 나타내게 되는 것이다.

2.2 시뮬레이션 조건

해석적 식을 검증하기 위해 Silvaco사의 2차원 소자 시뮬레이터인 ATLAS를 사용하였으며 사용된 소자의 변수들은 다음과 같다.

변수	값
Concentration of substrate	$2 \times 10^{15} / cm^3$
Concentration of epi layer	$5 \times 10^{15} / cm^3$
Concentration of P well	$8 \times 10^{17} / cm^3$
Concentrations of N wells	$1 \times 10^{18} / cm^3$
Thickness of gate oxide	0.05 μm
Thickness of epi layer	3 μm
Depth of N well	1.2 μm

표 1 시뮬레이션에 사용된 LDMOST의 변수

2.2.1 결과 및 토론

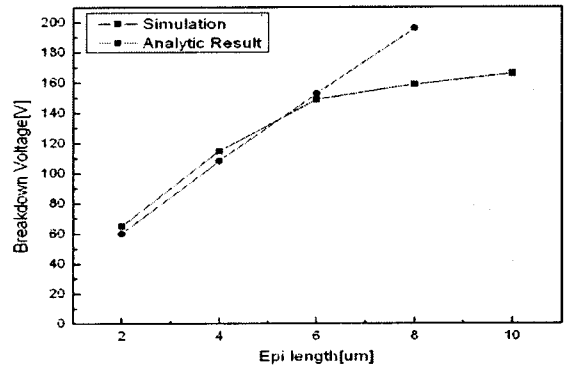


그림 5 시뮬레이션 결과와 해석적인 결과의 비교

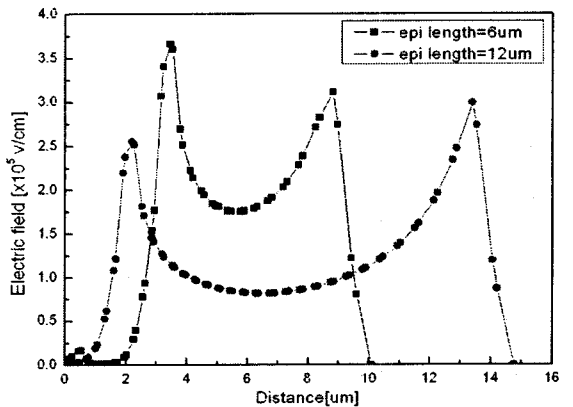


그림 6 에피 길이에 따른 표면 전계 비교

그림 5에 나타난 시뮬레이션의 결과를 통해 사용된 구조의 RESURF LDMOST의 최적 에피 길이는 기율기가 줄어드는 8um 부근임을 알 수 있다. 8um 이하의 영역을 살펴보면 제안한 해석적인 방법을 통해 구한 항복 전압과 시뮬레이션의 결과 값이 근소한 오차를 나타내며 비교적 일치함을 알 수 있다.

여기서 최적 에피 길이인 8um부근에서 비교적 오차가 크게 나타남을 알 수 있는데 그 이유는 최적 에피 길이에서의 전계는 수평 방향의 전계의 두 최대치 값이 비슷하고 에피 길이가 짧은 경우에 비해 그 사이에서의 전계의 크기도 훨씬 작아지므로 사다리꼴의 근사를 통해 항복전압을 구할 경우 실제보다 더 큰 값을 나타내는 것이

다. 시뮬레이션에서 확인한 최적 에피 길이 이하와 이상에서의 수평 방향의 표면 전계를 비교한 그림 6에서 이를 확인 할 수 있다. 따라서 위의 전계 근사는 우리가 관심을 가지는 최적 에피 길이 이하 영역에서만 성립하는 식임을 알 수 있다.

추가적으로 최적 에피 길이 이하와 이상에서의 전계의 분포를 시뮬레이션을 통해 확인하여 보았다. 아래 그림 7(에피 길이=6 μm)의 경우는 최소 에피 길이 이하일 때의 전계 분포를 나타내고 있으며 그림 8(에피 길이=12 μm)은 최소 에피 길이 이상일 때의 전계 분포를 나타내고 있다. 두 경우의 차이점은 항복 현상을 결정하는 전계의 최대치가 최적 에피 길이 이하의 경우는 수평 방향의 표면 전계에서 나타나며 최적 에피 길이 이상의 경우는 수직 방향의 전계에서 나타나는 것이다. 또한 에피 길이의 변화에 따라 수직 방향의 전계는 에피층의 두께와 농도에 의해 결정되어 에피 길이에 무관하게 변하지 않는 반면 수평 방향의 전계가 변하게 되는 것을 알 수 있다. 즉, 최소 에피 길이 이하의 영역에서는 수평 방향의 전계의 최대치가 수직 방향보다 크기 때문에 수평 방향의 전계가 항복 현상을 결정함을 확인 할 수 있으며 이는 본 연구에서의 전계 조건에 해당되는 것으로 시뮬레이션 결과를 통해 재확인 할 수 있다.

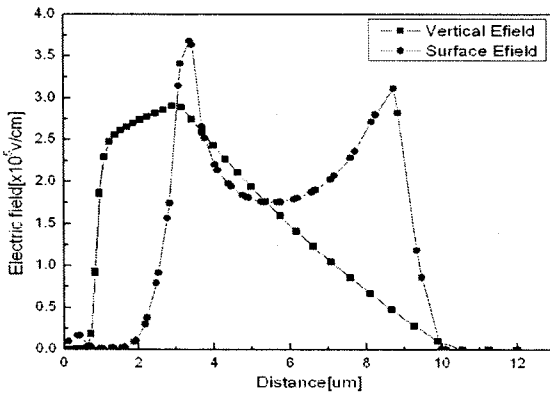


그림 7 에피 길이=6 μm 일 때의 전계 분포

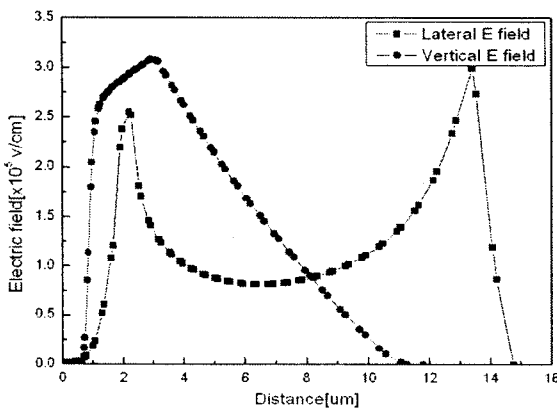


그림 8 에피 길이=12 μm 일 때의 전계 분포

3. 결 론

RESURF구조를 가진 LDMOST를 하나의 칩 위에서 구현 할 경우 에피층의 길이 조절만으로도 다양한 항복 전압을 구현 할 수 있음을 확인하였다. 특히 최적의 에피 길이 이하영역에서 항복에 영향을 주는 수평 방향의 전계를 사다리꼴의 전계 근사를 통하여 항복 전압을 에

피 길이만의 함수로 나타낼 수 있음을 보여 주었다. 즉, 이는 추가적인 공정 없이 마스크를 통한 에피층의 길이 조절만으로도 다양한 항복전압을 가지는 LDMOST를 한 칩 위에서 구현 할 수 있음을 보여주는 것이다.

[참 고 문 헌]

- [1] J. A. Appels, M. G. Collet, P. A. H. Hart, H. M. J. Vaes and J. F. C. M. Verhoeven, "Thin Layer High-Voltage Devices(RESURF Devices)," Philips Journal of Research Vol. 35 No. 1 1980.
- [2] Dejan Krizaj, Georges Charitat and Slavko Amon, "A New Analytical Model For Determination Of Breakdown Voltage Of RESURF Structures," Solid-State Electronics Vol. 39, No. 9, pp, 1353-1358, 1996
- [3] Zahir Parpia, C. Andre T. Salama, "Optimization Of RESURF LDMOS Transistors: An Analytical Approach," IEEE Trans. Electron Devices, Vol. 37. NO. 3. MARCH 1990
- [4] Seung-Youp Han, Jong-Min Na, Yearn-IK Choi, Jin-Cheol Shin, Sang-Koo Chung, "An analytical model of the breakdown voltage and minimum epi layer length for RESURF pn DIODES," Solid-State Electronics Vol. 39, No. 8, pp. 1247-1248, 1996
- [5] W. Fulop, "Calculation of avalanche breakdown of silicon P-N junctions," Solid-State Electronics, Vol. 10, pp. 39-43, 1967