

TFT-LCD 구동회로에서의 EMI 개선을 위한
Power/Ground Plane 모델링 및 실험적 검증

조강연, 나원수, 이재훈, 이성규
성균관대학교 정보통신공학부, 삼성전자

Power/Ground Plane Modeling and Experimental Characterization for EMI Improvement
in TFT-LCD Driving Circuit

Kang-Yeon Cho, Wan-Soo Nah, Hae-Hoon Lee, Sung-Kyu Lee
School of Information and Communication Engineering, Samsung Electronics

Abstract - This paper presents the efficient plan for the EMI improvement from of TFT-LCD Module. It investigates the frequency characteristics of Power/Ground Plane of TFT-LCD drive circuit PCB concretely. After the frequency characteristics is reviewed, EMI improvement is tried to insert to RC termination between Power/Ground Plane and to shift resonance frequency. It is confirmed by a simulation result and RC Termination which is inserted the point where the resonance characteristics change is necessary. It applied in 19 "SXGA TFT-LCD drive circuits and the EMI improvement verification is described.

입력해 주는 여러개의 Gate와 Source Driver IC가 있으며 이들 Driver IC를 제어하는 전기신호를 생성하고 컴퓨터 등으로부터 입력된 디지털 데이터 신호를 제어하는 Timing Control ASIC, 서로 다른 종류의 전압을 발생시키는 DC-DC Converter 회로등이 다층 PCB 상에 장착된 형태로 구성되어 있다.

Driver IC와 ASIC 사이의 Data Interface는 TTL, mini-LVDS, RSDS 등으로 Data 전송을 하게 되고, 또한 고주파 동작을 하게 된다. 또한 따라서 구동회로 Block내 Interface 구간에서 TFT-LCD EMI Source가 발생하게 된다.

1. 서 론

최근 CRT(Cathode Ray Tube)를 대신하여 새롭고 다양한 형태의 평판 디스플레이(FPD:Flat Panel Display) 장치가 개발되고 있다. 대표적인 평판 디스플레이 장치는 액정표시장치(LCD:Liquid Crystal Display), 발광 다이오드(LED:Light Emitting Diode), 플라즈마 디스플레이 패널(PDP:Plasma Display Panel) 그리고 유기 EL(Organic Electro Luminescence)등이 있다.

이 중에서 특히 액정표시장치는 경박 단순하며, 소비 전력이 CRT에 비해 낮은 장점과 공간 활용, 인간에 대한 환경 친화적인 이점을 가지고 있다. 또한, 꾸준한 성능 향상과 원가 절감의 노력으로 고유 영역인 Notebook과 Monitor 디스플레이 영역에서 벗어나 LCD TV 쪽으로까지 영역을 확대하고 있다.[1]

EMI 규격을 만족하기 위해서 많은 엔지니어들이 Try & Error를 통해 EMI Debugging을 진행하고 있다. 설계 단계에서 EMI 규격 만족을 위한 Design Rule을 적용한 다하더라도 제품 적용 후 검증단계에서 EMI 문제가 항상 발생하게 된다.

LCD Display 구동을 위해서 고속 Digital Data 전송이 필수적으로 필요하다. 또한 최근에는 LCD Display 특성 향상을 위해 LCD 구동 회로부에 Memory를 추가하여 더욱더 빠른 Data 전송을 하게 되어 EMI 개선이 더욱 어려워졌다.

본 논문에서는 LCD 구동회로부에서의 효율적인 EMI 개선 방안에 관하여 연구하고자 한다.

2. 본 론

2.1 TFT-LCD 구성 Block

TFT-LCD 구성 Block으로는 TFT Panel, 컬러필터, Backlight Unit, 구동회로부 등으로 나눌 수 있다. 이 Block 중 본 논문에서 다루고자 하는 영역은 구동회로 Block 이다. 이 Block에서 고주파 동작을 하기 때문에 EMI Source 발생하고 있다.

구동회로부에는 LCD 패널을 구동 할 수 있는 신호를

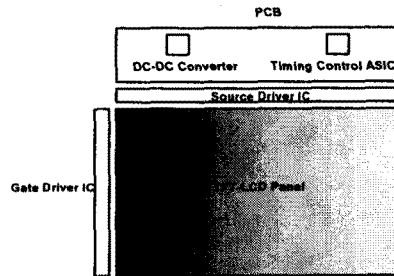


그림 1. TFT-LCD 구성 Block

2.2 SSN(Simultaneous Switching Noise)

SSN(Simultaneous Switching Noise)는 Power/Ground 배선이 본질적으로 갖고 있는 인덕턴스 때문에 발생하는 고주파 잡음 발생 현상이다. SSN을 발생시키는 기본적인 물리법칙은 Faraday의 법칙으로 도선 주변의 자기장이 시간에 따라 변화하면 도선에 역기전력이 발생하며 이 역기전력은 전류량이 클수록, 전류 변화 시간이 짧을수록, 배선의 인덕턴스가 클수록 크게 발생한다. 이와 같은 순간 전류에 의한 역기전력에 의해서 Power/Ground 배선에 Voltage Fluctuation이 발생하는 현상을 바로 Simultaneous Switching Noise 또는 Delta I noise 라고 부른다. 이때 발생하는 역기전압은 다음과 같이 표현된다.

$$V_{noise} = L \times \frac{di}{dt}$$

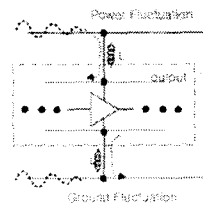


그림2. SSN 발생 원리

따라서 수 많은 회로 소자가 동시에 스위칭하고 결과적으로 Power 배선에 공급되는 전류가 순간적으로 변화하며 Ground 로 흘러나가는 전류가 급격하게 변화하면 Inductive Voltage Drop 에 의해 커다란 Voltage Fluctuation이 발생한다. SSN의 발생 현상이 그림 2에 나타나 있다. 이러한 고주파 잡음은 짧은 신호 Rise Time, 증가된 전류, 커진 칩 크기, 그리고 소자 및 패키지, 보드에서의 신호선 간격이 가까워지면서 더욱 증가하고 있다. SSN은 신호선이나 회로의 Power/Ground 배선에 전압 Glitch 를 발생시킨다. 뿐만 아니라 커다란 EMI문제를 발생 시킨다.[2]

따라서 FR4 PCB의 Power/Ground Plane의 이론적 해석이 필요하게 된다.

2.3 Power/Ground Plane 모델링 및 해석

FR4 PCB를 사용할 경우, Insec의 transition을 갖는 Signal의 bandwidth는 대략 50cm의 파장과 일치한다.

따라서 5cm보다 큰 board에서 Insec보다 빠른 signal을 가질 경우, Power/Ground Plane은 분포 특성이 반드시 고려되어야 한다.

다층 PCB내의 Power/Ground Plane은 2차원 전송선으로 생각될 수 있다. x,y dimension은 가장 짧은 파장의 1/10보다 크게 된다. 이 논문을 통해 Plane사이의 Z, 즉 아래 위 거리 h는 무시한다. 왜냐하면 가장 짧은 파장 대비 무시할 정도로 작기 때문이다.

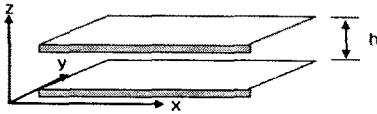


그림3. x,y dimension을 갖는 병렬 Plane

사각형모양의 Parallel plane을 갖는 impedance는 printed antenna해석을 통해 해석될 수 있다. 수식적인 형태는 식(2)(3)을 통해 주어졌다.

한정된 작은 Port size와 edge영역의 open boundary를 가정한다면, port ij를 갖는 Parallel Plane, x,y 축을 따라 dimension이 W_x, W_y 인 사각형 Plane, Z축 방향으로의 h 거리를 갖는 일반화된 Transfer Impedance는 아래와 같이 표현된다.

$$Z_{ij}(\omega) = j\omega\mu h \sum_{n=0}^{\infty} \sum_{m=0}^{\infty} \frac{\chi_{mn}^2}{\omega_x \omega_y (k_n^2 - k^2)} \cos\left(\frac{2m\pi x_i}{2\omega_x}\right) \cos\left(\frac{2n\pi y_i}{2\omega_y}\right) \cos\left(\frac{2m\pi x_j}{2\omega_x}\right) \cos\left(\frac{2n\pi y_j}{2\omega_y}\right) \quad (2)$$

$$k_n = \left(\frac{m\pi}{\omega_x}\right)^2 + \left(\frac{n\pi}{\omega_y}\right)^2 \quad (3)$$

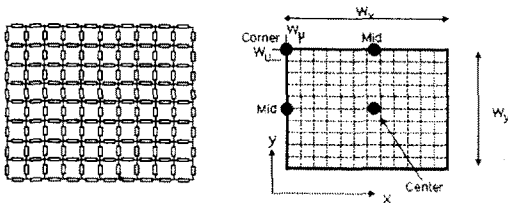


그림4. 병렬 Plane 해석을 위한 등가 회로

평행한 Plane은 전송선의 Grid 등가 회로로도 해석이 될 수 있다. Plane의 저주파 등가 모델은 Quasistatic Model로서부터 유추 될 수 있다. 먼저 W_x, W_y 의 크기를 갖는 사각형의 Plane이 있다고 가정하고, 사각형의 Grid Size를 W_u 라 한다. W_u 크기를 갖는 Grid가 x 방향

으로는 N_x 개이고, y방향으로는 N_y 가 된다. W_u 크기를 갖는 각각의 단위 사각 Plane은 h의 높이를 갖고, C_u (static plane capacitance), edge를 따라서 발생하는 전달지연 시간($t_{pd,u}$)은 아래와 같이 표현된다.[3]

$$C_u = \epsilon_o \epsilon_r \frac{\omega_u^2}{h}, \quad t_{pd,u} = \frac{\omega_u \sqrt{\epsilon_r}}{c} \quad (4)$$

위와 같은 capacitance와 delay에 의해 등가 특성 Impedance와 Inductance는 아래와 같이 나타난다.

$$Z_{ou} = \frac{t_{pd,u}}{C_u} = 120\pi \frac{h}{\omega_u \sqrt{\epsilon_r}}, \quad L_u = \frac{Z_o}{t_{pd,u}} = \mu_o h \quad (5)$$

이 단위 Cell은 Edge를 따라 진행되는 네개의 전송선으로 대체 될 수 있다. 각각의 전송선은 동일한 지연시간을 갖고, Grid 면적의 1/4을 갖기 때문에 Impedance는 $4 \times Z_{ou}$ 가 된다. 등가 Grid내에서는 단위 Cell이 인접해 있기 때문에 특성 Impedance가 1/2로 감소하게 되어 $2 \times Z_{ou}$ 가 된다. 따라서 Edge 영역과 Grid 내부의 전송선 특성값은 아래와 같이 표현된다.

$$Z_{oe} = \frac{4}{\sqrt{2}} \times Z_{ou}, \quad t_{pde} = \frac{1}{\sqrt{2}} \times t_{pdu} \quad (6)$$

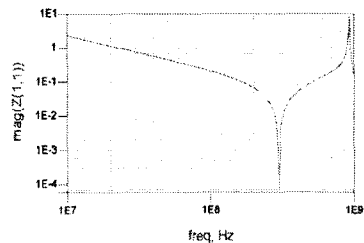
$$Z_{og} = \frac{2}{\sqrt{2}} \times Z_{ou}, \quad t_{pdg} = \frac{1}{\sqrt{2}} \times t_{pdu} \quad (7)$$

x,y 축을 따라 발생하는 지연시간과 Impedance 매칭을 위해 $\sqrt{2}$ correction Factor를 적용한다.[4]

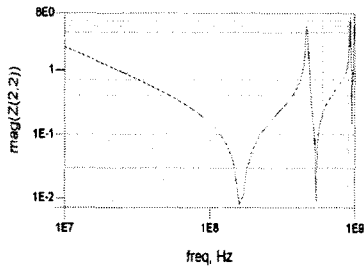
2.3.1 Power/Ground Plane 모델링 해석 결과

Power/Ground Plane의 모델링은 ADS 시뮬레이션을 통해 주파수별 임피던스 특성을 확인하였다.

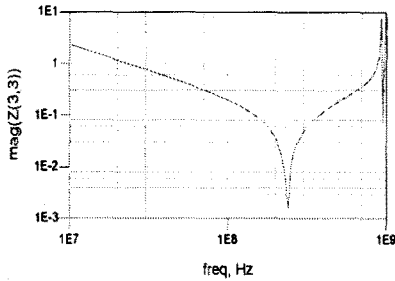
그림5는 Self Impedance와 Transfer Impedance를 나타내었다. 무손실을 가정하였기 때문에 Impedance는 reactive나 capacitive 또는 inductive 성분을 나타내게 된다. 가장 낮은 공진주파수 아래대역에서는 Self Impedance는 capacitive 성분을 나타낸다. 가장 낮은 공진주파수 위대역에서는 Self Impedance는 대부분 Inductive 성분을 나타낸다. Transfer Impedance도 동일한 유형을 나타낸다. 즉 첫번째 공진주파수를 지나면서 capacitive에서 inductive로 특성이 바뀌고, 두번째 공진주파수를 지나게 되면 다시 특성이 반대가 된다. 그림5에서 나타나듯이 Power/Ground Plane의 공진점이 존재함을 알 수 있다. 특정 주파수대역의 EMI 문제가 제기된다면 이 공진점과도 깊은 연관이 있게 된다. 따라서 Power/Ground 사이에 RC Termination을 추가하여 공진점을 변화시켜 준다면 EMI 특성의 변화를 가져 올 수 있다.



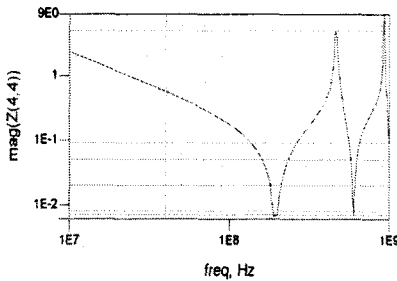
a. self impedance at center



b. self impedance at corner



c. transfer impedance at center



d. transfer impedance at corner

그림5. FR4 PCB Impedance 특성 그래프 (23cm×10cm PCB 평행 Plane, ADS 시뮬레이션 결과)

2.4 RC Termination Design

PCB상에 낮은 Inductance의 Bypass Capacitance를 삽입하여 radiation을 감소시키는 방법외에 고손실 유전체를 사용하는 방법등 여러 가지 기술들이 공진감소를 위해 활용되고 있다. 그러나 유전체를 삽입하는 방법은 Break down voltage가 변하는 문제와 실제적으로 PCB 제작을 위해서는 비용이 많이 들기 때문에 적용에는 문제가 있다.[5]

2차원 전송선을 해석을 이용하여 RC termination을 이용하여 공진점 이동이 가능하다. Power와 Ground Plane은 각각 다른 DC 전압을 띠기 때문에 termination 저항과 직렬로 DC Blocking Capacitance를 넣어주어야 한다. SMD 소자를 사용하여야 하기 때문에 Termination으로 사용되는 저항(R)과 Capacitance(C)의 SMT Inductance(L)를 반드시 고려해 주어야 한다. 직렬 저항 때문에 나타나는 Inductance 값은 10,100,300 및 1000pH로 다양하게 나타난다. 10pH는 일반적인 계산값으로 표현되고, 보통 300pH는 Worst Case로 표현한다. 또한 Inductance(L)로 고려되어야 할 Parameter는 PCB Pattern 및 Via를 통해 나타나는 값이 존재한다. 실제 측정값에 의하면 FR4 PCB Pattern Inductance는

InH/cm로 표현된다.

가장 높은 주파수 영역에서 Inductive reactance(ωL)값은 저항값(R)보다 작아야 한다. 이유는 Impedance Profile이 평탄하게 나타낼 수 있기 때문이다. 일단 R 값이 정해지면, C 값과의 조합으로 만들어지는 corner frequency는 Plane의 낮은 공진주파수보다 낮게 정해져야 한다.

2.5 실험 및 검증

실험적 검증은 19" SXGA TFT-LCD 구동회로 PCB의 PI(Power Integrity) 시뮬레이션결과와 EMI Chamber 측정 결과를 통해 확인하였다. PI시뮬레이션 툴은 안소프트사의 SIwave 프로그램을 이용하여 TFT-LCD PCB 공진점 시뮬레이션을 진행하였다.

시뮬레이션 결과 PCB 중간 하단영역에서 162MHz 주파수의 공진주파수가 발생함을 알 수 있다. 빨간색으로 마킹된 PCB Trace가 162MHz 공진이 발생하는 Power Line이다. EMI 측정결과도 규격을 만족시키지 못하는 주파수 대역이 162MHz영역으로 측정되었다.

PI 시뮬레이션 결과 공진점이 존재하는 지점에 Resistor와 Capacitor를 직렬로 추가하여 공진점 변화를 가져 올 수 있다.

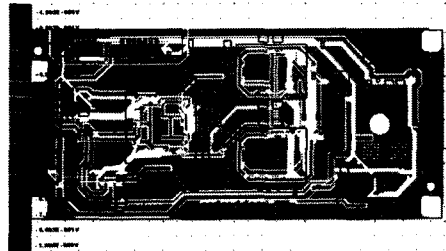
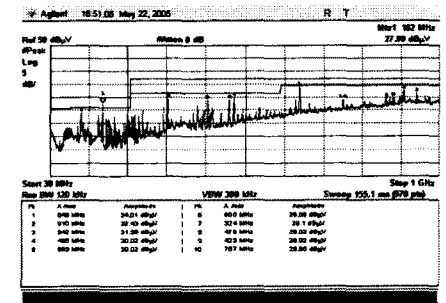
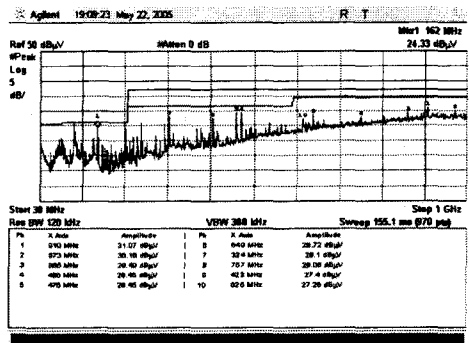


그림6. PI 시뮬레이션 결과



a. 개선 전 EMI 측정 Data



b. 개선 후 EMI 측정 Data

그림7. EMI 측정 결과 (10m 무반사실 측정 결과임)

EMI 측정 결과 CISPR 규격을 만족시키지 못하는 주파수 영역대가 존재하게 된다. 이 주파수대역은 대부분 Power/Ground Plane의 공진점과도 일치되어 나타나게 된다. 따라서 문제가 되는 위치에 RC를 삽입하게 된다.

$$\omega \times L_i \leq R_i, \quad 2\pi \times 1\text{GHz} \times 6\text{nH} \leq R_i \quad (8)$$

공진점이 존재하는 Power Pattern 길이가 6cm로 나타나기 때문에 식(8)에 따라서 R_i 값은 6.28Ω 이상이어야 한다. 또한 C_i 값은 식(9)에서와 같이 나타낼 수 있고, 계산 결과 0.9nF 이하로 설정되어야 한다.

$$\text{Corner-Frequency} \leq \frac{1}{2\pi \times R_i \times C_i}, \quad 162\text{MHz} \leq \frac{1}{2\pi \times 10 \times C_i} \quad (9)$$

따라서 10Ω 저항과 0.47nF 의 Capacitance를 추가하여 Impedance 변화를 주어 공진점 이동을 하게 되어 예측된 주파수 대역 162MHz 대역의 EMI 개선이 나타남을 측정 Data로 확인하였다. 27.99 dBuV 에서 공진점 변화 후 24.33 dBuV 로 측정되어 약 3.6dBuV 개선을 가져올 수 있다.

3. 결 론

본 논문에서는 TFT-LCD Module EMI 개선을 위한 효율적인 방안을 제시한다. 구체적으로 TFT-LCD 구동 회로부 PCB의 Power/Ground Plane 모델링 해석을 통해 공진점이 존재함을 고찰하고, 공진점을 변화시켜주어 EMI 개선이 가능함을 보였다.

즉, Power/Ground 사이에 Resistor와 Capacitor를 직렬로 추가하여 EMI가 문제시 되는 주파수 대역의 공진점을 이동시켜 EMI 개선을 가능케 하였다.

[참 고 문 헌]

- [1] Y.T. Kim, "Contrast Enhancement Using Brightness Preserving Bi-histogram Equalization" IEEE Transactions on Consumer Electronics, Vol. 43, No.1, pp.1-8, February 1997
- [2] Stephen H.Hall, High-Speed Digital System Design, John Wiley and Sons, INC., 2000.
- [3] Istvan Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination" IEEE Transactions on Advanced Packaging, Vol. 22, No.3, pp.274-283, Aug 1999.
- [4] H. H. Wu, J. W. Meyer, K. Lee, and A. Barber, "Accurate power supply and ground plane pair models," in Proc. 7th Topical Meeting Elect. Perform. Electron. Packag., Oct. 26 - 28, 1998, pp. 163 - 166.
- [5] Mark I. Montrose, Printed Circuit Board Design Techniques For EMC Compliance, Wiley -Interscience, 2000