

# MDDI방식 LCD모듈의 테스트하기 위한 고속직렬통신 인터페이스 구현

## Implementation of High Speed Serial interface for testing LCD module by using the MDDI

김상목\*, 강창현\*\*, 박종식\*\*\*  
Kim Sang-mok\*, Kang Chang-hun\*\*, Park Jong-sik\*\*\*

**Abstract** - The MDDI(Mobile Digital Display Interface) standard is an optimized high-speed serial interconnection technology developed by Qualcomm and supports the VESA(Video Electronics Standard Association). It increases reliability and reduces power consumption in clamshell phones by decreasing the number of wires to interconnect with the LCD display. In this paper, the MDDI host is designed using VHDL and implemented on FPGA. We demonstrates that the MDDI host is connected with S3CA460 LCD controller is designed by Samsung Electronics Co. and display a steal image to the LCD.

**Key Words** : MDDI, High-Speed Serial I/O, FPGA

### 1. 장 서 론

오늘날 대부분의 정보처리 디지털 시스템은 정보의 처리량이 많아짐에 따라, 그 데이터 전송량 역시 증가하고 있다. 이와 같이 다량의 데이터를 고속으로 처리하기 위한 방식은 기존의 병렬데이터 전송방식이 아닌 고속 직렬데이터 전송방식으로의 전환이 이루어지고 있는 추세이다<sup>[1]</sup>.

그 중에서 CDMA원천기술을 보유하고 있는 Qualcomm사에서 제안하고, Video Electronics Standard Association(VESA)에서 검증한, Mobile Digital Display Interface(MDDI) 방식은 디스플레이 및 멀티미디어 데이터 전송에서, 기존 병렬 데이터 전송을 직렬전송으로 구현하도록 제안한 표준전송방식이다<sup>[1]</sup>. 이 방식을 사용하면 기존의 병렬 데이터에 비해 저 비용, 고 신뢰성 및 저 전력소모 등의 장점을 얻을 수 있다<sup>[2]</sup>.

MDDI는 고속 직렬 전송방식으로, 하나의 채널(Type-I)로 최대 400Mbps로써 데이터를 전송할 수 있으며, 채널 확장 시 최대 3200Mbps로 데이터를 전송이 가능하다고 보고되고 있다(Type IV인 경우)<sup>[1]</sup>. 또한 전송되는 데이터와 동기신호로 클럭을 쉽게 복구할 수 있으며, 저 전력소모를 위한 대기상태(hibernation state) 및 영상, 음성, 제어/상태신호를 위한 다양한 데이터 타입 등을 지원하고 있다<sup>[1]</sup>.

본 논문에서는 기존의 병렬 데이터를 고속 직렬방식인 MDDI 방식으로 전송할 수 있는 MDDI host 모듈을 ASIC화 하여 FPGA 칩 상에서 구현하였다. 이 설계된 FPGA 칩

내에서 MDDI 데이터/동기화 신호 생성, CPU에서 받은 데이터를 직렬화 및 통신을 위한 패킷들과 기타 제어신호들을 생성함으로써, CPU의 부하를 줄이고, 고속의 안정된 데이터 통신이 가능하게 된다. 설계된 칩은 기존의 MDT(Mobile Display Tester)장비와 삼성에서 개발한 MDDI 클라이언트 모듈이 내장된 S3CA460x LCD 컨트롤러 칩(MC4)과 통신을 통해 그 세부동작을 검증하였다.

### 2. 장 MDDI host block

#### 2.1 MDDI host 칩의 전체 구조 및 기능

MDDI host 칩은 MDDI client의 디스플레이 데이터 및 기타 레지스터의 설정을 위한 MDDI 패킷 생성 및 전송, 그리고 client로부터 역방향으로 수신 받은 데이터의 적재를 담당한다. 또한 데이터 수신을 위한 내부 4096byte의 별도의 메모리를 가지고 있으며, 디스플레이용으로 외부 메모리를 지원한다.

MDDI host 칩의 외부 I/O로는 CPU board를 위한 address bus(25bit), data bus(32 bit) 및 외부 메모리를 위한 address bus(18bit), data bus(32bit) 와 기타 제어 신호를 지원하며, MDDI type-I interface용의 차동 연결로 data 및 strobe interface를 가지고 있다. 그리고 별도의 외부 client reset 신호를 지원한다.

#### 2.2 MDDI host의 모듈별 Block

MDDI host의 각 모듈들이 원활히 동작할 수 있도록 관련 제어 관련 신호를 생성한다. 그림 1에서처럼, 이 모듈들 기능을 크게 나누면 External memory control, Packet Gen/Degenerator control, DCP control, MTI control 부분으로 나눌 수 있다.

#### 저자 소개

- \* 김 상 목 : 경북대학교 전자공학과
- \*\* 강 창 현 : ELECS(주)
- \*\*\*박 종 식 : 경북대학교 전자공학과

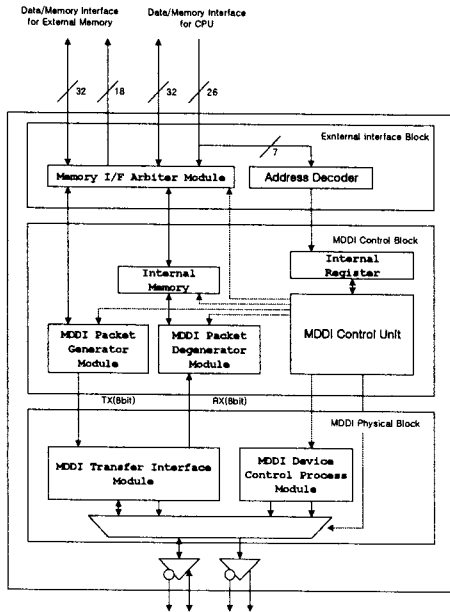


그림 1. MDDI host 블록 다이어그램  
Figure 1. MDDI host block diagram

• Memory Interface

MDDI Host는 cpu로부터 Display frame 별로 전송할 데이터를 external GRAM에 저장 후, 이를 연속적으로 전송하게 된다. CPU에서 display data를 생성하는데 시간이 걸리기 때문에, 먼저 frame별로 전체 데이터를 생성 후, 외부 memory에 저장한 다음, 이를 MDDI Host 칩에서 별도로 관리하도록 하여 전송속도를 높일 수 있다. Memory aribrator에서는 이를 위해 데이터, 어드레스 신호 및 control 관련 신호들을 선택적으로 bypass해 줌으로, 내부 MDDI Control block에서 쉽게 외부 인터페이스를 접근할 수 있도록 한다(그림 2).

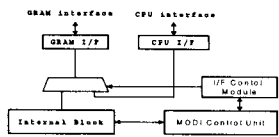


그림 2. 외부 메모리 인터페이스  
Figure 2. External Memory interface

• Packet Generator/Degenerator module

External Memory로부터 전송할 데이터가 준비되면, 패킷 타입별로 해당 패킷을 생성 및 bytes stream으로 변환 후, MTI 모듈로 byte 단위로 전송할 준비를 한다. 본 논문에서는 MDDI client의 LCD에 이미지를 보여주는 것을 우선적으로 처리하기 위해, 디스플레이 관련 및 레지스터 접근 패킷 등의 제한된 패킷 생성을 지원한다.

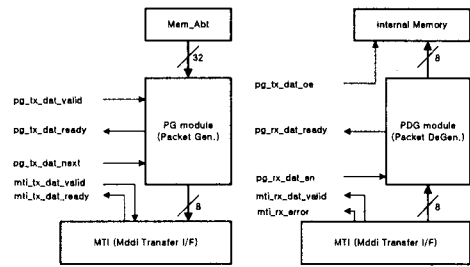


그림 3. 패킷 인코더/디코더 블록 다이어그램  
Figure 3. Packet Encoder/Decoder block diagram

MDDI 패킷 Frame 구조는, 그림 4에서처럼, 모든 정보는 패킷에 의해 그룹화 되어 전송이 된다. 하나의 Sub-Frame은 여러 개의 패킷으로 그룹화 될 수 있고, 이러한 여러 개의 Sub-Frame은 하나의 Media-Frame으로 그룹화 된다. 하나의 Sub-Frame의 길이는 최대  $2^{32} - 1 = 4,294,967,295 \text{ bytes}$ 가 될 수 있고, 각각의 Media-Frame은 이러한 Sub-Frame을 최대  $2^{16} - 1 = 65,535$ 개를 묶을 수 있다.

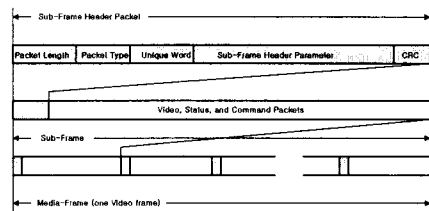


그림 4. MDDI 패킷 구조  
Figure 4. MDDI Packet Structure

• MTI(MDDI Transiver Interface) module

Mddi Transceiver Interface(MTI) 모듈에서는 Packet Generator 모듈에서 받은 byte 단위의 데이터를 직렬화 하여 전송함과 동시에 관련 동기신호(strobe signal)을 생성하여 출력한다. 그리고 reverse link로 데이터를 수신 시에, 데이터를 받아 바이트 단위로 Packet Degenerator 모듈로 전송하는 기능을 한다. 그리고 내부에 1byte의 Hold Register와 Shift Register를 TX와 RX에 각각 사용하며, 데이터의 전송 및 적재를 연속적으로 처리할 수 있도록 하였다.

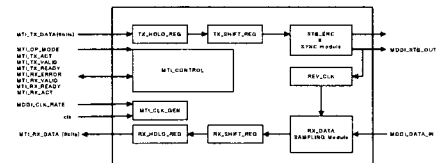


그림 5. MTI 모듈 블록 다이어그램  
Figure 5. MTI block diagram

동기신호(Strobe 신호)의 생성을 위한 STB\_ENCODER

회로는 그림 6와 같다. Strobe 신호는 현재 입력 데이터 값과 이 직전에 들어온 값의 변화 유무로 생성한다. 그리고 Reverse link시에 MDDI\_Data 선은 출력에서 입력으로 변환되지만, 동기신호는 계속 토글링이 되어야 하기 때문에, 이는 Input Data의 값이 항상 일정함('0' 혹은 '1') 상태로 유지하는 것과 같다. 따라서 위와 같이 간단한 MUX를 사용하여 선택적으로 STB\_ENCODER에 입력신호를 인가할 수 있도록 하여, MDDI\_Data 선이 출력 혹은 입력으로 동작하더라도 MDDI\_Stb 신호는 원하는 신호를 계속 생성하게 된다.

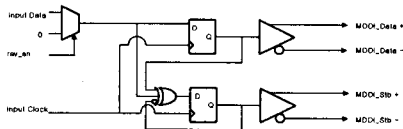


그림 6. 동기신호 인코더 블록 다이어그램  
Figure 6. Strobe Signal ENCODER block diagram

### 3. 장 시뮬레이션 및 MC4와의 연동 테스트

실제 정지 영상을 전송시 MC4 칩에서 정확하게 LCD에 보여주는 것을 확인하였다. 실제 LCD 컨트롤러에서 LCD로 이미지를 보여주기 위해서는, 그 내부 레지스터의 값들이 설정되어야 한다. 설정된 후에 이미지 데이터를 전송하게 되면 LCD에 그림이 정확하게 나오게 된다. 여기에서 이러한 테스트로 그 레지스터의 값의 설정 및 LCD에 이미지가 정확하게 나옴을 확인함으로써, MDDI host와 client와의 통신이 원활히 됨을 보여주고자 한다. 통신에서 사용된 데이터 전송속도는 50MHz로 하였다. MTI 모듈에서 MDDI Data/Stb 신호를 생성한 시뮬레이션은 그림 7과 같다.

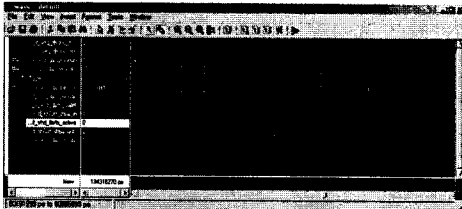


그림 7. MTI 모듈에서의 Data 및 Stb신호 생성 시뮬레이션

Figure 7. The simulation of generate MDDI data/stb signal in the MTI module

그림 8는 장비의 구성도이며, 그림 9은 온 MC4 칩이 장착된 LCD 모듈 및 이미지의 전송 시에 MC4에서 보여주고 있는 화면이다.

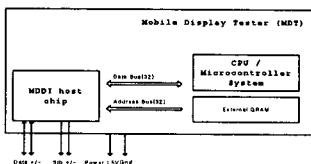


그림 8. 테스트장비와의 연결 블록 다이어그램  
Figure 8. MDT System and MDDI host

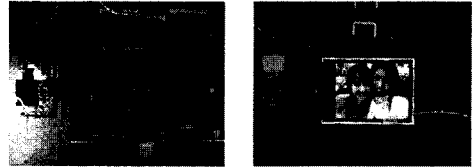


그림 9. 실제 장비 및 정지영상 전송 테스트  
Figure 9. MDT System and the result of testing to sending a steal image

### 4. 장 결 론

본 논문에서는 웹캠 사에서 제안하고, VESA에서 검증한, Mobile Digital Display Interface(MDDI) 방식의 데이터 전송표준에서 MDDI host 모듈을 ASIC화 하여 설계 및 Xilinx사의 Spartan-III FPGA상에서 구현하였다. 이렇게 설계/제작된 MDDI host를 Mobile Display Tester 장비에 적용 후, 삼성에서 개발한 MDDI client 모듈이 내장된 S3CA460x LCD 컨트롤러 칩(MC4)과 통신시험을 통하여, client의 레지스터 값 설정 및 구동, 디스플레이 데이터 전송 및 LCD에 정지영상을 재현함으로써 설계된 칩의 성능을 검증하였다. 현재 MDDI client와의 통신을 위해, MC4 칩에서 지원하는 Register Access Packet, Video Stream Packet, Reverse Link Encapsulation Packet 및 기타 hibernation wake-up process등을 중점으로 구현하였다.

### 참 고 문 헌

- [1] VESA Mobile Display Digital Interface Proposal, Ver. 1P, Draft 18, VESA (Video Electronics Standards Association), Dec, 2003
- [2] S3CA460X(MC4) Media Coprocessor User's Manual, Rev 0.2, Samsung electronics, Oct, 2004
- [3] Farhad Zarkeshvari, "An Overview of High-speed Serial I/O Trends, Techniques and standards" Proc. IEEE CCECE-CCGEL, pp. 1215~1220, May, 2004
- [4] N.Kero, "A High Speed Serial Bus Controller ASIC" Proc. MIEL'97, pp. 737-740, Sept, 1997
- [5] USB 2.0 Transceiver Macrocell Interface(UTMI) Specification, Ver 1.05, Intel, Mar. 2001
- [6] Spartan-III 1.8V FPGA Family : Complete Data Sheet, Xilinx, Jul. 2004
- [7] The LVDS I/O Standard, Application Note, Xilinx, Nov.1999