정보 및 제어 심포지엄(ICS '05) 2005. 5. 14

Redundant Multi-Valued Logic을 이용한 고속 및 저전력 CMOS Demultiplexer 설계

Design of a High Speed and Low Power CMOS Demultiplexer Using Redundant Multi-Valued Logic

김 태 상*, 김 정 범**
Tae-Sang Kim*, Jeong Beom Kim**

Abstract - This paper proposes a high speed interface using redundant multi-valued logic for high speed communication ICs. This circuit is composed of encoding circuit that serial binary data are received and converted into parallel redundant multi-valued data, and decoding circuit that convert redundant multi-valued data to parallel binary data. Because of the multi-valued data conversion, this circuit makes it possible to achieve higher operating speeds than that of a conventional binary logic. Using this logic, a 1:4 demultiplexer (DEMUX, serial- parallel converter) IC was designed using a 0.35㎛ standard CMOS process. Proposed demultiplexer is achieved an operating speed of 3Gb/s with a supply voltage of 3.3V and with power consumption of 48mW. Designed circuit is limited by maximum operating frequency of process. Therefore, this circuit is to achieve CMOS communication ICs with an operating speed greater than 3Gb/s in submicron process of high operating frequency.

Key Words : redundant multi-valued logic, demultiplexer, oversampling, low power

1. 서 론

오늘날 광대역 통신의 급격한 수요증가로 고성능 및 저전력 통신 시스템들에 대한 필요성이 증가하게 되었다. MUX (Multiplexer) 와 DEMUX (Demultiplexer) 는 이러한 통신 시스템의 중요한 구성요소들이다. 이 요소들은 MOSFET로 구현하면 BJT 및 합성 반도체 소자에 비해 저가 및 저전력 집적회로 구현에 장점을 갖는다. 최근, MOSFET의 공정발달에 의해 1Gb/s 이상의 데이터 속도를 가지는 통신용 CMOS 집적회로에 관한 많은 연구들[1],[2] 이 발표되었다. 하지만, 이 회로들의 최대 데이터 전송속도는 회로의 토글 주파수 (toggle frequency)에 의해 제한된다. 토글 주파수를 증가시키기 위해 MOS Current Mode Logic (MCML)[3] 이 제안되었다. 이것은 기존 CMOS 논리회로보다 약 1.5배 빠른 것이다. 그러나 MCML의 성능 또한 토글 주파수에 의해 제한을 받는다. 그럼으로, 토글 주파수의 개선은 고속 동작을 하는 CMOS IC들의 통신 시스템을 구성하기 위해 반드시 필요하다.

본 논문에서는, 고속 데이터 전송속도를 가지는 회로 구현을 다른 각도에서 접근하였다. Redundant Multi-Valued Logic[4] 은 토글 주파수로 인한 문제점들의 극복을 위해 제안 되었다. 제안된 회로는 최대 토글 주파수보다 높은 속도의 직렬 데이터를 받아 사용할 수 있다. 이 회로를 이용하여 낮은 소비전력을 가지는 구조의 고속통신용 인터페이스를 0.35 ㎛ 표준 CMOS 기술로 구현하였다.

* 金 兌 相 : 江原大學校 電子工學科 碩士課程
** 金 政 範 : 江原大學校 電子工學科 副教授

※ 본 연구에 사용한 CAD S/W는 반도체설계교육센터 (IDEC)의 지원에 의해 이루어졌음.

2. 기존 DEMUX 구조

2.1. 트리구조 DEMUX 와 Oversampling 방법

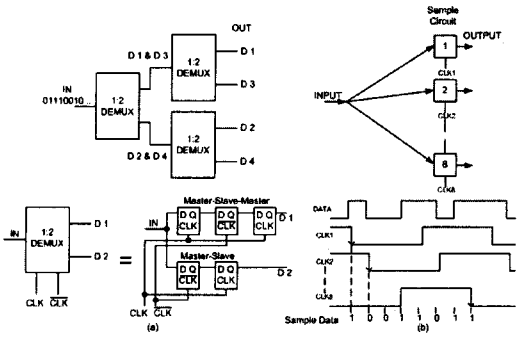

그림 1. (a) 트리 구조 1:4 DEMUX 와 (b) oversampling 구조

기존의 DEMUX 회로들은 트리 구조가 고속 동작에 적합하기 때문에 이 구조를 채택하고 있다[5]. 그림 1(a) 는 1:2 DEMUX의 계층구조로 이루어진 트리 형태 DEMUX의 블록 선도를 보여준다. 이 구조는 double-edge를 사용하여 두 배의 동작 주파수를 가진다. 따라서 동작 속도는 공정 최대주파수의 두 배이다.

Oversampling에 관한 연구를 보면, 이 구조가 트리 구조보다 빠른 동작스피드를 가진다는 것을 알 수 있다[6],[7]. 그림 1(b) 는 oversampling 방법의 예를 보여준다. 입력 데이터 전송 속도의 1/8 값을 가지는 샘플 주파수는 각 클록의 하강 edge에서 입력 데이터를 처리한다.

이 회로의 클락 주파수가 MOSFET의 최대 토글 주파수와

같게 될 때, sample-and-hold 회로의 setup-time은 클락 주기의 1/2에 근접한다. 이 조건들에 의해, 만일 데이터 전송과 클록 전송 타이밍 차이가 줄어들게 되면 oversampling 방법은 종종 잘못된 값을 읽어 들여 높은 에러가 발생한다. 그럼으로, 이 방법을 최대 토글 주파수에서 동작하게 하기 위해서는 error correction code (ECC)가 필요하다[6].

3. Redundant Multi-Valued Logic을 이용한 1:4 DEMUX

3.1. Redundant Multi-Valued Logic의 원리

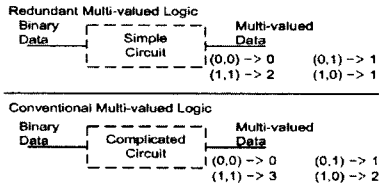

그림 2. 기존 multi-valued 논리와 redundant multi-valued 논리의 데이터 변환 과정

Multi-valued logic은 토글 주파수의 한계를 극복하는데 효과적이다. 이진 데이터가 multi-valued 데이터로 변환할 때, 데이터 주파수의 감소로 최대 대역폭은 줄어든다. 만약 n-bit 데이터가 multi-valued 데이터로 변환하면, 데이터 주파수는 f/n으로 된다. 이와 같이, 이진수에서 multi-valued 데이터로 변환하는 것은 높은 주파수를 다룬다는 의미에서 효과적이다. 통신 시스템을 위해 redundant multi-valued logic이 사용되는 것은 Multi Valued Logic 과 Redundancy 값을 사용하는 장점을 가진다.

그림 2 는 전통적인 multi-valued logic과 redundant multi-valued logic의 2bit 데이터 변환과정 이다. 기존의 multi-valued logic과는 대조적으로 0-1, 1-0모두 1이 된다. 따라서 1-0, 0-1은 구별되지 않는다. 결과적으로 종래의 multi-valued logic은 이진 데이터로부터 multi-valued 데이터를 만들기 위해 복잡한 회로를 필요로 한다. Redundant multi-valued 데이터는 sample-and-hold 회로방식과 비슷하며, 단순한 누적 회로로 만들 수 있다. 그럼으로, 이 회로의 변환 속도가 종래의 multi-valued logic보다 빠르다. 또한 데이터 처리율도 빨라진다.

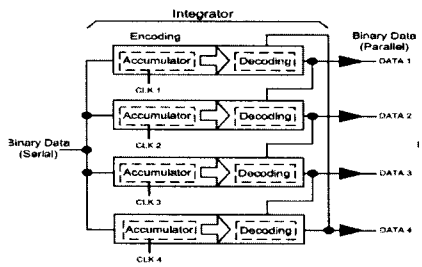

그림 3. 1:4 DEMUX의 기본구조

3.2. 1:4 DEMUX

그림 3 은 제안된 1:4 DEMUX의 기본 구조이다. 이 DEMUX는 4개의 적분기로 구성되었다. 각 적분기는 한 번의 샘플 주기 동안에 두 bit의 데이터 값을 받는다. 이 데이터를 축적하여 0, 1, 2 의 3-valued 데이터를 만든다. Decoding 부에서 3-valued 값은 원래의 이진 데이터로 전환된다. 3-valued 데이터가 1값을 가질 때, 이진 결과는 앞 단 적분기 결과에 의해 결정된다. 예를 들어 앞단 적분기 결과가 1-0 이나 0-0 값을 가지고 현재 적분기가 3-valued 값으로 1 값을 가질 때 이 적분기는 0-1 값을 가진다. 만약에 입력이 "1010101010..."과 같은 경우 현재 적분기는 앞단 적분기가 올바른 값을 가질 수 없기 때문에 결과를 결정할 수 없다. 그러나 입력이 1과 0의 반복인 경우에 한해서만 문제가 생긴다. 그럼으로, 입력 데이터 는 0-0이나 1-1의 패턴을 가져야 한다. 일단 이 패턴을 받게 되면 적분기는 내부의 상태를 정확하게 정렬할 수 있다. 전달 에러는 이전 데이터에 의해서 발생할 수 있다. 그러나 0-0, 1-1 패턴이 한번 나타나면, 전달 에러는 방지된다.

3.3. 적분기 회로

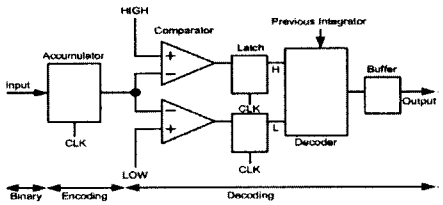

그림 4. 적분기의 블록선도

그림 4 는 적분기의 블록선도를 보여주고 있다. 구성은 accumulator, comparator, latch, decoder로 이루어 졌다. Accumulator는 이진 데이터를 받아 3-value 데이터로 만들어 준다. Comparator는 두 개의 HIGH & LOW 기준전압으로 데이터를 비교하며, H 와 L의 결과는 latch를 통해 decoder로 전달한다.

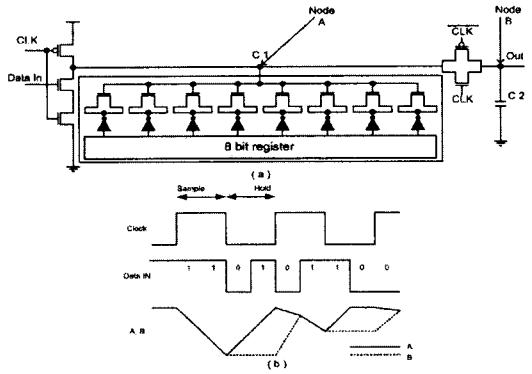

그림 5. (a) 누적기와 (b) 타이밍선도

그림 5 는 적분기에 사용되는 accumulator 회로와 이 회로의 타이밍선도를 보여준다. Clock = L (holding period)에서 node A는 clock = H 까지 precharge 되고, clock = H (sampling period)에서는 입력 데이터에 따라서 node A값이 discharge 된다. Sampling 주기가 끝나면, 3-valued 데이터가 node A에서 생긴다. Node A 와 node B는 단지 sampling 구간에서만 연결 된다는 것과, C1의 가변 커패시턴스 값은 C2 커패시턴스의 값보다 매우 크기 때문에 고속의 동작을 한다. C1 값의 결정은 SPICE 시뮬레이션을 통해 결정된다. 전압 결정은 이 회로의 최대 동작 속도에 의해서도 제한된다.

C2의 값이 작기 때문에 C2의 전압은 기생 커패시턴스나 트랜스미션 게이트의 channel charge (clock feedthrough or charge injection)에 영향을 받는다. 그러나 SPICE 시뮬레이션을 보면 이 전압의 차이는 3-valued 데이터를 구별하기에 충분히 작다. 이 accumulator 에서, 만약 큰 누설 전류를 가지는 최소 트랜지스터를 사용하여도, 축적 기능에 대한 영향은 작을 것이다. 왜냐하면 매 클록 주기의 초기에 C1이 precharged되기 때문이다. Hold 주기 동안, 비교기는 누적된 3-valued 데이터를 이진 값의 H, L로 변환한다. 기준 전압인 HIGH와 LOW는 저항으로 공급전압을 나누어 칩 안에서 만들어진다. 따라서 기준 전압은 공급전압에 따라서 변한다.

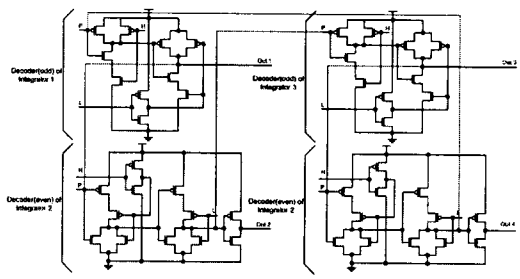

그림 6. Decoder 회로도.

그림. 6 은 integrator 4개의 decoder 회로를 보여주고 있다. Multi-valued 데이터는 중복 값을 가진다. 따라서 전자, 후자와 현재의 자료들 사이의 상호 관계를, partial response maximum likelihood(PRML)와 같은 error-detect나 error-correct 기능을 이용한다. 그러나 이 기능을 실현하기 위해, decoder 회로는 복잡하고 느려지게 된다. 각 decoder가 한 주기 안에서 적분기들의 위상 차이와 같은 부분을 해독해야 하기 때문에 빠른 해독 동작이 필요하다. 따라서 간단한 decoding 회로를 사용하였다.

4. 시뮬레이션 결과 분석

본 논문은 0.35㎛ CMOS 공정기술을 사용하여 SPICE 시뮬레이션을 하였다. 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급 전원은 3.3V로 하였다.

그림 7 의 시뮬레이션은 1:4 DEMUX의 accumulator 결과를 보여준다. 입력으로 들어오는 직렬 이진데이터가 각 클록의 hold 구간에서 출력으로 나오는 3-valued 값을 보여준다. Accumulator의 3-valued data를 확인할 수 있다.

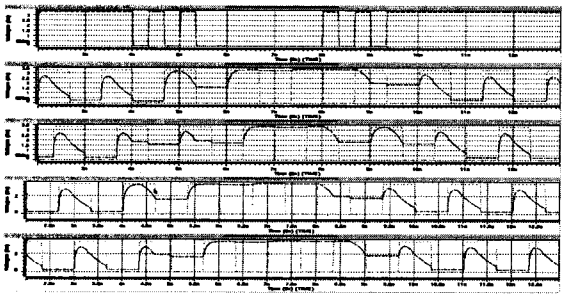

그림 7. 1:4 Accumulator의 시뮬레이션 결과

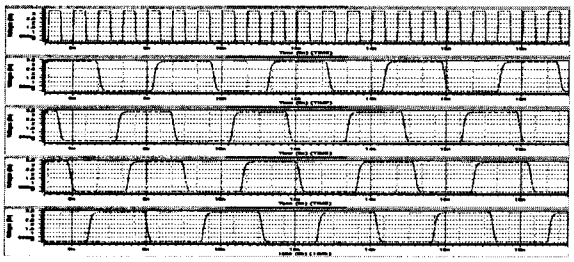

그림 8. 1:4 DEMUX의 시뮬레이션 결과

그림 8 은 제안된 구조의 1:4 DEMUX 출력 결과이다. 750MHz(4-phase) 클록을 가지는 각 적분기의 결과를 확인할 수 있다. 제안된 회로는 3.3V 공급전원 에서 3Gb/s의 입력을 가질 때 48mW의 전력소모를 가진다. 이것은 기존의 이진 논리 DEMUX들에 비해 낮은 전력소모이다[1],[3],[5]. 또한 3Gb/s의 입력은 이 회로의 최대 토글 주파수(VCO 시뮬레이션 최대 전송속도 = 1.43Gb/s) 이상의 전송속도를 보여준다. HSPICE 시뮬레이션 결과로 redundant multi-valued logic이 기존 이진구조의 토글 제한을 극복 한다는 것을 확인 하였다. 이러한 장점은 고속의 동작을 가능하게 한다.

그러나 3-valued 값을 이진데이터로 변환하는 decoding 부의 비교기가 가지는 동작속도가 redundant multi-valued logic이 가지는 고속의 전송속도를 제한한다. 이진 값을 multi-valued 로 변환하는 accumulator 는 1.5Gb/s 이상의 동작속도를 가지는 반면, 본 논문에서의 비교기 동작속도는 1Gb/s 보다 낮다. 따라서 고속 비교기 설계는 제안된 구조에서 최대 전송속도를 높인다.

5. 결론

본 논문은 redundant multi-valued logic을 이용하여 고속 통신용 1:4 DEMUX를 설계하였다. 제안된 구조는 기존의 이진 구조보다 높은 동작 속도의 구현이 가능하다. 각각의 회로들은 HSPICE를 사용하여 시뮬레이션 하였고 시뮬레이션 결과에서 정확한 동작을 확인하였다. 제안된 회로는 3.3V의 공급전압에서 3Gb/s 이상의 데이터 처리와 48mW의 전력소모를 가진다. 이것은 redundant multi-valued logic이 회로 동작 주파수의 두 배 이상 고속 데이터 처리가 가능하다는 것을 보여준다. 제안된 구조는 미세 선폭을 사용할 경우

3Gb/s 보다 빠른 동작속도를 가진다.

ACKNOWLEDGMENT

본 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

참 고 문 헌

[1] K. Nakamura, M. Fukaishi, H. Abiko, A. Matsimoto, and M. Yotsuyanagi, "A 6 Gbps CMOS phase detecting DEMUX module using half-frequency clock," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 196-197, June 1998.

[2] J. Savoj and B. Razavi, "A 10 Gb/s CMOS clock and data recovery circuit with frequency detection," in ISSCC Dig. Tech. Papers, pp. 78-79, 2001.

[3] A. Tanabe, M. Umetani, I. Fujiwara, T. Ogura, K. Kataoka, M. Okihara, H. Sakuraba, T. Endoh, and F. Masuoka, "0.18 μm CMOS 10Gb/s multiplexer/demultiplexer ICs using current mode logic with tolerance to threshold voltage fluctuation," IEEE J. Solid-State Circuits, vol. 36, pp. 988-996, June 2001.

[4] A. Tanabe, Y. Nakahara, A. Furukawa, and T. Mogami, "A Redundant Multivalued Logic for a 10-Gb/s CMOS Demultiplexer IC," IEEE J. Solid-State Circuits, vol. 38, pp. 107-113, Jan 2003.

[5] S.Yasuda, Y. Ohtomo, M. Ino,Y. Kado, and T. Tsuchiya, "3-Gb/sCMOS 1:4 MUX and DEMUX ICs," IEICE Trans. Electron., vol. E78-C, no. 12, pp. 1746-1753, December 1995.

[6] C. K. Yang, R. Farjad-Rad, and M. Horowiz, "A 0.6 m CMOS 4 Gb/s transceiver with data recovery using oversampling," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 71-72, June 1997.

[7] H. O. Johansson, J. Yuan, and C. Svensson, "A 4G sample/s line-receiver in 0.8 mCMOS," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 116-117, June 1996.