정보 및 제어 심포지엄(ICS '05) 2005. 5. 14

Low-Swing CVSL 전가산기를 이용한 저 전력 8×8 비트 병렬 곱셈기 설계

Design of a Low-Power 8×8 bit Parallel Multiplier Using Low-Swing CVSL Full Adder

강 장 희*, 김 정 범**
Jang-Hee Kang*, Jeong-Beom Kim**

Abstract - This paper is proposed an 8× 8 bit parallel multiplier for low power consumption. The 8× 8 bit parallel multiplier is used for the comparison between the proposed Low-Swing CVSL full adder with conventional CVSL full adder. Comparing the previous works, this circuit is reduced the power consumption rate of 8.2% and the power-delay-product of 11.1%. The validity and effectiveness of the proposed circuits are verified through the HSPICE under Hynix 0.35㎛ standard CMOS process.

Key Words : low power, parallel multiplier, low swing, full adder, CVSL

I. 서 론

오늘날 디지털 회로의 설계에서 중요시되는 문제는 높은 성능과 칩 면적의 최소화, 전력소모 감소 등을 들 수 있다. 이동 장치와 휴대 장치의 대중화에 의해 보급이 늘어나면서, 저 전력 회로에 대한 욕구는 더욱 더 증대되고 있다. 저 전력 회로 기술은 칩 면적의 증가나 회로의 성능 감소에 영향을 미치지 않는 상태에서 전력소모를 효과적으로 줄여야 하는 문제를 가지고 있다[1].

회로의 성능을 평가하는 주된 요소는 동작 속도와 전력소모이다. 그동안 VLSI 설계연구자들에 의해 동작 속도는 만족할 만큼의 성능 개선을 이루었다. 그러나 저 전력소모에 있어서는 동작속도 개선의 발전 속도를 따르지 못하고 있다. 이러한 문제를 해결하기 위해서 현재 많은 노력과 연구가 이루어지고 있다. 전력소모를 줄이기 위한 요소에는 여러 가지가 있다. 예를 들면, 공급 전압을 낮추는 방법, 트랜지스터 수를 줄여 회로를 간소화하는 방법, 논리 회로 형태를 전환하는 방법 등 여러 가지 요소가 있다. 따라서 논리 회로의 안정된 성능과 목적에 따라 적합한 형태의 방법을 찾는 것이 중요하다[2]-[5].

전력소모를 줄이는 방법의 하나로 감소된 출력 전압을 이용하는데 이러한 기술을 Low-Swing 기술이라 한다. A. Rjoub는 도미노 논리 회로(domino logic circuit)에 Low-Swing 기술을 이용한 인버터를 사용하여 출력 전압을 감소시킨 저 전력 회로를 구현하였다[2]. 그러나 도미노 논리 회로는 논리 회로를 구현하는 일반적인 회로형태가 아닌, 특수한 용도에 한정적으로 사용되는 논리회로 형태이므로 집적회로 설계에 일반적으로 사용될 수 없다는 문제점이 있다. 따라서 본 논문에서는 동적회로(dynamic circuit)가 아닌 정적회로(static circuit)에 Low-Swing 기술을 이용하였고, 정적 회로 중 여러 가지 응용회로를 설계할 수 있는 CVSL(Cascade Voltage Switch Logic) 회로 내부에 Low-Swing 기술을 이용하여 출력 전압을 감소시킨 저 전력 CVSL 전가산기(full adder)를 설계하였다. 또한 이를 이용해 저 전력 8× 8 비트 병렬 곱셈기(parallel multiplier)를 설계하였다. 제안한 회로는 Hynix 0.35um CMOS 표준공정의 파라미터를 이용하여 HSPICE로 시뮬레이션 하였다.

* 姜 璋 熙 : 江原大學校 電子工學科 碩士
** 金 政 範 : 江原大學交 電子工學科 副敎授

※ 본 논문에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어 졌음

II. Low-Swing 기술

2.1 전력소모

전력소모(에너지 손실) 요소는 공급 전압과 출력 단의 노드 커패시터, 출력 Swing 전압 등으로 다음과 같은 식으로 표현된다.

$$E = C_L \times V_{DD} \times V_{dd} \qquad (1)$$

(CL: 노드 커패시터, VDD: 공급 전압, Vdd: 출력 Swing 전압)

위의 식 (1)에 의하면 에너지 손실은 출력 단의 노드 커패시터와 공급 전압, 출력 단의 Swing 전압의 곱으로 이루어진다. 따라서 출력 단의 Swing 전압을 감소시키면 에너지 손실을 감소시킬 수 있다.

2.2 Low-Swing 인버터

Low-Swing 기술은 회로에 공급되는 전압보다 낮은 전압 레벨에서 출력 동작을 하여 전력소모를 감소시키는 기술이다. 일반적인 인버터는 0V에서 공급 전압(VDD)까지 완전

Swing(Full-Swing)을 한다. 만약 공급 전압이 3.3V인 경우, 출력 전압은 0V~3.3V 값을 가진다. 이러한 출력 동작 전압 범위는 전력소모와 밀접한 관계를 가지고 있다. 식(1)에서 나타낸 바와 같이 출력 Swing 전압을 감소시키면 에너지 손실은 감소된다.

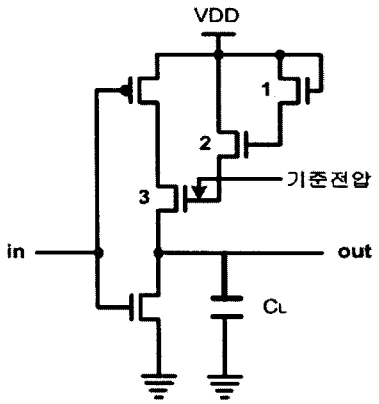

그림 1. Low-Swing 인버터

그림 1은 Low-Swing 인버터이다. 일반적인 CMOS 인버터에 NMOS 트랜지스터를 추가하여 변형된 인버터 구조이다. VDD에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터를 추가하였다. 1번 트랜지스터의 게이트와 소오스는 VDD에 연결되고, 1번 트랜지스터의 드레인은 변형된 인버터의 기준 전압으로서 인버터의 동작 전압이 된다. 2번 트랜지스터는 기준 전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 감소된 VDD 전압을 출력 노드에 전달한다. 기준 전압은 추가된 NMOS 트랜지스터의 수(n)와 문턱 전압(VTH)에 의해 결정된다. 따라서 기준 전압(Vref)은 식 (2)와 같다.

$$Vref = (VDD - nVTHn) \quad (2)$$

추가한 NMOS 트랜지스터는 다이오드 형태로 연결이 되어 출력 전압을 감소시킨다. 공급 전압이 3.3V일 경우, 일반적인 CMOS 인버터의 에너지 손실은 식 (3)과 같다.

$$E = CL \times 3.3V \times 3.3V \quad (3)$$

Low-Swing 인버터의 에너지 손실은 식 (4)와 같다.

$$E = CL \times 3.3V \times (VDD - nVTHn)V \quad (4)$$

따라서 공급 전압에서 Low-Swing 전압 차만큼 에너지 손실을 감소시킨다. 즉, Low-Swing 기술 적용으로 인한 에너지 손실은 식 (5)와 같으며, Low-Swing 기술 이용으로 인한 전력소모 감소는 식 (6)과 같이 표현된다[2].

$$E = CL \times VDD \times (VDD - (Vref - VTHn)) \quad (5)$$

$$감소비 = ((Vref - VTHn)/VDD) \times 100\% \quad (6)$$

III. Low-Swing 기술을 이용한 회로설계

3.1 Low-Swing 기술을 이용한 CVSL 전가산기

본 논문에서 제안한 CVSL 전가산기는 그림 2와 같다. 일반적인 CVSL 전가산기 내부에 상호연결된 PMOS에 NMOS 트랜지스터를 추가하여 출력 전압을 감소시키는 Low-Swing 기술을 이용하여 설계하였다. VDD에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터를 추가하였다. 1번 트랜지스터의 게이트와 소오스는 VDD에 연결되고, 1번 트랜지스터의 드레인은 변형된 인버터의 기준 전압으로서 인버터의 동작 전압이 된다. 2번 트랜지스터는 기준 전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 (VDD- nVTHn)V 전압을 출력 노드에 전달한다. 원래의 CVSL 회로에서는 Pull-Up 전달 지연시간을 감소시키기 위해 PMOS 트랜지스터의 W/L 값을 지나치게 증가시키면 PMOS Pull-Up latch의 상태를 천이 시킬 수 없으므로 Pull-Up 전달 지연시간을 감소시키는데 제한이 있다. 반면에, 동적 CVSL 회로에서는 Pull-Up 동작은 Pre-Charge phase에서만 발생하고 이 Pre-Charge 시간 구간 내에만 Pull-Up 동작이 완료되므로 Pull-Up 전달 지연시간은 문제가 없다. 그리고 감소된 출력 전압으로 인해 전달 지연시간의 큰 감소 효과를 얻을 수 있는 장점을 가지고 있다.

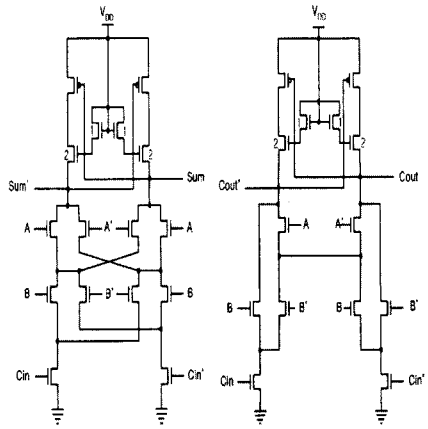

그림 2. Low-Swing CVSL 전가산기

3.2 8× 8 병렬 곱셈기

병렬 곱셈기는 곱셈과정에서 발생되는 부분 곱들을 병렬로 연결되어 독립적인 계산을 수행한다. 사용한 전가산기는 Low-Swing 기술을 이용한 CVSL 전가산기로 8× 8 병렬 곱셈기를 구현하였다. 전가산기의 출력단은 일반적인 CVSL 전가산기로 구현하여 감소된 출력 전압을 입력으로 받고 최종 출력 전압은 감소된 출력 전압이 아닌 완전 Swing으로 출력되도록 설계하였다.

IV. 시뮬레이션 결과 및 비교

본 논문은 Hynix 0.35um 표준 CMOS 공정을 이용하여 HSPICE로 시뮬레이션하였으며 배치설계 후 LPE를 통해 HSPICE 시뮬레이션 결과와 동일한 결과를 얻도록 배치설계를 하였다. HSPICE에 사용한 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급 전압은 3.3V로 하였다. 그리고 전압 출력에 100fF의 부하 커패시터를 연결하여 측정하였다. 그림 3은 본 논문에서 제안한 Low-Swing 기술을 적용한 CVSL 전가산기의 배치설계 결과이다. 보다 짧은 배선을 위하여 6개의 입력을 가운데에 공통으로 사용하고 위와 아래에 NMOS 로직 부분을 배치하였다. 그림 4는 Low-Swing 기술

을 적용한 CVSL 전가산기를 이용한 8× 8 병렬 곱셈기의 배치설계 결과이다. 그림 5는 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 적용한 CVSL 전가산기의 출력 파형이다. 입력 파형에 따라 올바른 합(sum)의 값과 올림수(carry)의 값이 출력되는 것을 확인 할 수 있으며, 점선으로 표시된 부분은 Low-Swing 기술을 이용한 CVSL 전가산기의 출력 파형으로 출력 전압이 공급 전압보다 낮은 3V로 나오는 것을 확인 할 수 있다.

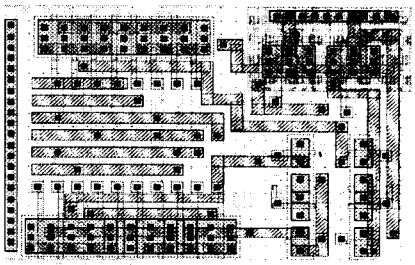

그림 3. Low-Swing CVSL 전가산기의 배치설계

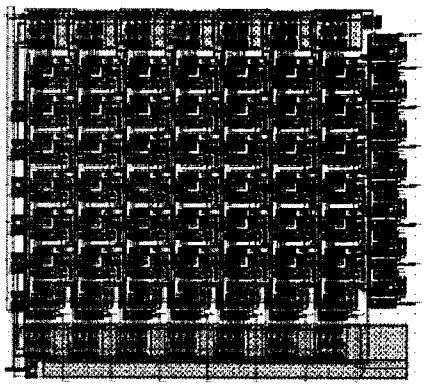

그림 4. Low-Swing 8× 8 병렬 곱셈기 배치설계

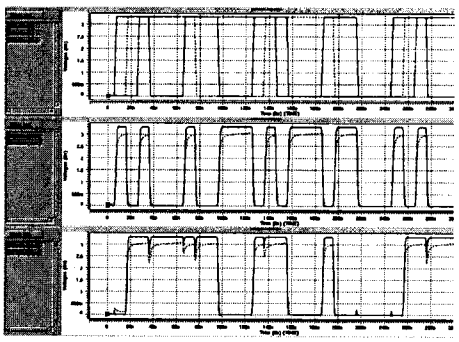

그림 5. CVSL 전가산기 출력 파형

Low-Swing 기술을 이용한 CVSL 전가산기의 특성을 비교해 보면, Low-Swing 기술을 이용한 결과 트랜지스터의 개수는 36% 증가하였고, 배치설계 면적도 14% 증가하였다. 그리고 11.3%의 전력소모(0~300ns 평균 소비 전력) 감소효과를 얻었다. 전력소모와 지연시간의 곱(power-delay-product)에서는 12.7%의 성능향상을 얻었다. 표 1은 8× 8 병렬 곱셈기에 대해 기존의 CVSL 전가산기를 이용한 8× 8 병렬 곱셈기와 본 논문에서 제안한 Low-Swing 기술을 이용한 CVSL 전가산기를 이용한 8× 8 병렬 곱셈기의 특성을 비교한 표이다. Low-Swing 기술을 이용한 결과 트랜지스터의 개수는 20.7% 증가하였고, 배치설계 면적도 8.6% 증가하였다. 그리고 8.2%의 전력소모(0~128us 평균 소비 전력) 감소효과를 얻었다. 전달 지연시간은 2.7%의 감소 효과를 얻었으며, 전력소모와 지연시간의 곱에서는 11.1%의 성능향상을 얻었다.

표 1. 8×8 병렬 곱셈기에 대한 비교표

	기존회로	본 논문의 회로
트랜지스터 개수	1,616	1,952
배치설계 면적(um^2)	196.7 × 188.4 = 37,058.2	225.4 × 178.6 = 40,256.4
평균 전력소모(mW)	3.04	2.79
전달 지연시간(ns)	5.56	5.41
전력 소모와 지연시간의 곱 [pJ]	16.96	15.09

표 2. 동적 CVSL 전가산기의 비교표

	기존회로	본 논문의 회로
트랜지스터 개수	23	31
평균 전력소모(mW)	0.104	0.089
전달 지연시간(ns)	0.29	0.20
전력 소모와 지연시간의 곱 [pJ]	0.030	0.018

표2은 동적 CVSL 전가산기와 본 논문에서 제안한 Low-Swing 기술을 이용한 동적 CVSL 전가산기의 특성을 비교한 표이다. Low-Swing 기술을 이용한 결과 트랜지스터의 개수는 34% 증가하였다. 그리고 14.4%의 전력소모(0~300ns 평균 소비 전력) 감소효과를 얻었다. 전달 지연시간은 45% 감소효과를 얻었으며 전력소모와 지연시간의 곱(power-delay-product)에서는 40%의 성능향상을 얻었다.

ACKNOWLEDGMENT

본 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

V. 결론

본 논문은 기존의 CVSL 전가산기 회로 내부에 Low-Swing 기술의 특성을 갖도록 NMOS 트랜지스터를 추가하여 감소된 출력 전압으로 동작하는 CVSL 전가산기를 제안하였다. 그리고 제안한 회로를 이용해 저 전력 8× 8 비트 병렬 곱셈기를 설계하였다.

CVSL 전가산기의 경우 NMOS 트랜지스터의 추가로 배치설계 면적은 14% 증가하였고, 전력소모와 지연시간의 곱에서는 14.3%의 성능향상을 얻었다. 8×8 비트 병렬 곱셈기의 경우 Low-Swing 기술을 적용한 결과 배치설계 면적은 8.6% 증가하였으며, 전력소모와 지연시간의 곱에서는 11.1%의 성능향상을 얻었다.

개선사항으로는 과도 전류 감소와 상승 전달 지연시간의 감소가 요구되며, 입력 신호 패턴에 따라 전력소모의 변화가 크게 나타나는 점에 대한 개선이 필요하다. 이러한 문제의 해결 방법으로서 Low-Swing 기술에 적합한 새로운 논리 구조에 대한 연구가 필요하다.

참고 문헌

[1] Neil H. E. Weste, Kamran Eshraghian. "Principles of CMOS VLSI Design". Addison-Wesley Publishing Company.

[2] 공진흥, 김남영, 김동욱, 이재철. "VLSI 설계, 이론과 실습". 홍릉과학출판사.

[3] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in Proceeding of IEEE International Conference on Electronics, Circuits and Systems, vol. 2, pp. 45-48, 1998.

[4] Nan Zhuang and Haomin Wu "A New Design of the CMOS Full Adder", IEEE Journal of Solid-State Circuits, VOL. 27, NO. 5, May 1992.

[5] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR and XNOR Functions on the Transistor Level", IEEE Journal of Solid-State Circuits, VOL. 29, NO. 7, July 1994.

[6] Reto Zimmermann and Wolfgang Fichtner, Fellow, IEEE, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic", IEEE Journal of Solid-State Circuits, VOL. 32, NO. 7, July 1997.

[7] Issam S. Abu-Khater, Abdellatif Bellaouar, and M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", IEEE Journal of Solid-State Circuits, VOL. 31, NO. 10, October 1996.