

**RTDS를 이용한 154kV 송전선로 보호계전기 재폐로 시험 기준에 관한 연구**

최창열, 이재욱, 장병태, 김태균, 정길조, 추진부  
한전 전력연구원

**Study on the test guide to verify the performance of reclosing functions in the 154kV transmission line protective relay**

Choe, Chang Youl, Lee, Jae Wook, Jang, Byung Tae, Kim, Tae Kyun, Jung, Gil Jo, Choo, Jin Boo  
KEPRI

**Abstract** - 송전선로에서 발생하는 고장은 낙뢰나 수목 접지로 인한 순간 고장이 대다수를 차지한다. 따라서 송전선로 보호 기능에 있어서 재폐로 기능은 계통의 안정성 향상과 공급 신뢰도의 제고를 위해서 중요한 역할을 담당한다. 본 논문에서는 154kV 송전선로 보호에 널리 사용되고 있는 디지털 방향비교 보호방식(Directional Comparison Blocking Scheme)에서 보호 구간 내부에 고장이 진전되어 발생했을 때, 재폐로 기능의 동작 특성에 대한 성능 검증 방안에 대해서 기술한다.

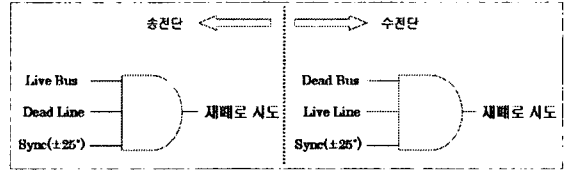


그림 1. 154kV 송전선로 보호계전기 재폐로 조건

**1. 서론**

송전선로에서 재폐로 성공시의 장점은 계통의 과도안정도 향상, 송전용량 증대, 계통의 자동 복구 등이며 안정도 향상 위주의 고속도 재폐로와 자동복구 위주의 저속도 재폐로로 구분된다. 국내 154kV 계통의 경우 고속도 1회 3상 일괄 재폐로 방식을 사용하고 있으며, 재폐로 시간은 아크 소호 시간을 고려하여 18Hz를 사용하고 있다. 일반적으로 이 시간은 고장 발생으로 인한 보호계전기 동작으로 재폐로 계전기가 가동될 시점부터 재폐로 계전기가 차단기에 투입 명령을 보내는 순간까지의 시간을 의미한다[1]. 송전선로의 보호구간 내에서 일정한 시간 지연을 갖고 진전 고장이 발생하는 경우 시간 지연에 따라 보호 계전기 동작 특성은 달라진다[2]. 따라서 이러한 재폐로 기능을 시험하기 위해서는 단순 고장 형태의 영구 고장 보다는 고장 사이에 시간 지연이 있는 진전 고장이 적합하다. 본 논문에서는 진전 고장 발생시 고장간의 시간지연에 따른 보호계전기 응답 특성을 검증하기 위해 PSCAD/RTDS를 이용하여 모의 계통을 구성하고 방향비교 차단저지 보호방식을 지원하는 송전선로 디지털 보호계전기 2대와 이 방식을 지원하는 통신 장치 2대를 사용하였다[3].

**2. 시험 환경 구성**

**2.1 154kV 송전선로 보호계전기 재폐로 조건**

국내의 154kV 계통은 고속도 1회 재폐로 방식이며 3상 일괄 Trip 방식을 사용한다. 또한 재폐로 조건으로는 LBDL(Live Bus Dead Line) 등 다양한 조건이 사용된다. 본 논문에서는 재폐로 동작을 수행하기 위한 재폐로 조건으로서 송전단과 수전단에 각각 [그림 1]과 같이 설정하였다. 즉 송전단 보호계전기에는 LBDL(Live Bus Dead Line) 조건을 설정하고, 수전단 보호계전기에는 LLDB(Live Line Dead Bus) 조건을 설정하였다. 또한 재폐로 조건과 동기 검정을 위해 보호계전기에는 3상 모선 전압과 단상 선로 전압을 제공하였다.

**2.2 RTDS계통 구성**

154kV 선로 모델의 선정을 위해서 전력거래소에서 발간한 '2002 전력계통 설비정수 종합표'에 수록된 154kV 송전선로를 분석하였으며, 이를 토대로 가장 보편적인 송전선로를 선정하였다. 분석 결과 국내 가공 선로에서 가장 많이 사용되는 A410B(ACSR. 410mm) 2회선 선로를 154kV 송전선로 보호계전기 성능 검증을 위한 계통 모델의 선종으로서 결정하였다. 송전선로 모델의 파라미터 값을 위한 선로 정수를 구하기 위해서는 A410B 2회선 선로를 사용하는 구간 중 선로 길이가 25.991km인 안성-용인 간 '용안 #1, #2 T/L'을 사용하였다. 용안 #1, #2 T/L의 등가 임피던스, 안성 변전소 모선 1차 측 등가 임피던스, 용인 변전소 모선 1차 측 등가 임피던스는 각각 [표 1]과 같다.

표 1. 모의 계통 선로정수

용안 #1, #2 T/L	
R1+jX1	0.4596 + j3.6354
R0+jX0	2.5145 + j11.0173
Rm + jXm	2.0549 + j5.9432
Y1	j2.9790
선종 / 규격	A410B / 25.991km
안성 변전소 1차 측 등가 Impedance	
R1+jX1	0.213 + j1.568
R0+jX0	0.939 + j4.581
용인 변전소 1차 측 등가 Impedance	
R1+jX1	0.081 + j0.866
R0+jX0	0.384 + j1.956

[표 1]에서 기술한 선로 정수를 이용하여 [그림 2]와 같은 모델 계통을 구성하였다. 양단 전원은 각각 안성 S/S와 용인 S/S를 등가화한 것이며, 용안 #1, #2 T/L의 경우 6 Conductor PI 선로를 이용하여 구성하였다.

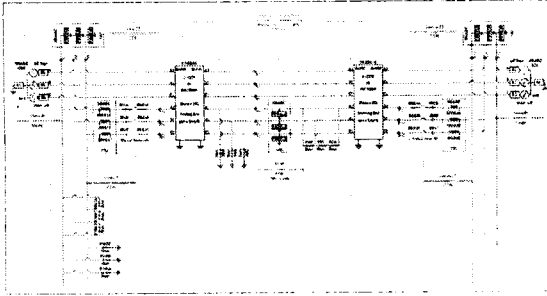


그림 2. RTDS에서 구현된 154kV 송전선로 계통 모델

양단 전원 간 위상차의 설정은 2005년 계통에 대한 PSS/E 해석 결과(2.7°)를 고려하여 2.5°를 적용하였다. 또한 재폐로 조건 설정 및 동기검정을 위해 필요한 모션 PT(3상)와 선로 PT(단상)를 함께 모델링한 후 성능 검증에 사용된 디지털 보호계전기에 제공하였다.

LINE	A	E	C	W	G	H	K	L	E
294	4785 봉진	154	1.037	159.8	-44.30	4	15		
295	4775 이진	154	1.036	159.5	-44.42	2	15		
296	4776 이2D	154	1.031	158.0	-45.72	2	15		
297	4750 개로	154	1.040	150.2	-41.75	2	15		
298	4750 개로	154	1.039	159.3	-41.30	2	15		
299	4820 간선	154	0.959	158.7	-37.92	5	15		
300	4820 간선	154	1.043	159.5	-41.00	5	15		
301	4811 선로전압	154	1.038	159.8	-41.15	5	15		
302	4820 간선	154	1.039	159.9	-42.20	5	15		
303	4825 간선	154	1.038	159.8	-47.00	4	15		
304	4825 간선	154	1.038	159.8	-40.40	4	15		
305	4825 간선	154	1.038	159.8	-40.40	4	15		

그림 3. 154kV 모션 전압 위상차

### 2.3 성능 검증 환경 구성

154kV 디지털 전송차단방식 송전선로 보호계전기의 성능검증 및 재폐로 시험을 위한 환경 구성은 [그림 4]와 같다.

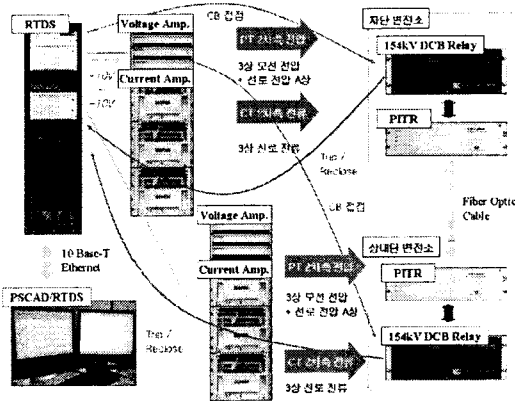


그림 4. 154kV 송전선로 보호계전기 시험환경

RTDS의 3PC 카드에서 연산된 계통의 디지털 전압 데이터와 디지털 전류 데이터는 ODAC16 카드를 통해 아날로그 데이터 형식으로 변환되고, 각각 대 출력 전압 앰프와 전류 앰프를 거쳐 보호계전기의 입력 값에 적합한 크기로 증폭되어 보호계전기로 전달된다. 또한 보호계전기에서 RTDS로 전달되는 Trip/Close 접점 정보를 RTDS로 전달하기 위한 결선 작업과 RTDS의 차단기 모델의 상태 정보인 52a 또는 52b 정보를 보호계전기로 전달하기 위한 결선 작업 역시 수행되었다. 다음은 사용

된 시험 환경 구성 내역이다.

- 1) 154kV DCB 방식 송전선로 보호계전기 : 2대 (SEL-311L-7 Model)
- 2) Carrier 전송장치(PITR) : 2대
- 3) RTDS Rack : 1랙
- 4) ODAC16 카드 : 출력단 3채널 기준 5개
  - ODAC16 카드 #1 : 차단 3상 모션 전압
  - ODAC16 카드 #2 : 차단 3상 선로 전류
  - ODAC16 카드 #3 : 상대단 3상 모션 전압
  - ODAC16 카드 #4 : 상대단 3상 선로 전류
  - ODAC16 카드 #5 : 송전선로 선로 전압(A상)
- 5) 전압 앰프 : TEC3620 8대
  - 전압 앰프 #1~#3 : 차단 모션 전압 A, B, C상
  - 전압 앰프 #4~#6 : 상대단 모션 전압 A, B, C상
  - 전압 앰프 #7 : 차단 선로 전압 A상
  - 전압 앰프 #8 : 상대단 선로 전압 A상
- 6) 전류 앰프 : TEC7700 6대
  - 전류 앰프 #1~#3 : 차단 선로 전류 A, B, C상
  - 전류 앰프 #4~#6 : 상대단 선로 전류 A, B, C상
- 7) 보호계전기 설정 및 동작결과 확인용 PC : 1대
- 8) DC 전원 공급 장치 : 차단기 접점 정보(DC 125V)를 보호계전기에 제공하기 위해서 사용

### 3. 재폐로 기능 시험

본 논문에서 수행한 154kV 송전선로 보호계전기 재폐로 기능 시험에서는 두 고장 사이의 시간 지연을 각각 10ms, 50ms, 160ms, 400ms로 설정하였다. 각각의 시간 지연은 재폐로 시간(18 Cycle)과 차단기 동작 시간(3 Cycle)을 고려하여 설정하였으며, 각 시간 지연 설정에 대한 의미는 다음과 같다.

#### 3.1 내부 고장 10ms 시간 지연 내부 고장

10ms의 고장 지연시간을 갖고 고장이 진전된다는 것은 보호계전기에서 첫 번째 고장에 의한 Trip 출력이 나가기 전에 두 번째 고장이 발생하는 것을 의미한다. 이 경우, 두 가지 고장 모두 보호계전기 Target에 나타날 수 있다.

#### 3.2 내부 고장 50ms 시간 지연 내부 고장

고장 지연 시간이 50ms라는 것은 [그림 5]에서와 같이 보호계전기에서 Trip 출력이 나가고, 차단기가 완전히 Open되기 이전에 두 번째 고장이 발생하는 것을 의미한다.

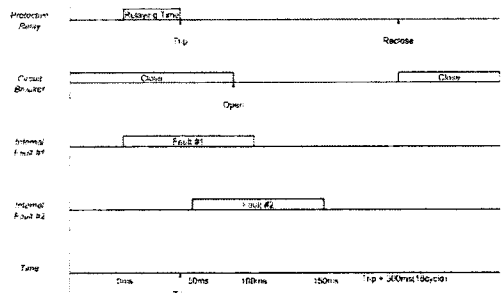


그림 5. 고장, 보호 계전기, 차단기 응답 관계(1)

상기의 시험에서는 고장 발생 위치에 따라서 순시 Trip이 되는 경우 첫 번째 고장만 나타나며, 두 번째 고장은 Trip이 된 후에 나타난다. 그러나 고장 위치에 따라서 순시 Trip이 아닌 경우 두 가지 고장 모두 보호계전기 Target에 나타나는 현상이 나타날 수 있다. 시험

수행 시 차단기 동작 시간을 3 cycle로 설정해도 결과는 동일하다.

### 3.3 내부 고장 160ms 시간 지연 내부 고장

고장 지연 시간이 160ms인 경우는 [그림 6]과 같이 차단기가 완전히 Open된 이후에 두 번째 고장이 발생하는 것을 의미한다.

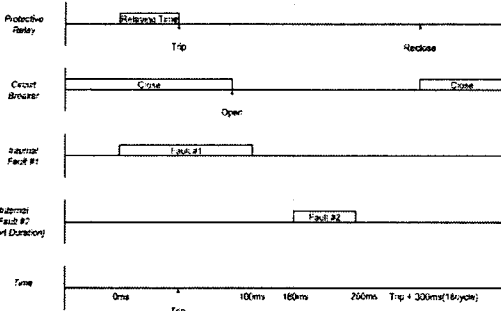


그림 6. 고장, 보호 계전기, 차단기 운동 관계(2)

Time Delay가 160ms이고 고장 종류는 다르게 설정하는 경우, 차단기가 Open된 후 두 번째 고장이 발생하므로, 두 고장 모두 단시간 고장인 경우 첫 번째 고장만이 Target이 되고 재폐로도 성공한다. 첫 번째 고장이 길게 나는 경우(2000ms), 첫 번째 고장이 Target이 되고 재폐로는 실패하는 것을 확인하였다. 첫 번째 고장이 짧게 (100ms) 나고 두 번째 고장이 길게(2000ms) 나는 경우, 차단 보호계전기는 판넬의 LED가 고장 전이에 따라서 Target이 바뀌고, 상대단 보호계전기는 두 번째 고장이 LED에 나타나는 것을 확인하였다. 이 경우 두 번째 고장으로 인해 재폐로는 실패한다. [그림 7]은 내부 50% 지점에서 ABS(단락 고장 저항 : 0.02Ω)가 발생하고 160ms 후 BCS가 발생한 경우이며, 이 경우 정확한 고장 상에 대한 판별과 Trip이 발생함을 알 수 있다.

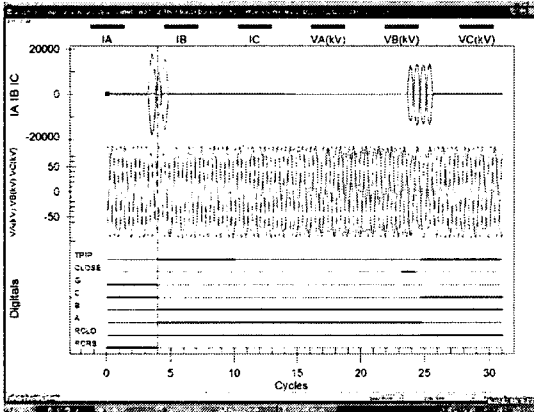


그림 7 차단 측 보호계전기 고장 파형 및 시퀀스 데이터

### 3.4 내부 고장 400ms 시간 지연 내부 고장

Time Delay가 400ms인 시험에서는 재폐로가 성공적으로 종료한 후 고장이 다시 발생하는 경우이다. 따라서 두 번째 고장으로 다시 Trip이 되나 한전에서 사용하는 재폐로 설정이 One Shot(1회 고속도 재폐로 수행)이므로 두 번째 고장에 대해서 재폐로는 되지 않는다.

### 3.5 시험 결과

[그림 8]은 154kV 디지털 방향비교 방식 송전선로 보

호계전기 성능 검증 테스트 중, 내부 진전 부분만을 발췌한 것이다. 성능 검증 결과에서 볼 수 있듯이 내부 진전 고장의 경우 고장 사이의 시간 지연에 따라 보호 계전기의 동작이 달라짐을 알 수 있다.

Test No	Fault Point	Fault Phase	Fault Duration Time	Relay Terminal	1st Protection Panel							Fault Location	
					A	B	C	N	Trip Type	CR	Op. Time		??
40	FA50 → 10ms → FA50	AG BG	100ms 100ms	A Side	0	0	0	0	Z1	X	42.4	0	50.77
				B Side	0	0	0	0	Z1	X	41.4	0	50.26
41	FA50 → 50ms → FA50	AG BG	100ms 100ms	A Side	0			0	Z1	X	41.4	0	51.05
				B Side	0			0	Z1	X	48.4	0	49.51
42	FA50 → 160ms → FA50	BG CG	100ms	A Side		0	0	0	Z1	X	30.6	0	51.16
43		CG	100ms	B Side		0	0	0	Z1	X	37.9	0	50.48
44	160ms → FA50	CG ABG	2000ms	A Side				0	Z1	X	30.6	X	51.27
45		ABG	100ms	B Side				0	Z1	X	43.2	X	50.03
44	160ms → FA50	ABS	100ms	A Side	0	0			Z1	X	30.1	X	50.8
		BCS	2000ms	B Side	0	0			Z1	X	42.7	X	51.1
45	160ms → FA50	BCS	2000ms	A Side	0	0			Z1	X	30.5	X	50.78
		ABCG	2000ms	B Side	0	0			Z1	X	47.4	X	50.24
46	FA50 → 400ms → FA50	BG CG	100ms	A Side	0	0			Z1	X	68.5	X	51.13
		CG	100ms	B Side	0	0			Z1	X	47.8	X	50.49
47	FA50 → 400ms → FA50	CAG	100ms	A Side	0	0			Z1	X	83.8	X	56.66
		ABG	100ms	B Side	0	0			Z1	X	44.6	X	50.2

그림 8. 보호계전기 성능 검증 테스트(일부)

## 4. 결 론

154kV 송전선로 보호계전기에 대한 성능 검증에 있어서 재폐로 기능의 적정성을 검증하기 위해서는, 지금까지 기술한 바와 같이 진전 고장 시험에서 두 고장 사이의 시간 지연을 각각 10ms, 50ms, 160ms, 400ms로 설정하는 것이 의미가 있다고 판단된다. 이에 대한 의미는 각각 보호계전기가 첫 번째 고장에 대한 Trip 명령을 내리기 이전 시점과 이후 시점, 재폐로가 수행되기 이전 시점, 재폐로가 성공한 후에 고장이 다시 발생했을 때 보호계전기 및 재폐로 기능의 동작 특성을 보기 위한 것이다. 디지털 보호계전기를 사용하여 이러한 특성에 대한 검증을 수행한 결과, 각각의 의미에 적절하게 동작하는 것을 확인하였다.

## [참 고 문 헌]

- [1] 한국전력거래소, "보호계전기 시험기준 수립에 관한 연구", 2002.8.
- [2] 부산전력관리처, "Digital 보호계전기 시험법" 2000.9
- [3] 산업자원부, "디지털 보호계전기 성능 검증을 위한 계통 모델 작성 및 검증 절차 수립", 2005. 4