

DGS 4-포트 등가회로를 이용한 발진기 설계

손창신, † 제이 프라카쉬 타쿠르†, 박준석,† 조홍구,† 김형석
 국민대학교† 중앙대학교 †

A Study of Design and Manufacture Oscillator Using DGS 4-port Equivalent circuit

Chang-Sin Son†, J.P. Thakur†, Jun-Seok Park†, Hong-Goo Cho†, Hyeong seok Kim†
 School of Electrical and Electronics Engineering, Kookmin Univ†. & Chung-Ang Univ.†

Abstract - DGS 구조의 RF 소자 부품 개발에 응용하기 위해서는 DGS 구조의 대한 정확한 모델링과 등가회로 파라미터의 추출방법에 대한 연구가 선행되어야 한다. 기존의 연구에서는 집중정수소자 모델링 방법이 연구 되어 필터, 스위치 등과 같은 RF 및 마이크로파대 부품에 대한 응용사례가 발표되었다. 그러나 다른 부품들과 결합되는 복합적인 DGS구조를 이용한 소자의 개발 시 기존에 제시되었던 집중정수 소자를 이용한 2-포트 등가 모델링 방법의 적용은 위상이나 전기적 길이의 정보와 같은 물리적인 의미를 표현하기에는 부족한 단점이 있었다. 또한 집중정수 소자를 이용한 2-포트 모델의 단점 중 하나는 등가모델로부터 DGS 식각면의 물리적 크기를 결정하기가 어렵다는 점이다. 물론 특정기판의 정보를 갖는 DGS 구조의 식각의 크기의 변화에 따른 반복적 전자장 시뮬레이션의 결과 데이터로부터 식각 치수의 결정이 가능하나 시간 및 많은 노력이 필요하였다. 따라서 본 논문은 다른 부품과의 결합에 따른 DGS 접지면의 전기적 특성 정보의 추출과 다른 주파수 대역에서의 등가회로 응용성에 대한 문제점을 해결하기 위해서 DGS의 구조적 접근 방법으로 새로운 모델링 방법을 제안하였다.

로의 정보에 따라 능동 소자의 입력력 S 파라미터 값이 영향을 받으므로 식각면의 선로에 대한 정확한 정보가 요구되어진다. 그러나 기존에 제시되었던 2-포트 등가 모델은 회로의 전체 특성만을 고려한 모델로서 식각면에 대한 정보를 등가회로 모델로는 알 수가 없었다. 따라서 DGS 식각면의 전기적 특성에 대한 정보를 얻기 위하여 능동소자가 부착되는 지점에 2개의 포트를 설정하여 식각면에 전기적 특성을 고려한 4-포트 등가 모델을 제시하였다.

2.1.1 발진기 설계를 위한 DGS 4-port 등가회로

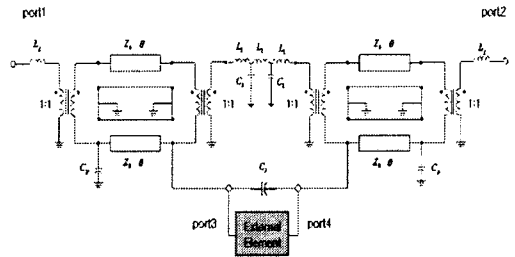


그림 1. DGS의 새로운 4-port 등가회로

1. 서 론

본 논문의 구성은 . 2.1.1 장에서는 능동 소자의 실장을 위한 새로운 DGS의 제안과 제안된 DGS를 집중 소자를 이용한 발진과 이상적인 전송선로를 이용하여 새로운 4-포트 등가회로로 모델을 제시하였으며 등가 모델의 파라미터 추출 방법에 대하여 다루었다. 2.2.1장은 본 논문에서 새롭게 제안된 4-포트 DGS 모델링의 타당성과 응용성을 검증하기 위한 예로써 마이크로파 발진기의 설계에 대하여 기술하였다. 2.2.2에서 ISM 대역인 2.45GHz 대역 발진기를 위의 설계방식에 맞게 직접 제작해 본 논문의 실용성을 확인하였다.

2. 본 론

2.1 4-port 등가회로의 장점

DGS의 2-포트 등가 회로들은 특정 주파수에서의 정보를 가지고 집중소자를 이용하여 모델링 하는 방법으로, 회로적으로 구현이 용이한 장점이 있다. 그러나 간단한 회로로 구현이 되는 장점이 있는 반면 몇 개의 집중소자를 이용하여 모델링 함으로써 같이 S-파라미터의 크기(magnitude)적인 특성은 만족되나 주파수에 따른 위상 특성을 만족시키기에는 한계가 있다. 그래서 외부 집중소자와 결합되는 응용 또는 전기적인 위상 특성에 민감한 영향을 받는 소자의 응용의 경우, 발진기와 같은 소자, 등가 모델링과 해석에는 한계가 있었다. 그 이유는 DGS의 식각면 위에 직접적으로 능동소자가 실장 되는 응용의 경우, 소자의 결합 기준면의 설정 및 식각면 선

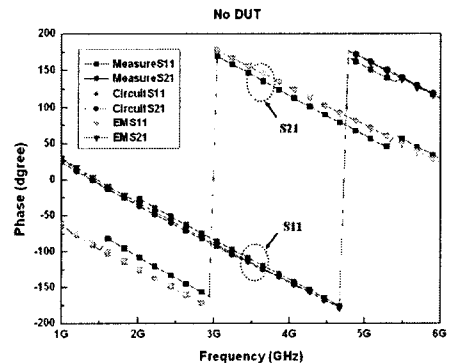


그림2. 외부 소자의 실장이 없는 DGS 회로의 실험과 시뮬레이션의 값의 비교 (Phase 특성비교)

그림 1은 제안된 4-port 등가회로를 나타낸 그림이다. 그림 2는 외부 소자의 실장이 없는 상태에서 실제로 설

계된 등가회로와 EM-simulation 그리고 직접 제작한 DGS회로의 위상특성을 비교하여 나타낸 그래프이다. 물론 magnitude값은 만족한다. 여기에서 이 등가회로의 타당성을 확인할 수 있다.

2.2 등가회로를 이용한 발진기의 설계

발진기는 저항성 발진기와 능동 소자를 사용한 능동형 발진기로 구분되는데 본 논문에서는 NEC 사의 NE32584C HEMT를 이용한 능동형 발진기를 설계하였다. 4장에서 다룬 주제는 새롭게 제안된 DGS 구조가 발진기의 정방향 병렬 궤환(positive parallel feedback) 회로로서 역할을 하는가 하는 점과 새로운 등가모델을 이용한 발진기 설계 시 등가모델의 물리적 길이가 발진기의 발진 주파수 결정에 부합되는가에 대한 검증을 하는데 있다

2.2.1 발진기 설계 및 제작의 능동소자&기판 정보

본 논문의 설계한 발진기는 능동소자를 이용한 발진기로서 설계에 사용한 소자는 Si로 도핑된 AlGaAs와 InGaAs 사이에 매우 빠른 전자 이동 특성과 저잡음 특성을 갖는 NEC 사의 NE32584C Hetero-Junction FET를 사용하였다. 표 1은 사용 소자의 전기적 특성이다.

Parameter	Q1	Parameter	Q1
VTO	-0.6723	RG	3
VTOSC	0	RD	2
ALPHA	4	RS	2
BETA	0.115	RGMET	0
GAMMA	0.08	KF	0
GAMMADC	0.07	AF	1
Q	2	TNOM	27
DELTA	0.5	XTI	3
VBI	0.715	EG	1.43
IS	3e-13	VTOTC	0
N	1.22	BETATCE	0
RIS	0	FFE	1
PID	0		
TAU	5e-12		
CDS	0.13e-12		
RDB	1000		
CBS	1e-9		
CGSO	0.3e-12		
CGDO	0.02e-12		
DELTA1	0.3		
DELTA2	0.1		
VBRFC	0.5		
VBR	Infinity		

Parameter	Units
time	seconds
capacitance	farads
inductance	henries
resistance	ohms
voltage	volts
current	amps

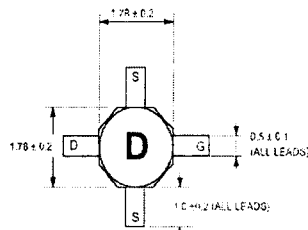


표1 NE32584C의 비선형 파라미터

트랜지스터의 전원 동작점의 설정은 발진기 설계에서 처음으로 검토할 사항이다. 그림 3과 같이 시뮬레이션

회로를 구성하여 V_{ds} 와 V_{gs} 의 변화에 따른 특성 곡선을 구하였다. 그림 4.13은 전원 특성 곡선을 나타낸 결과 그 그래프로 본 논문에서는 $V_{ds} = 2.0V, V_{gs} = -0.4V$ 로 바이어스 점을 결정 하였다. 이 경우 드레인-소오스 단에 흐르는 전류는 33.2mA이다.

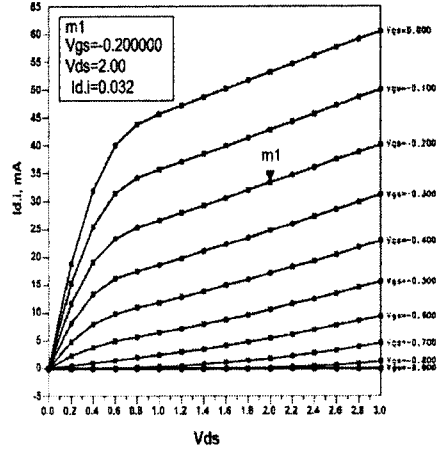
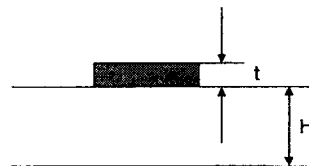


그림3 V_{ds}, V_{gs} 에 따른 I_{ds} 의 특성 곡선

DGS 구조를 이용한 발진기는 유전율 2.3, 두께 1.6mm인 Teflon 기판을 사용하여 제작하였다. PCB의 제작은 일반적인 에칭(etching)의 기술을 사용하여 제작하는데, 제작상의 유의점은 기판의 양면으로 패턴이 설계되므로 PCB의 자외선 노출 시 레이어아웃 필름의 위와 아래 면이 정확히 일치해야 한다. 기판 정보는 다음과 같다.



기판명	Teflon
유전체 두께 (H)	1.575 mm
비유전율(ϵ_r)	9.2
유전체 손실 ($\tan \delta$)	0.0022
동박 두께 (t)	0.036

표 2 DGS 발진기의 설계 및 제작에 사용된 기판의 특성

2.2.2 발진기 제작 및 결과

제작된 기판은 $30 \times 34 \mu$ 의 크기로 제작되었다. 그림 4.21은 제작된 DGS 구조를 이용한 발진기의 사진이다. 기판의 상단의 스트립 라인은 마이크로 스트립 라인의 50 Ω 임피던스 선폭으로 제작되었다. 바닥면의 식각면의 스트립 라인의 중심점에 바이어스를 인가하기 위해 집중 소자인 칩 인덕터와 커패시터를 사용하여 구현하였다

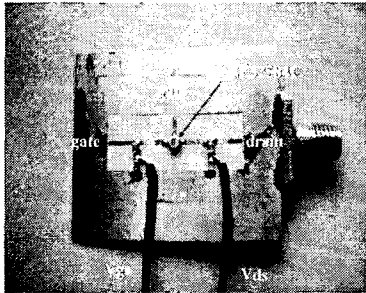
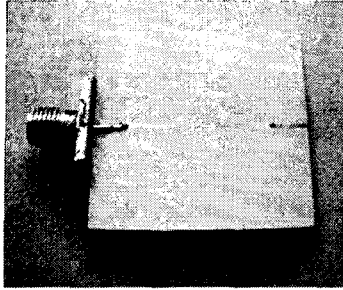


그림 4 제작된 DGS 병렬레환 발진기 윗면, 아랫면

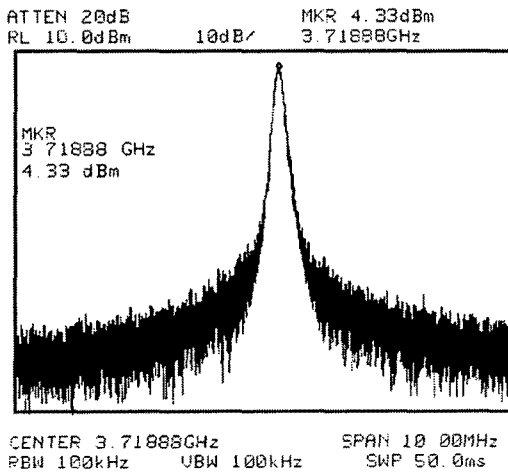


그림 5 제작된 발진기의 기본파 출력 신호의 출력 스펙트럼 측정특성

위 그림은 제작된 발진기의 출력스펙트럼 결과이다. $V_{ds}=2.0V$, $V_{gs}=-0.2V$ 의 바이어스조건 시 3.71888GHz에서 4.33dBm의 출력신호를 발생하였다. 시뮬레이션 결과와 비교 시 주파수는 54MHz, 출력 레벨은 0.54dB 오차가 있었다. 소모 전류량은 34mA로서 시뮬레이션 값과 약 1mA의 오차가 있었다

3. 결 론

새롭게 제안된 DGS 등가모델의 비선형 특성의 능동 소자와의 적용성을 실험하기 위하여 DC 격리 갭 (isolation gap) $d=0.2mm$ 을 갖는 DGS 발진기를 제작 하였다. 표. 4-6은 설계된 발진기의 시뮬레이션과 측정 결

과의 비교 테이블이다. 출력 주파수의 52MHz의 차이를 가지며, 출력 전력의 레벨 차는 약 0.45dB 결과 값을 가졌다. 드레인-소스 간의 흐르는 전류량의 차는 1mA 정도로 바이어스 회로 해석과 거의 일치하였다. 따라서 본 논문에서 제안된 DGS의 등가모델은 정밀한 특성이 요구되는 발진기와 같은 마이크로 부품의 설계 시 유용한 모델임을 검증하였다.

Characteristics	Simulation	Measurement
Oscillation frequency	3.772Ghz	3.718Ghz
Output power level	3.880dBm	4.33dBm
1st harmonic suppression	8.529dBc	7.50dBc
Power supply	$V_{ds}=2.0V$ $V_{gs}=-0.4V$	
current consumption	33mA	34mA

표3 설계된 DGS 병렬레환 발진기의 회로 시뮬레이션 결과와 측정 결과비교

[참 고 문 헌]

- [1] H. D. Yang, N. G. Alexopoulos, E. Yablonovitch, "Photonic Band-Gap Materials for High-Gain Printed Circuit Antennas," *IEEE Trans. Antennas and Propagat.*, vol.45, No.1, p.185-187, Jan. 1997
- [2] J. S. Park, J. H. Kim, J. H. Lee, S. H. Kim, and S. H. Myung, "A Novel Equivalent Circuit and Modeling Method for Defected Ground Structure and Its Application to Optimization of a DGS Lowpass Filter", *IEEE MTT-s Digest*, p. 417-420, 2002
- [3] C. S. Kim, J. S. Lim, S. W. Nam, K. Y. Kang, J. I. Park, G. Y. Kim, and D. Ahn, "The Equivalent Circuit Modeling of Defected Ground Structure with Spiral Shape", *IEEE MTT-s Digest*, pp 2125-2128, 2002
- [4] Hung-Yu David Yang, "Theory of Microstrip Lines on Artificial Periodic Substrates," *IEEE Trans. on Microwave Theory and Tech.*, vol.47, no.5, pp.629-635, May 1999
- [5] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits", *IEEE Microwave Guide Wave Lett.* vol. 10, no. 4, pp. 131-133, Apr. 2000
- [6] J. S. Park, J. S. Yun, and D. Ahn, "A Design of the Novel Coupled-Line Bandpass Filter Using defected Ground Structure With Wide Stopband Performance", *IEEE Trans. Microwave Theory Tech.*, vol 50, NO 9, 2037-2043, Sep. 2002