

직교신호 발생 전압제어 발진기의 위상 잡음 특성비교

조일현\*, 이문규\*, 김형석\*\*

\*서울시립대학교 전자전기 컴퓨터 공학부, \*\*중앙대학교 전자전기공학부

Comparison of phase noise characteristic of Quadrature Voltage Controlled Oscillator

Il Hyun Cho\*, Moon Quee Lee\*, Hyeong-seok Kim\*\*

\*Dept. Electrical & Computer Engineering, University of Seoul, \*\*School of Electrical & Electronics Engineering, Chungang Univ.

**Abstract** - Various CMOS quadrature-voltage-controlled oscillators(QVCOs) are designed and fabricated for the comparison of the phase noise. The core VCO is composed of two Colpitts oscillators which are cross-coupled with PMOS pair. For the comparison of phase noise with the proposed scheme, the conventional LC VCO followed by the frequency-divide-by-two is designed. The simulation result demonstrate that the proposed scheme shows better phase noise performance by 6 dB than that of a conventional scheme in which LC VCO is followed by the frequency-divide-by-two.

1. 서 론

현재 무선통신 시스템은 SoC(System on chip) solution을 위하여 직변환 구조나 Low IF 구조를 이용한 시스템을 요구하고 있으며, 이를 수행하기 위한 연구 중 LO신호에서 직교신호(Quadrature signal)를 발생하기 위한 방법에 대한 연구가 계속되어 오고 있다. 그러나 현재까지도 GSM이나 CDMA와 같은 송수신 시스템의 LO에서 요구되는 사양이 높기 때문에 전압제어 발진기를 CMOS 공정으로 구현하기에는 부족한 점이 많다. 따라서 LO의 주요 성능 중 위상잡음 특성을 개선하는 방법이 SoC solution을 위한 가장 중요한 요소이다. 본 논문에서는 직교신호(Quadrature signal)를 가지면서 기존의 구조보다 우수한 위상잡음 특성을 얻을 수 있는 전압제어 발진기의 구조에 대하여 기존의 구조와 비교, 검증하고자 한다.

평형(Balanced) 구조가 차동(differential) 구조에 비하여 위상잡음 특성이 우수하다는 점은 기존의 발표된 논문들에서 검증되었다[1][2][3]. 특히 Hajimiri는 Colpitts Type의 평형(balanced) 전압제어 발진기가 차동(differential) 구조에 비하여 더 좋은 cyclostationary 잡음 특성을 갖는다는 점을 이론적으로 분석하였으며, 이후 발표된 다른 논문들에서도 평형(balanced) 구조가 차동(differential) 구조보다 우수한 위상잡음 특성을 갖는다는 것에 대한 검증을 하였다[2]. 따라서 본 논문에서는 CMOS 공정에서 Colpitts 방식의 평형 구조를 이용함으로써 기존의 RFIC에서 일반적인 차동 구조에서 보다 우수한 위상잡음 특성을 얻을 수 있는지 같은 공정을 통하여 비교하였다. 또한 2 분주기(Divide by two) 회로를 이용하는 방법과 직접 직교신호를 발생하는 방법에 대한 비교를 수행하였다[5][6]. 본 논문에서는 앞에서 제시한 각각의 회로들을 한 공정을 이용하여 구조에 대한 장단점을 제작 비교하고자 한다.

2. 직교신호 발생 발진기의 구조

2.1 콜피츠 발진기를 결합한 차동 발진기

그림 1은 Colpitts 방식을 이용한 차동 발진기 회로이다. 그림 1에서 Coplitts 구조 차동 발진기의 한쪽 면을 보면 게이트 단을 AC 접지시켜 구성된 단일 Colpitts 구조가 된다. 이 Colpitts 구조의 가상 접지(Virtual Ground)면을 이용하여 두 개의 전압제어 발진기를 서로 대칭으로 연결하여 가상 접지(Virtual Ground)를 생성하는 평형(balanced)구조로 만들었다. 또한 평형(balanced) 구조로 동작하게 하고, 전압제어 발진기 회로에 전류를 공급하기 위하여 cross coupled 트랜지스터를 이용하였다.

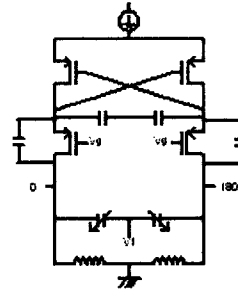


그림 1 콜피츠 발진기를 결합한 차동 발진기

2.1.1 상호 결합 구조에 의한 직교신호 발생 전압제어 발진기

그림 2는 콜피츠 발진기를 결합한 차동 발진기에 결합 트랜지스터를 cascade로 연결하여 두 개의 평형(Balanced)구조 전압제어 발진기를 서로 주입동기 하여 직교신호를 발생하는 전압제어 발진기를 설계하였다.[4]

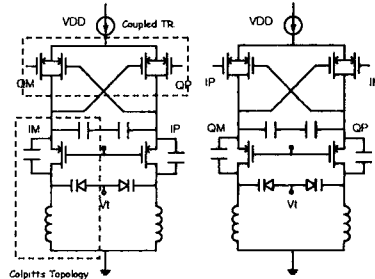


그림 2 콜피츠 발진구조를 기본으로 하는 결합 직교 신호 발생 전압제어 발진기의 구조

### 2.1.2 주파수 분주기를 이용한 직교신호 발생 전압 제어발전기

2 분주기 회로를 이용하여 직교신호를 발생하는 방법은 그림 3과 같다. 부 캐한 피드백을 갖는 두개의 D flip-flop 래치(latch)를 이용하여 분주기 회로를 구현한 것이다. 그림 3.(a)는 일반적인 래치이고, 이 구조에서 트랜지스터의 크기(gate width)를 이용하여 GHz 대역에서 분배기의 속도와 전력관계를 조절할 수 있다.

그림 3.(b)는 2 분주기(divider) 구조이다. 만일 두개의 래치(latch)가 잘 정합되어 있고, 두개의 클럭(clock) 신호에 2 fo에서 발진 하는 차동 신호를 인가하였을 때 분주기(divider)의 출력인 A, B, C, D에서 직교신호가 발생한다. 일반적으로 이러한 구조의 방식에서 위상 오차는 1도 정도이나, 만일 클럭 신호에 들어가는 차동 발전기의 위상 오차가 커지면 분주기(divider)를 통한 직교신호의 위상 오차도 더욱 커지게 된다. 본 논문에서는 4GHz에서 동작하는 차동(differential) 구조의 VCO와 차동 Colpitts구조를 갖는 VCO를 설계하여 동일한 2 분주기(divide by two)회로를 통한 출력신호인 직교신호의 위상 잡음 특성과 위상오차 특성을 비교하였다.

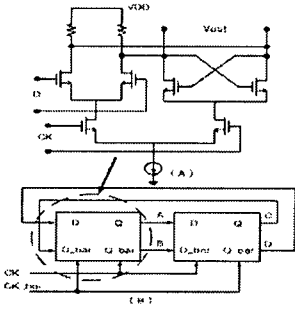


그림 3 (a) 래치 (b) 2 분주기(Divide by two)

### 3. 모의실험

위의 구조를 Agilent사의 ADS를 이용하여 Small signal 해석을 통해 소 신호 발진조건을 찾았으며, harmonic balance와 Transient simulation을 이용하여 위상잡음, 위상오차 특성을 최적화 하였다.

#### 3.1 Colpitts구조와 결합 트랜지스터를 이용한 직교신호 발생 전압제어 발전기

Colpitts구조와 결합 상호 결합 트랜지스터를 이용한 직교신호 발생 전압제어 발전기의 구성은 다음과 같다. 위상잡음 특성을 개선하기 위하여 PMOS 트랜지스터를 이용하여 발전기의 core와 전류거울 (current mirror)을 설계하였고, 인덕터는 선폭 10 um, 선간간격 2 um, 권선수 2.5 인 인덕터를 이용하였으며, 바랙터는 트랜지스터의 drain과 source를 연결해 커패시턴스를 갖는 PN junction을 사용하였다(그림 1). 모의실험 결과 1.8 V 전원 전압에 core에 4 mA 전류 소비를 하였으며, 발진 주파수 2.05 GHz, control 전압 0 V - 1.8 V에 250 MHz의 주파수 가변, 30 dB이상의 고조파 억압특성, -123 dBc/Hz @ 1 MHz 이하의 위상잡음 특성을 얻었다(그림 4, 그림 5).

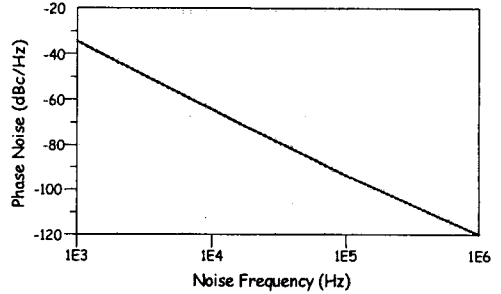


그림 4 모의 실험된 위상잡음 특성

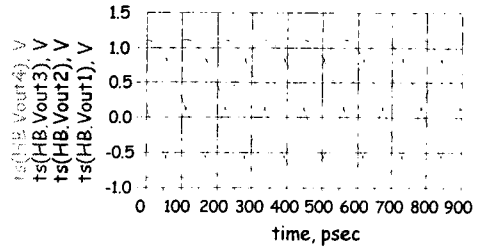


그림5. 모의 실험한 직교신호 발생 전압제어 발전기의 전압파형

레이아웃은 Cadence 사의 Virtuoso를 이용하였다. Layout 상에 나타나는 위상오차를 최소화하기 위해 다음 그림 6과 같이 회로를 상하 좌우 대칭이 되도록 레이아웃 하였으며, 전체 회로의 크기는 1000 × 1400um<sup>2</sup> 이다.

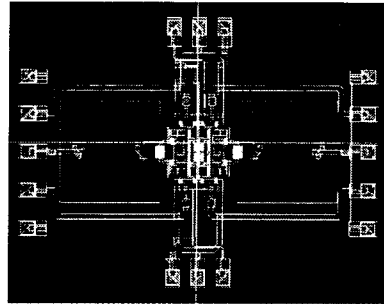


그림 6 직교신호 발생전압제어 발전기의 레이아웃

#### 3.2 2분주기를 이용한 직교신호 발생 전압제어 발전기

2 분주기(Divide by two)회로를 이용한 직교신호 발생 전압제어 발전기의 구성은 다음과 같다. 위상잡음 특성을 개선하기 위하여 PMOS 트랜지스터를 이용하여 2 분주기(Divide by two)회로의 core와 전류거울(current mirror)을 설계하였고, 2GHz 대역에서 충분히 동작하기 위한 전류를 최적화 하였다. 전압제어 발전기는 두 가지 구조인 차동 Colpitts 구조와 차동(differential) 구조로 동일한 주파수 대역에서 발전하게 설계하였으며, 각각의 회로는 다음과 같다(그림 7). 이는 동일한 조건에서 직교신호를 발생했을 때 두 구조의 성능을 비교하기 위함이다.

모의 실험 결과 동일한 주파수에서 발전하였을 때 차동(Differential) 구조보다 차동 Copitts 구조에서 6 dB 이상의 낮은 위상잡음 특성을 얻을 수 있었다. 즉 실험 결과 전압제어 발전기 자체의 위상잡음 특성은 차동(differential) 구조와 차동 Colpitts 구조에서 각각

-116 dBc/Hz@ 1 MHz, -121 dBc/Hz @ 1 MHz 얻을 수 있었다(그림 8.). 두 종류의 전압제어 발진기의 모의 실험 결과는 표 1.에서 정리하였다. 그림 9.(a)는 차동(differential) 전압제어 발진기와 2 분주기 회로를 포함한 전체 회로 사진이고, 그림 9.(b)는 차동 Colpitts 전압제어 발진기와 2 분주기 회로를 포함한 회로 사진이다. 이는 각각 Cadence 사의 Virtuoso를 이용하여 구현하였으며, 회로의 크기는 각각  $900 \times 970\mu\text{m}^2$ (차동 발진기 구조),  $900 \times 1100\mu\text{m}^2$ (평형 발진기 구조)이다.

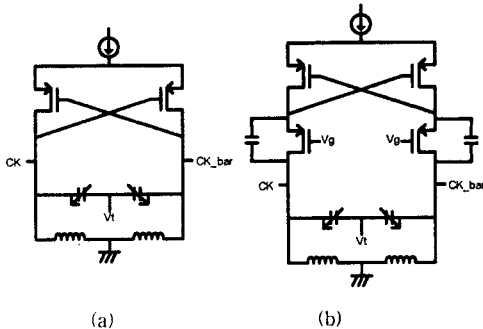


그림 7 전압제어 발진기의 구조 (a)차동구조, (b) 차동 Colpitts 구조

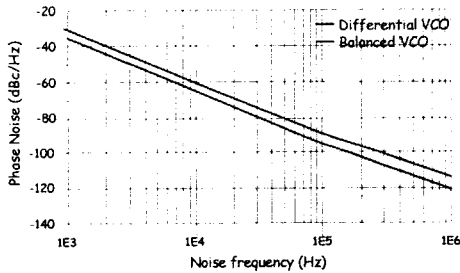
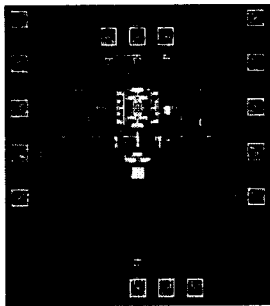
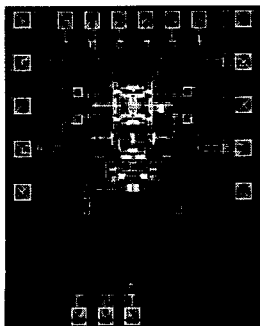


그림 8 위상 잡음 특성 비교



(a)



(b)

그림 9. 2분주기를 이용한 직교신호 발생 전압제어 발진기. (a) 차동구조, (b) 차동 Colpitts 구조

	Differential VCO	Differential Colpitts VCO
Frequency range (GHz)	4 ~ 4.4	4 ~ 4.4'
Phase noise (dBc/Hz @ 1MHz)	< -116	< -121
Harmonic Suppression (dBc/Hz)	< -25	< -25
Core Current (mA)	3.3	2.89

표1. 2분주기를 이용한 직교신호 발생 전압제어 발진기

#### 4. 결론

본 논문에서는 삼성 0.18 $\mu\text{m}$  표준 CMOS 공정을 이용하여 2 GHz 대역 직변환 구조의 무선 시스템에 적용할 수 있는 직교신호 발생 (Quadrature signal) 전압제어 발진기를 설계, 제작하였다. 본 논문에서의 전압제어 발진기의 구조는 직교 신호를 발생할 수 있는 방법에 관한 2가지 구조와 VCO회로의 구조에 관한 2가지 방법을 서로 비교하였다. Colpitts 구조를 이용한 차동 Colpitts 구조가 RFIC에서 기존에 많이 이용되었던 차동(differential) 구조에 비하여 우수한 위상잡음 특성을 얻을 수 있음을 알 수 있다.

또한 직교신호를 발생하기 위한 구조적인 면에서 2 분주기(Divide-by-two circuits)를 이용한 직교신호 발생 전압제어 발진기는 직접 직교신호를 발생하는 구조에 비하여 전체 회로의 크기와 소비전력 면에서 장점이 있다. 본 논문에서 설계한 3가지 방법에 대한 직교신호 발생 전압제어 발진기의 특성을 요약하였다(표 2.).

	QVCO	Divide by two	
		differential	differential Colpitts
Frequency range (GHz)	2.05~2.30	2.0~2.2	2.0~2.2
Phase noise (dBc/Hz @ 1MHz)	< -123	< -122	< -127
Harmonic Suppression (dBc/Hz)	< -30	< -25	< -25
Chip Size( $\mu\text{m}^2$ )	1000*1400	900*970	900*1100

표2. 설계한 직교 신호 발생 전압제어 발진기의 특성 요약

#### [ 참고문헌 ]

- [1] Thomas H. Lee, A. Hajimiri, "Oscillator phase noise : a tutorial," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 326 - 336, March 2000.
- [2] Dong-Hyun Baek, Jeong-Geun Kim, Songcheol Hong, "A Ku band InGaP/GaAs IIBT MMIC VCO with a balanced and a differential topologies," *International Microwave Symposium digest*, vol. 2, pp. 847-850, 2-7 June 2002.
- [3] Sangsoo Ko, "An X-band CMOS quadrature balanced VCO," *International Microwave Symposium digest*, vol. 3, pp. 2003 - 2006, 6-11, June 2004.
- [4] Aparicio, R, "Noise-shifting differential Colpitts VCO," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, pp. 1728 - 1736, Dec. 2002.
- [5] Baoyong Chi, Bingxue Shi, "Low-power CMOS VCO and its divide-by-2 dividers with quadrature outputs for 5 GHz z 2.5 GHz WLAN transceivers," *IEEE International Conference on Communications, Circuits and Systems and West Si no Expositions*, vol. 1, pp. 525 - 528, 29 June-1, July 2002.
- [6] Sovero, E.A., "Monolithic InP IIBT W-band VCO-static divider," *International Microwave Symposium digest*, vol. 3, pp.1325 - 1328, 6-11, June 2004.