

PECVD 방법으로 제조된 비정질 Si 박막의 RTP를 이용한 결정화 연구

심찬호, 김하나, 김성준, 김정우, 권정열 이현웅
명지대학교 전기공학과 전기전자재료연구실

Use of a Rapid Thermal Process Technique to study on the crystallization of amorphous Si films fabricated by PECVD

C. H. Sim, H. N. Kim, S. J. Kim, J. W. Kim, J. Y. Kwon, H. Y. Lee
Electrical Electronic and Materials Lab, Myong Ji UNIV.

Abstract - TFT-LCD requires to use poly silicon for High resolution and High integration. Thin film make of Poly silicon on the excimer laser-induced crystallization of PECVD(plasma-enhanced chemical vapor deposition)-grown amorphous silicon. In the thin film hydrogen affects to a device performance from bad elements like eruption, void and etc. So dehydrogenation prior to laser exposure was necessary. In this study, use RTP(Rapid Thermal Process) at various temperature from 670℃ to 750℃ and fabricate poly-silicon. it propose optimized RTP window to compare grain size to use poly silicon's SEM pictures and crystallization to analyze Raman curved lines.

1. 서 론

휴대전화나 휴대형 디지털 가전기기 등 Mobile 기기의 대중화에 따라 경량, 박형 및 일체화된 전자시스템을 구현하기 위한 새로운 기술이 요구되고 있다. LCD 구동에 필요한 Driver IC를 Glass 내에 집적화 함으로써 경량 박형화를 할수 있다. LTPS TFT-LCD시장은 a-Si TFT LCD를 대체하는 개념이 아닌 새로운 시장 개척이며, LTPS는 TFT-LCD뿐만 아니라 유기EL (AMOLED)분야에서도 필수 요소가 되었다.

그러나 poly-Si TFT의 해결 과제로 grain boundary의 존재가 있는데, 이는 channel내에 dangling bond의 존재로 forbidden band 내 많은 states가 분포 이들이 carrier를 포획, trap center로 작용해 poly-Si TFT의 전기적 특성을 저하시키는 원인으로 작용한다. 이 특성을 개선시키기 위해서는 a-Si를 p-Si로 결정화 시키는 기술이 중요하다. PECVD는 SiO₂를 증착했을 때 Large area, step coverage, electrical characteristic이 다른 Sputtering이나 LPCVD, APCVD에 비해 우수한 특성을 가지고 있다. 본 연구는 PECVD를 이용해 a-Si를 증착하여 poly-Si를 결정화 시키며, 다양한 결정화 기술 중에서 RTP(Rapid Thermal Process)라는 고속열처리 결정화 방식을 이용하고, 다양한 온도 조건에서 형성된 Polycrystalline-Silicon의 Micro-Structure를 분석함으로써, 균일한 결정립 크기(grain size)를 갖는 RTP process window를 찾는다.

2. 본 론

2.1 관련이론

2.1.1 a-Si, HTPS, LTPS TFT 비교.

a-Si, HTPS, LTPS TFT의 비교를 위해 각각의 공정에 따른 공정 온도, 사용되는 기판, 대형화로의 가능성,

구동 driver를 내장 여부, Mobility, 공정에 사용되는 Photo mask 수, Device의 구조 측면에 비교를 하였을 때, 현재 상용화 된 a-Si 경우 비교적 낮은 온도 350℃이하에서 이루어지며, 기판은 glass를 사용하고, 현재 대형화로 구현이 된다. 하지만 구동 driver회로들을 내장화가 될 수 없고, mobility는 0.5 cm²/Vsec이며, mask는 4-7장, device 구조는 Bottom Gate 구조를 갖는다. 이에 반해, HTPS (High Temperature Poly Silicon)TFT의 경우 높은 온도 1000℃에서 공정이 이루어지며, 이는 유리 전이온도 이상이므로 사용되는 기판으로 Quartz를 사용하며, 대형화하기 어렵다. 그러나 구동 driver 내장이 가능하며 mobility는 10-100cm²/Vsec이며 Mask는 7-11장이 들며, device 구조는 Top Gate이다.

LTPS TFT의 경우는 공정온도가 450℃이하로써 유리 전이온도보다 낮기에 a-Si처럼 glass를 기판으로 사용할 수 있고, 대형화가 가능하며, driver를 내장할수 있고, mobility 역시 10-300cm²/Vsec이다. 대신 사용되는 mask 수는 6-11장으로 a-Si보다 공정이 더 많다. device 구조는 Top Gate를 사용한다.

2.1.2 Gate insulator of poly-Si TFT.

게이트 절연막으로 실리콘 질화막(Si₃N₄), 실리콘 산화막(SiO₂)등이 사용되나, 실리콘 질화막은 SiNx/p-Si 경계 특성이 좋으나, carrier들이 SiNx 벌크 내에 포획이 크고, 구동전압의 불안정성, 등의 나쁜점이 있다.

반면에 SiO₂/p-Si 경우 경계특성은 SiNx/p-Si 보다 특성이 좋지 않아도 시료 벌크내 포획밀도가 낮고, 안정된 구동전압 특성을 가진다. 또한 ILD, Passivation layer 등으로 사용되므로 PECVD를 이용해 증착 시 양질의 SiO₂를 얻을 수 있다.

2.1.3 결정화 방법.(Crystallization method)

결정화 방법에는 as-deposited, ELA, MILC, CGS, SLS(Sequential Lateral Solidification), SPC(Solid Phase Crystallization) 등 다양한 방법들이 제시되고, 현재 사용 중인 방법이 있다.

그 중에 LPCVD로 p-Si를 증착하는 방법은 증착온도가 600℃이상의 고온이고, grain 크기도 작으며, 경계면의 높은 상태밀도 등의 단점이 있어 glass를 기판으로 사용하기에는 어려움이 있다. SPC는 p-Si 결정화도를 향상시키고, grain 크기가 증가하는데 있어 유용하지만 600℃ 이상의 고온에서 공정이 이루어지는 단점이 있다.

ELA(Excimer Laser Annealing)은 낮은 온도에서 공정이 되며, 양질의 p-Si을 얻을 수 있지만, 생산성, 균일도, 유지비문제 등 단점이 있다.

RTP(Rapid Thermal Annealing)은 짧은 시간동안에 열을 가하여 p-Si 결정화를 만드는 방법으로 기판을 glass를 사용한다. 물론 고온의 열을 가하기 때문에

glass에 휘는 현상, 즉 곡률이 생기지만, 짧은 공정시간과, 낮은 비용 등 장점이 있다.

2.2 실험방법

본 연구에서 RTP를 통한 고온 결정화를 위해 두께가 0.5mm인 Glass를 사용하였고, 시편의 구조는 그림1과 같은 구조로 제작을 하였다. 시편제작은 PECVD를 통해 박막을 증착하였고, 이때 표1에서 보여지는 조건으로, Buffer layer로 SiO_2 를 사용하였으며, Active layer로 a-Si을 PECVD로 연속적으로 증착을 하였다.

PECVD를 통해 증착된 시편은 a-Si를 p-Si로 결정화 하기 위해 그림2에서처럼 (주)Viatron의 RTP 장비를 사용하여 RTP를 하였고, 이때 박막의 산화를 방지하기 위해 10^{-6} Torr이상의 고진공을 Diffusion pump를 통해 진공화 시키고, Ar 분위기에서 결정화를 진행하였다.

결정화 연구를 위해 다양한 온도 조건에서 결정화 양상 비교를 하였다.

표 1. 시편 제작 조건

Recipe	Buffer Layer	Active Layer
Thick (Å)	3000	500
Temperature(°C)	400	400
Power(W)	1700	150
Press(mT)	2000	3500
Spacing(mils)	710	550
SiH_4 (sccm)	330	500
N_2O (sccm)	8000	2800

제작된 시편은 RTP 온도에 따른 결정화 변화를 보기 위해 온도 조건은 670°C, 700°C, 750°C 온도로 결정화를 시키고, 시간은 각각 36sec 로 열처리를 하여 p-Si로 결정화 시켰다.

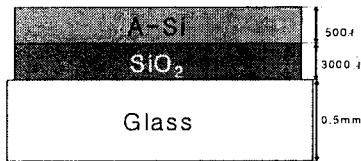


그림 1. 시편 구조 개략도

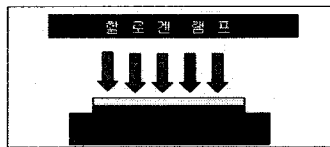


그림 2. RTP 공정 개략도

RTP로 p-Si의 결정화 후 SEM을 통한 결정의 grain 크기 변화를 알아보고, Raman 분석을 통해 a-Si와 p-Si의 peak를 알아보고, p-Si의 결정화도를 알아본다. 이때 Raman 측정 조건으로

INT. Time은 240sec 로 2 cycle을 하고,
Laser는 514.532nm = 2mW on sample
Micro Single = Obj, ×50.
Slit width = 100 Slit height = 5
CCD Area = 1,40,1024,80 center = 521
측정을 한다.

2.3 실험 결과

그림 3, 4, 5에서는 온도별로 RTP 후 SEM을 통하여 그 결정들의 grain size를 비교해보았다.

RTP 온도가 높아질수록 p-Si의 grain size는 증가하는 것을 볼 수 있으며, grain의 uniformity는 거의 균일한 것을 알 수 있다. 온도가 높아질수록 표면의 크랙과 거칠기가 개선된 것을 알 수 있다. 750°C 경우 670°C보다 적은 void와 eruption이 보여진다.

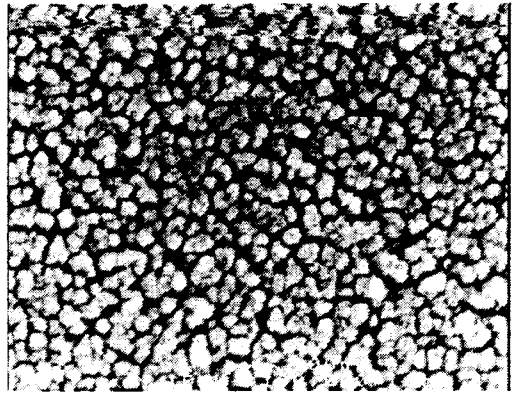


그림 3. RTP 온도 670°C일 때 grain 모습

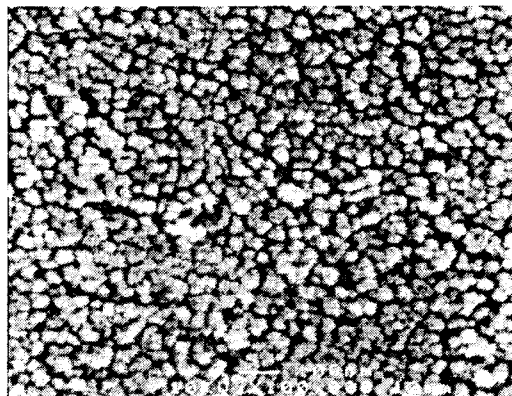


그림 4. RTP 온도 700°C일 때 grain 모습

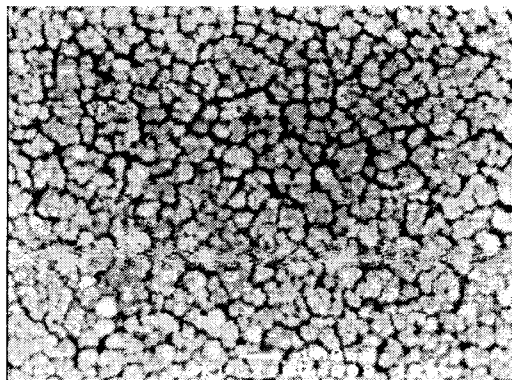


그림 5. RTP 온도 750°C일 때 grain 모습

그림 6에서는 RTP 후 Raman 분광곡선을 나타낸다. Raman 분광곡선에서 a-Si의 peak값은 481cm^{-1} , p-Si의 peak값은 521cm^{-1} 이다. 그림6과 표2에서 보듯이 RTP 후 시편의 peak값은 대략 518.48인 지점에서 나타났다. 이는 RTP 전의 a-Si가 RTP후 대부분이 p-Si로 결정화 되었다는 것을 보여준다.

또한 RTP 공정온도를 750℃로 하였을 때 더 높은 peak값이 보여 진다.

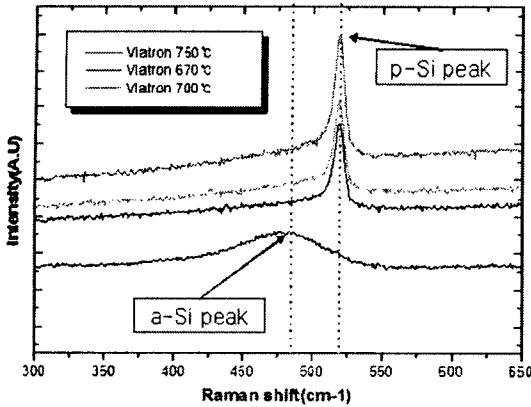


그림 6. Raman 분광곡선을 통한 결정화 비교

표 2. a-Si와 p-Si의 peak값

Sample	a-Si (peak)	p-Si (peak)
750℃	477.06	518.48
700℃	477.07	518.48
670℃	477.06	518.48

Raman분광곡선을 통해 결정화도는 표3을 통해 보여 진다.

RTP 공정을 통해 제작된 시료의 결정화도는 670℃에서 a-Si 비율(11.52%)이 750℃에서 a-Si 비율(8.45%)로 줄어들었고, p-Si의 비율은 670℃에서 88.47%에서 91.54%로 증가하였다.

RTP 후 p-Si의 비율 증가는 a-Si로 제작된 시편이 p-Si로 대부분 결정화 되었다는 것이며, 여러 온도 조건 중에서 750℃로 RTP를 하였을 때가 최적임을 나타낸다.

표 3. a-Si와 p-Si의 결정화도 비교

Sample	a-Si (%)	p-Si (%)
750℃	8.45	91.54
700℃	9.49	90.50
670℃	11.52	88.47

RTP 후 시료의 기판인 glass가 열에 의해 변형되어 휘어진 곡률은 각각의 온도조건이 모두 같은 값 0.92를 계산하였다.

3. 결 론

PECVD로 증착된 a-Si를 RTP를 이용하여 결정화 시켰다. SEM image를 통해 grain size는 온도가 상승할수록, 즉750℃일 때가 670℃때 보다 큰 크기를 갖게 되고, 균일성 역시 좋아지게 됨을 알 수 있었다.

Raman 곡선을 통해서 RTP 후 대부분이 p-Si으로 결정화 되었음을 알 수 있었고, 특히 750℃일 때 p-Si의 값이 최대의 peak값을 갖는다.

결정화도를 비교하였을 때 670℃일 때 p-Si의 결정화도는 88.47%를 보였는데, 750℃일 때 p-Si의 결정화도는 91.54%를 보여주었다. RTP온도가 상승 할수록 p-Si 결정화를 할 수 있음을 알게 되었다.

RTP로 인한 glass의 휘는 현상을 최소화 하는 데에 대한 연구가 필요하다.

[참 고 문 헌]

- [1] J.Batey and E. Tierney, "Low-temperature deposition of high-quality silicon dioxide by plasma-enhanced chemical vapor deposition", J. Appl. Phys, Vol.60 No.9, p.3136,1986
- [2] 고재경, "다결정 박막 트랜지스터 상용을 위한 SiNx 박막 및 실리콘 결정화에 관한 연구", 성균관대학교 석사학위논문, 2002
- [3] G.G. Fountain, R. A. Rudder, S. V. Hattangady, R. J. Markunas, and P. S. Lindorme, "Low intergrace state density SiO₂ deposited at 300C by remote plasma-enhanced chemical vapor deposition on reconstructed Si surfaces", J. Appl. Phys, Vol.63, No.9, p.4944, 1988
- [4] Yue Kuo, "Plasma enhanced chemical vapor deposited silicon nitride as a gate dielectric film for amorphous silicon thin film transistors-a critical review", Vacuum, Vol 51, number 4, p.741-745, 1998
- [5] D. Y. Moon, "The design of Rapid Thermal Processing in Vacuum and the Temperature Distribution", M.S. Thesis, 단국대학교, 1988