

L-모양 gate를 적용한 새로운 dual-gate poly-Si TFT

박상근, 이혜진, 신희선, 이원규, 한민구
 서울대학교 전기컴퓨터공학부

Novel Dual-Gate Poly-Si TFT Employing L-Shaped Gate

Sang-Geun Park, Hye-Jin Lee, Hee-Sun Shin, Won-Kyu Lee, Min-Koo Han
 School of Electrical Engineering and Computer Sciences, Seoul National University

poly-Si TFT의 kink 전류를 억제하는 L-shaped dual-gate TFT 구조를 제안하고 이를 제작하였다. 제안된 소자는 채널의 그레인 방향을 일정하게 성장시키는 SLS나 CW laser 결정화 방법을 사용한다. L 자 모양의 게이트 구조를 사용하여 서로 다른 전계효과 이동도를 갖는 두 개의 sub-TFT를 구현할 수 있으며, 이러한 sub-TFT 간의 특성차이가 kink 전류를 억제시킨다. 직접 제작한 L-shaped dual-gate 구조의 소자가 poly-Si TFT의 kink 전류를 억제하고, 전류포화 영역에서 전류량을 고정시킴으로써 신뢰성이 향상됨을 확인하였다.

1. 서 론

저온 다결정실리콘 박막트랜지스터(Polycrystalline Silicon Thin Film Transistor : poly-Si TFT)은 화소 구동회로와 AMLCD, AM-OLED의 주변회로로서 많은 주목을 받아왔다 [1,2]. poly-Si TFT를 아날로그 구동회로와 AMOLED의 구동회로로 사용하기 위해서는 kink 현상 없는 높은 전계효과 이동도와 안정적인 포화영역 특성을 가져야 한다. 최근 Sequential Lateral Solidification (SLS)와 CW Laser 방법과 같은 새로운 레이저 결정화 방법이 poly-Si TFT의 이동도를 높이기 위해 사용되고 있다 [3,4]. 그러나 kink 현상에 의한 불안정한 포화영역 특성은 아직까지 poly-Si TFT에서 중요한 이슈가 되고 있다.

Kink 현상은 CMOS inverter와 같은 공통소오스 증폭기의 전압 이득을 저하시키고 따라서 구동회로의 동작 속도를 느리게 한다.[5] 또한 AMOLED의 화소회로를 구동시키는 전류를 불안정하게 하며 신뢰성을 떨어뜨린다[6,7,8].

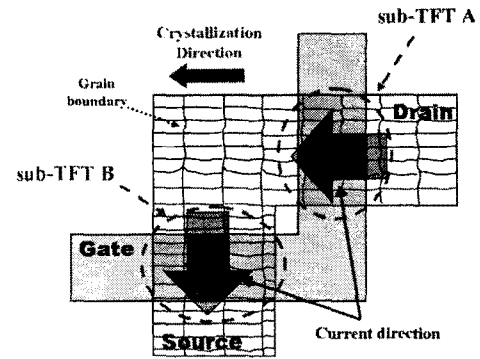
이전의 연구를 통하여 비대칭적 특성의 sub-TFT 들을 가지는 asymmetric dual-gate 구조가 poly-Si TFT의 kink 전류를 효과적으로 감소시킨다는 사실을 밝혀냈다 [9]. asymmetric dual-gate 구조에서 포화영역 전류는 선형영역에서 동작하는 소오스 전극 근처의 sub-TFT에 의해 제한된다. Sub-TFT의 채널 길이를 다르게 하는 asymmetric dual-gate 구조는 kink 전류를 효과적으로 줄이기 위하여 sub-TFT 간의 채널 길이 비율을 크게 설계해야 하지만 이것은 design rule에 의해 제한을 받게 된다는 문제가 있다.

본 연구에서의 소자는 최근 높은 이동도를 보장하는 결정화 방법으로 주목을 받고 있는 SLS나 CW laser 결정화 방식을 기반으로 한다. SLS나 CW laser 결정화 방법은 laser beam을 스캔하여 일정한 방향으로 결정립을 성장시킬 수 있다[3,4]. 전류의 방향과 결정립의 성장 방향이 수직인 TFT에 비해 특성이 더 우수한 것으로 밝혀져 있다. 본 논문에서 제안한 소자는 게이트 길이의 비대칭성 대신 채널 구조가 다른 점을 이용하여 두 sub-TFT 사이의 비대칭성을 만들기 때문에 design rule

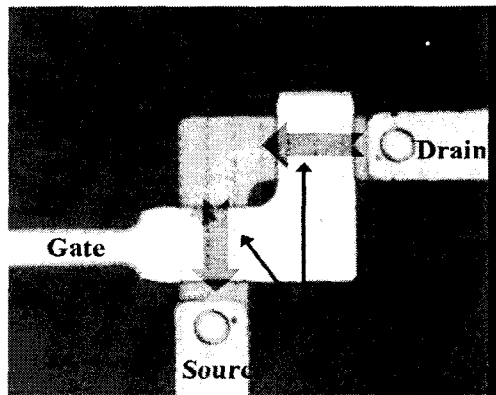
의 제한 없이 CMOS 공정으로 만들 수 있다.

2. 본 론

2.1 소자구조



(a)



(b)

그림 1. (a)제안된 소자 도식도 (b)실제 제작한 L-shaped dual-gate TFT 사진

그림 1은 제안된 L-shaped dual-gate TFT의 도식도와 실제 제작한 L-shaped dual-gate TFT의 사진을 보여주고 있다. 제안된 소자는 두 개의 sub-TFT로 이루어졌고 하나는 drain 전극에 가까이 있고(sub-TFT A) 다른 하나는 소스 전극 가까이에 있다(sub-TFT B). 비

정질 실리콘의 결정화에 널리 사용하는 SLS 방법으로는 그림 1에서 보는 바와 같이 poly-Si 결정립을 한 방향으로 키울 수가 있다. 따라서 sub-TFT A 는 결정립 성장 방향과 동일한 방향으로 게이트를 위치하였으며 sub-TFT B 는 결정립 성장방향과 수직하게 게이트가 위치하고 있다. sub-TFT A 는 채널 내의 결정립 경계 수가 sub-TFT B 보다 더 적기 때문에 sub-TFT B 보다 높은 전계효과 이동도를 가지게 된다.

그림 2(a)는 asymmetric dual-gate 구조이며 그림 2(b)는 제안된 L-shaped dual-gate 구조이다. Asymmetric dual-gate 소자에서는 채널의 길이 차이로 비대칭 구조를 형성하나 제안된 소자는 채널의 결정립 경계 개수의 차이로 비대칭 구조를 만들어 낸다. 따라서 게이트 길이가 design rule에 의해 제한될 때 유용하게 사용할 수 있을 것이다. 또한 sub-TFT에는 짧은 채널 (short channel)이 없으므로 asymmetric dual-gate TFT 소자에 비해 신뢰성도 더 높다.

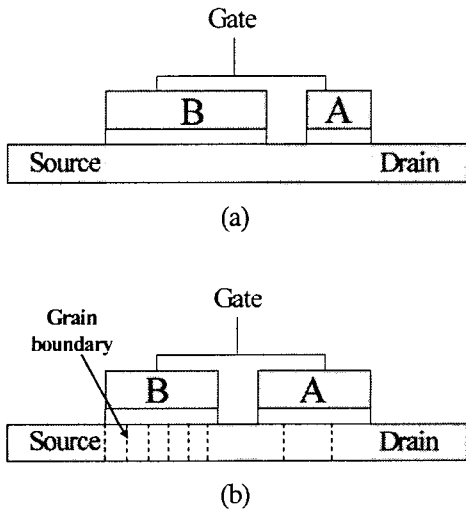


그림 2. 소자구조 (a) asymmetric dual-gate TFT, (b) 제안된 L-shaped dual-gate TFT

2.2 실험내용과 결과

L-shaped dual-gate 구조의 NMOS 와 PMOS poly-Si TFT를 SLS laser 결정화 방법으로 제작하였다. Poly-Si TFT 의 출력 특성은 HP4156B Semiconductor Analyzer로 측정하였다.

그림 3과 4는 제작한 PMOS poly-Si TFT의 실험결과로 PMOS poly-Si TFT의 출력특성과 유사한 결과를 보여준다. 그림 6에서 보듯이 제안된 L-shaped dual-gate TFT는 비슷한 전류레벨(약 1 μ A)에서 기존의 dual-gate TFT와 비교해볼 때 전류특성이 가장 우수하다. 이러한 결과들은 제안된 L-gate 구조가 SLS방법으로 제작한 poly-Si TFT 의 kink 전류를 줄일 수 있다는 것을 보여준다.

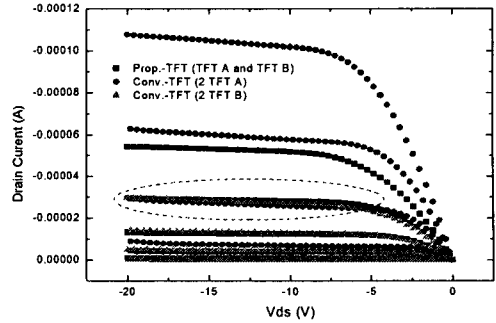


그림 3. Conventional PMOS dual-gate TFT와 PMOS L-shaped dual-gate TFT의 출력 전류특성

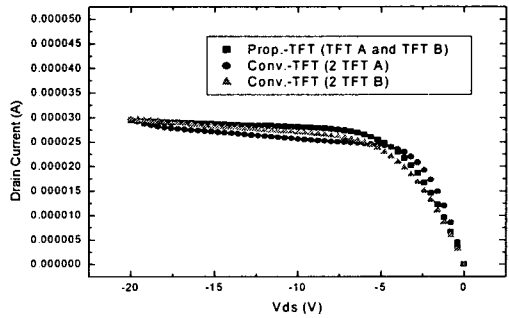


그림 4. 비슷한 전류레벨에서의 PMOS TFT 출력 전류특성

그림 5와 6은 제작한 NMOS poly-Si TFT의 실험결과로 PMOS poly-Si TFT의 출력특성과 유사한 결과를 보여준다. 그림 6에서 보듯이 제안된 L-shaped dual-gate TFT는 비슷한 전류레벨(약 1 μ A)에서 기존의 dual-gate TFT와 비교해볼 때 전류특성이 가장 우수하다. 이러한 결과들은 제안된 L-gate 구조가 SLS방법으로 제작한 poly-Si TFT 의 kink 전류를 줄일 수 있다는 것을 보여준다.

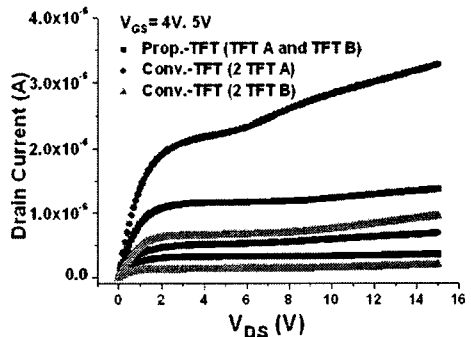


그림 5. Conventional NMOS dual-gate TFT와 NMOS L-shaped dual-gate TFT의 출력 전류특성

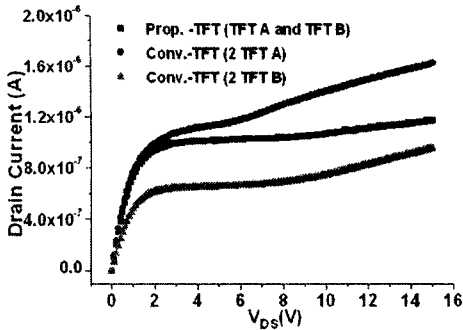


그림 6. 비슷한 전류레벨에서의 NMOS TFT의 출력 전류특성

Kink 현상 시작점은 dI_{ds}/dV_{ds} 로 구할 수 있다. 그림 7은 TFT의 kink 현상 시작 전압을 알 수 있는 전도도 (dI_{ds}/dV_{ds})곡선을 보여준다. 기존의 dual-gate TFT의 kink 전류는 드레인 인가 전압이 약 4.5V 일 때 나타나기 시작한다. 이 경우 전도도는 kink 현상이 시작하기 전까지 줄었다가 kink 현상이 시작된 점 이후에는 다시 커진다. 이와 같은 측정 결과는 포화영역에서 드레인 인가 전압이 늘어나면서 출력 저항이 작아진다는 것을 보여주며 이것은 회로에 사용되는 TFT의 동작점이 바뀌게 되어 불안정한 회로동작을 유발한다. 반면 제안된 소자의 kink 현상이 시작되는 점은 기존 dual-gate TFT보다 늦게 나타나며 kink 현상이 시작된 후에도 전도도는 거의 늘어나지 않는다. 즉 제안된 L-gate TFT가 기존의 dual-gate TFT 보다 큰 출력 저항을 갖는다는 것을 확인할 수 있다.

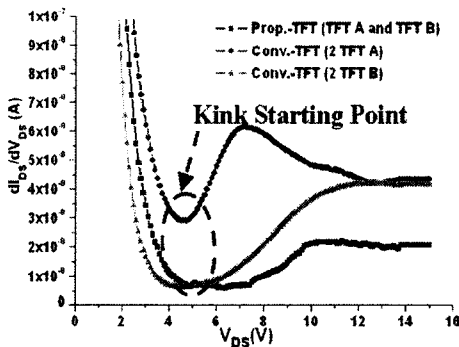


그림 7. conventional NMOS dual-gate TFT 와 NMOS L-shaped dual-gate TFT 의 전도도 곡선

L-shaped dual-gate poly-Si TFT와 기존의 dual-gate TFT의 신뢰성을 비교하기 위하여 높은 drain 전압을 인가하는 Hot-Carrier Stress 방식을 사용하였다. stress는 $V_{GS}=V_{th}+2V$, $V_{DS}=15V$ 의 조건으로 1000초 동안 시행하고 열화 후의 특성 변화를 관찰하기 위하여 $V_{DS}=0.1V$, $V_{GS}=10\sim 20V$ 에서 소자의 특성 ($g_{m,max}/g_{m0,max}$, ΔV_{th} ($V_{th}-V_{th0}$))을 측정하였다. 그림 8에서 볼 수 있듯이 제안된 소자의 전계효과 이동도의 변화 폭은 기존의 dual-gate TFT의 이동도 변화폭보다 적다. 또한 문턱전압 열화 특성 역시 기존의 dual-gate TFT보다 제안된 L-shaped dual-gate TFT가 우수한 결과를 보여준다. 이러한 결과를 통하여 제안된 L-shaped dual-gate 구조가 kink 현상 억제를 통하여 동일한 스트레스 조건에서 더 안정하다는 것을 확인할 수 있다.

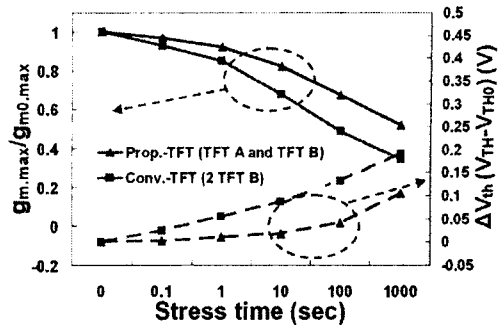


그림 8. $V_{GS}=V_{TH}+2V$, $V_{DS}=15V$ 의 hot-carrier stress를 1000초 인가했을 때 conventional dual-gate (■)과 L-shaped dual-gate poly-Si TFT (△)의 열화정도

3. 결 론

특정방향으로 수평 결정립을 성장시키는 SLS나 CW laser방법으로 제작하는 새로운 L-shaped dual-gate poly-Si TFT를 제안하였다. 제안된 TFT소자는 게이트 길이로 비대칭 구조를 만드는 대신 전계효과 이동도가 다른 두 개의 sub-TFT로 비대칭 구조의 dual-gate를 만들었다. 실험을 통해 제안된 TFT가 기존의 dual-gate TFT와 비교하여 kink 전류를 효과적으로 억제하였으며 높은 드레인 전압 조건에서 신뢰성이 향상되었음을 확인하였다.

[참 고 문 헌]

- [1] Sera, F. Okumura, H. Uchida, S. Itoh, So. Kaneko, and K. Hotta, IEEE Trans. Electron Devices, 36, 2868, 1989
- [2] D. P. Gosain, J. Westwater, and S. Usui, Jpn. J. Appl. Phys, 34, No 2B, 937, 1995
- [3] M. A. Crowder, P. G. Carey, P. M. Smith, R. S. Sposili, H. S. Cho, J. Im, IEEE Electron Device Letter, 19, 306, 1998
- [4] A. Hara, Y. Mishima, T. Kakehi, F. Takeuchi, M. Takei, K. Yoshino, K. Suga, M. chida and N. Sasaki, International Electron Devices Meeting (IEDM), 747, 2001
- [5] A. G. Lewis et al: International Electron Devices Meeting (IEDM) Tech. Dig. pp.264, 1988
- [6] Marina Valdinoci et al, IEEE Trans. Electron Device, Vol. 44, No. 12, pp 2234-2241, 1997
- [7] J. H. Jeon, M.C. Lee, K. C. Park, IEEE Electron Device Letters, Vol. 22, No. 9, pp.429-431, 2001
- [8] J. S. Yoo, C. H. Kim, M. C. Lee, M. K. Han, H. J. Kim, International Electron Devices Meeting (IEDM) Tech. Digest, pp.217-220, 2000
- [9] M.C. Lee, M.K. Han, Electron Device Letters, IEEE, Volume 25, Issue 1, pp.25 27, 2004