

표면 도핑 두께에 따른 SOI RESURF LDMOSFET의 전기적 특성분석

김형우, 김상철, 서길수, 방욱, 김남균, 김은동
한국전기연구원

Electrical characteristics of the SOI RESURF LDMOSFET as a function of surface doping concentration

Hyoung-Woo Kim, Sang-Cheol Kim, Kil-Soo Seo, Wook Bahng, Nam-Kyun Kim and Eun-Dong Kim
Korea Electrotechnology Research Institute

Abstract - 표면이 도핑된 SOI RESURF LDMOSFET에 대해 표면 도핑의 깊이에 따른 항복전압 및 순방향 특성을 분석하였다. 표면 도핑영역의 깊이를 0.5 ~ 2.0 μ m까지 변화시켜가며 항복전압의 변화와 온-저항의 변화를 시뮬레이션 하였다. 표면 도핑영역의 깊이에 따라 항복전압은 73V ~ 138V 까지 변화하였으며, 온-저항도 0.18 ~ 0.143 Ω/μ m 까지 변화하였다. 항복전압은 표면 도핑 영역의 깊이가 1.5 μ m때 138V로 가장 높게 나타났으며, 동일한 에피 영역의 농도를 사용한 기존의 소자와 비교하였을 때 약 22.1%의 항복전압의 증가를 나타냈으며, 온-저항값은 약 21.8%정도 감소하였다.

의 길이는 20 μ m, 두께는 5 μ m로 고정하였으며, 농도는 $1 \times 10^{15}/cm^3$ 으로 고정하였다. 매몰 산화막층의 두께는 1 μ m를 사용하였고, trench 드레인 및 recessed 게이트 구조를 사용하여 온-저항의 특성을 개선하고자 하였다.

1. 서 론

SOI(Silicon-On-Insulator) RESURF(REduced SURface Field) LDMOSFET(Lateral Double-diffused MOSFET)은 누설전류가 낮고, 절연력리가 쉽기 때문에 고전압 IC에 많이 사용되어 왔다. 또한 VLSI 공정에 적합하고 다른 소자들과의 집적이 용이하다는 장점도 가지고 있다[1].

하지만 IGBT나 thyristor와 같은 전도성 변조 소자와 비교해 높은 온-저항을 가지는 LDMOSFET은 상대적으로 전력 소비가 크다는 단점을 가지고 있다. 온-저항이 증가하게 되면 고전압 IC에서의 전력 소비 또한 증가하게 되어, 소자 내에서의 발열의 원인이 되며, 소자의 특성을 저하시키게 된다. 따라서 전력소비를 줄이고 소자의 성능을 향상시키기 위해서는 온-저항을 감소시켜야 한다[2].

일반적으로 항복전압과 온-저항 사이에는 trade-off 관계가 있어 두 가지 특성을 동시에 향상시키기에는 많은 어려움이 따른다. 1998년도에 발표되었던 cool-MOS의 경우에도 두 가지 특성을 모두 향상시킬 수 있었으나 다중 에피층의 사용에 따른 공정상의 어려움이 있다[3].

본 논문에서는 공정상의 어려움이 따르는 cool-MOS 대신 소자의 표면 영역이 벌크 영역보다 높은 농도를 가지도록 하는 표면 도핑 기법을 적용하여 항복전압 및 온-저항 특성을 개선하고자 하였다. 소자의 특성은 2차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 사용하여 검증하였다[4].

2. 시뮬레이션 및 결과 분석

2.1. 소자 구조도

그림 1에 시뮬레이션에 사용된 소자의 구조를 나타내었다. 시뮬레이션에 사용된 구조는 mesa 구조이며, 높은 항복전압을 얻기 위해 에피층의 표면을 0.5 ~ 2.0 μ m까지 $2 \times 10^{15}/cm^3$ 농도를 가지도록 표면 도핑 하였다. 에피층

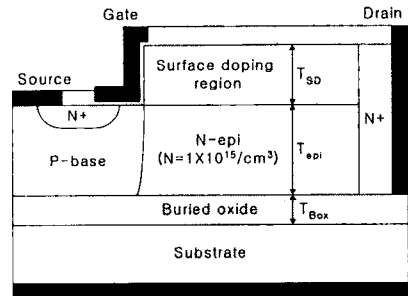


그림 1. 소자 구조도

2.2. 시뮬레이션 및 분석

소자의 특성은 이차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 이용하여 검증하였다.

그림 2에 제안된 구조와 기존의 표면을 도핑하지 않은 구조에 대해 $V_G = 10V, V_D = 0.1V$ 를 인가한 경우의 온-저항을 나타내었다.

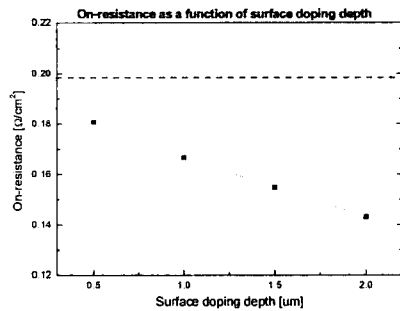


그림 2 표면 도핑 두께에 따른 온-저항

그림에서 점선으로 표시된 부분은 표면 도핑을 하지 않은 구조에서의 온-저항값을 나타낸다. 표면 도핑된 깊이에 따라 온-저항값은 0.1806 - 0.1432 Ω/cm^2 로 낮아지며, 기존의 구조에서의 0.1979 Ω/cm^2 에 비해 최대 27.4%까지 감소된다. 표면 도핑된 소자의 온-저항이 감소하는 이유는 높은 농도로 도핑된 영역에 의해 전체적인 소자의 저항성이 감소했기 때문이다.

그림 3은 표면 도핑된 깊이에 따른 항복전압의 변화를 나타낸 것이다.

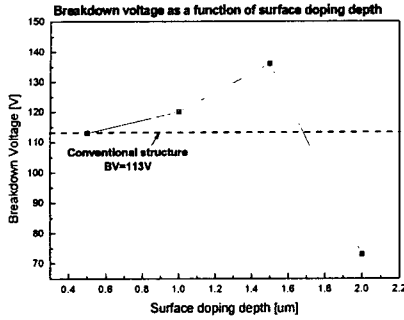
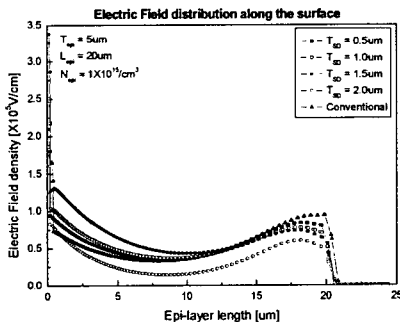


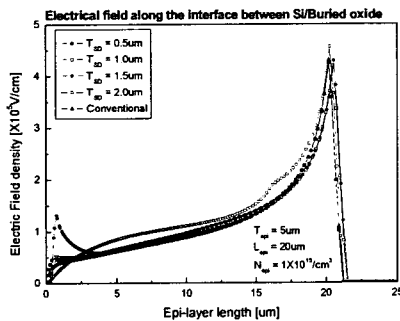
그림 3. 표면 도핑된 깊이에 따른 항복전압 변화

소자의 항복전압은 표면 도핑된 깊이가 0.5 μm - 1.5 μm 이 내에서는 깊이가 깊어질수록 증가하다가 2.0 μm 의 도핑 깊이를 가지는 경우에는 급격하게 감소함을 볼 수 있다. RESURF 구조를 갖는 소자의 경우 항복전압은 에피층의 농도와 두께에 의존하게 되며, 에피층의 농도가 낮은 경우에는 공핍층의 급격한 확산에 의한 drain 영역 부근으로의 전계 집중에 의해 항복전압이 낮아지게 된다. 표면 도핑된 소자의 경우 에피 영역에 비해 표면의 농도를 높여줌으로써 표면에서의 급격한 공핍층 확산을 막아 항복전압을 높게 된다. 하지만 표면 도핑 깊이가 지나치게 깊어질 경우 gate 영역 부근에서 전계가 급격히 증가하여 낮은 항복전압을 가지게 된다.

그림 4에 항복이 일어난 경우 소자의 표면 및 매몰 산화막 층과의 경계에서의 전계 분포를 나타내었다.



(a)

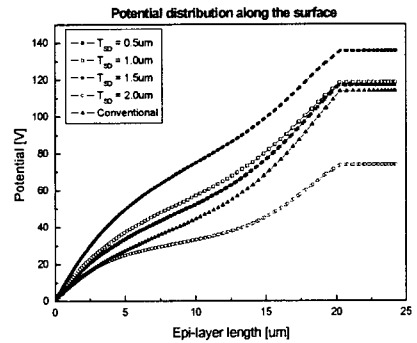


(b)

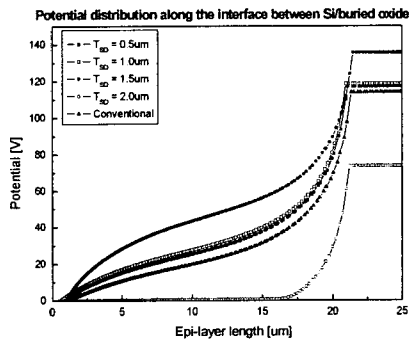
그림 4. 소자의 (a)표면 및 (b)에피층/매몰 산화막 경계에서의 전계 분포도

그림에서 볼 수 있듯이 표면 도핑된 영역의 깊이가 깊어질수록 gate 영역 부근에서의 전계값이 증가하는 것을 볼 수 있다. 에피층과 매몰 산화막 경계에서의 전계값은 표면 농도에 영향을 받지 않아 값의 변화가 크지 않다. 그림 3에서 보면 표면 도핑된 영역의 깊이가 1.5 μm 인 경우의 항복전압이 138V로 가장 높은 것을 볼 수 있는데 그림 4의 전계 분포로부터 원인을 찾을 수 있다. 그림 4. (b)에서 깊이가 1.5 μm 인 경우 전계 분포를 보면 전계의 임계치가 gate 및 drain 영역 양측에서 나타난 것을 알 수 있는데 이는 표면 농도에 따른 표면에서의 공핍층 확산 속도와 표면 도핑 영역 하단에서의 공핍층 확산 속도가 비슷하게 되었기 때문이다. 다만, 본 논문에서 사용한 표면 농도와 깊이가 최적화된 값이 아니기 때문에 gate 및 drain 양측에 나타난 임계값의 크기가 다르며, 추후 보다 최적화된 값을 사용하게 될 경우 보다 높은 항복전압을 얻을 수 있을 것으로 보여 진다.

그림 5는 표면 도핑 두께에 따른 표면 및 에피층과 매몰 산화막 경계에서의 전위 분포도를 나타낸 것이다.



(a)



(b)

그림 5. 표면 도핑 깊이에 따른 (a)표면 및 (b) 에피층/매몰 산화막 경계에서의 전위 분포도

1.5 μm 깊이로 표면 도핑을 한 경우에 항복전압이 가장 높게 나타났는데 그림 5. (a)에서도 볼 수 있듯이 이때의 전위 분포도가 가장 완만한 형태를 이루고 있음을 알 수 있다. 다른 깊이로 표면 도핑을 한 경우에도 기존의 구조에 비해서는 전위의 변화가 급격하지 않아 항복전압이 증가하고 있음을 알 수 있으나 drain 영역 부근에서는 전위의 변화가 급격하게 일어나고 있어 1.5 μm 깊이로 표면 도핑을 한 경우에 비해서는 항복전압이 떨어진다. 에피층과 매몰 산화막 경계에서의 전위 분포도에서도 역시 1.5 μm 깊이로 표면 도핑을 한 경우의 전위 분포가 가장 완만한 형태를 이루고 있음을 알 수 있다.

3. 결 론

표면 도핑을 한 SOI RESURF LDMOSFET에 대해 표면 도핑 깊이에 따른 온-저항 및 항복전압 특성을 분석하였다. 표면 도핑의 깊이를 $0.5 \sim 2.0\mu\text{m}$ 까지 변화시켜 가며 시뮬레이션을 수행한 결과 온-저항은 $0.18 \sim 0.143 \Omega/\text{cm}^2$ 까지 변화하였다. 항복전압의 경우에도 $73 \sim 138\text{V}$ 까지 변화하였으며, 표면 도핑의 깊이를 $1.5\mu\text{m}$ 로 한 경우에 가장 높은 항복전압이 나타났다.

온-저항의 경우 기존의 구조에 비해 약 27.4%까지 향상되었으며, 항복전압의 경우도 22.1%정도 증가하였다.

제안된 표면 도핑된 구조의 경우 표면 도핑 영역의 농도와 두께가 최적화되지 않은 상태이기 때문에 향후 최적화를 통해 더 높은 항복전압을 얻을 수 있을 것으로 보여 진다.

[참 고 문 헌]

- [1] B. Murari, F. Bertotti, and G. A. Vignola, "Smart Power ICs" New York, Springs, 1995.
- [2] V. Parthasarathy et al., "A 33V, $0.25\text{m}\Omega\text{-mm}^2$ n-channel LDMOS in a $0.65\mu\text{m}$ smart power technology for 20-30V application", Proc. 10th ISPSD, pp. 61-64, 1998.
- [3] Yuseke Kawahuchi et al., "Predicted Electrical Characteristics of 4500V Super Multi-Resurf MOSFET" Proc. 11th ISPSD, pp. 95-98, 1999.
- [4] Silvaco TCAD Manuals, ATLAS, ATHENA, Silvaco International Co. USA.

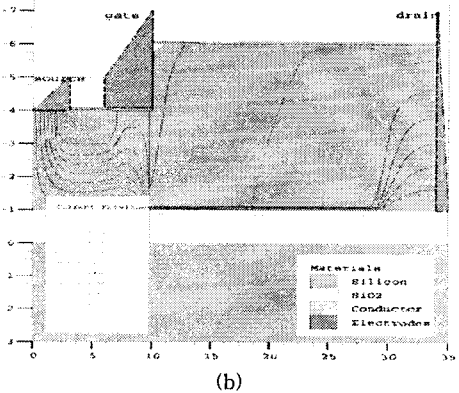
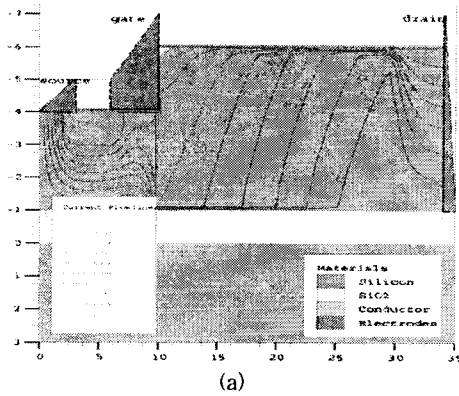


그림 6. 항복이 일어난 경우의 전류 흐름도
(a) 표면 도핑 구조, (b) 기존 구조

위의 그림 6은 항복이 일어난 경우의 전류 흐름도를 나타낸 것이다. 표면 도핑을 한 경우 표면 도핑 영역과 에피층의 경계에서 항복이 일어났으나, 기존의 구조에서는 에피층과 매물 산화막 경계에서 항복이 일어났음을 알 수 있다. 일반적으로 표면 도핑을 하지 않은 RESURF구조의 소자에서는 에피층과 매물 산화막의 경계 부근에서 높은 전계가 나타나 표면이 아닌 벌크 영역에서 항복이 일어난다. 본 논문에서 제안한 구조에서는 표면 도핑 영역과 에피층의 경계에서 항복현상이 일어났음을 볼 수 있다. 이는 표면 도핑 영역의 경우 에피층에 비해 높은 농도를 가지고 있어 이 부근으로 전류가 집중되기 때문으로 보여 진다. 하지만 아직까지 제안된 구조의 경우 표면 도핑 농도 및 두께의 최적화가 이루어지지 않은 상태기 때문에 최적화가 이루어질 경우에는 역시 기존의 구조와 마찬가지로 에피층과 매물 산화막의 경계 부근에서 항복현상이 일어날 것으로 생각된다.