

전원장치용 Power Factor Correction IC 설계

김형우, 김상철, 서길수, 김기현, 김남균, 김은동
한국전기연구원

Power Factor Correction IC design for Power Supply

Hyoung-Woo Kim, Sang-Cheol Kim, Kil-Soo Seo, Ki-Hyun Kim, Nam-Kyun Kim and Eun-Dong Kim
Korea Electrotechnology Research Institute

Abstract - 본 논문에서는 SMPS(Switch-Mode Power Supply)의 역률을 개선할 수 있는 power factor correction(PFC) IC를 설계하였다. 설계된 PFC IC에는 전원장치의 power MOSFET을 구동할 수 있는 기능이 외에도 과전압, 과전류 및 단락보호 기능이 포함되어 있다. 또한 시스템이 대기상태에 있는 경우, 전압 및 전류 feedback 제어에 의해 효과적으로 대기전력을 절감할 수 있도록 설계하였다. 설계된 PFC IC는 시스템이 대기상태에서 일정시간동안 부하변동이 없을 경우 이를 감지하여 자동으로 시스템을 off 시켜 대기전력 소모를 최소화하는 기능을 포함하고 있다.

1. 서 론

전기·전자공학의 발달과 더불어 가정이나 사무실에서는 많은 수의 전자기기를 사용하게 되었다. 이러한 전기·전자공학의 발달은 컴퓨터를 바탕으로 하는 전자기술의 급속한 발달에 힘입어 더욱 가속화되고 있는 실정이다. 또한 이와 관련하여 전기기기의 고성능화도 점차 소형, 저 전력화를 중심으로 이루어지고 있다. 이러한 전기 기기들은 대부분 내부의 회로 구동을 위해 직류전원을 필요로 하고 있고, 따라서 교류를 직류로 변환하는 정류 회로를 필요로 한다. 하지만 정류회로는 대부분이 커패시터 입력형 방식을 사용하고 있어 역률 저하 및 고조파 발생 문제의 핵심이 되고 있다.[1] 최근에는 1kW 이상의 용량을 가지는 기기에서도 전자화가 급속도로 진전되어 인버터, 에어컨 등에서 볼 수 있듯이 주회로까지 직류화를 이루어 제어성을 향상시키고 있다. 이러한 대전력을 필요로 하는 기기에서는 역률 및 고조파문제가 가장 심각한 문제가 되기도 한다.

본 논문에서는 이러한 가정 및 사무용 기기들에 많이 사용되는 전원장치에서의 역률저하 및 고조파문제를 효과적으로 개선할 수 있도록 하기 위한 PFC IC를 설계하였다. 설계된 PFC IC는 전원장치의 power MOSFET을 제어하는 기능 이외에도 과전압, 과전류 및 단락보호 기능이 등이 포함되어 있다. 또한 최근 많이 논의되고 있는 대기전력 절감[2]을 위해 내부에 시스템의 대기모드시의 부하변동을 감지하여 일정한 시간 이상으로 시스템의 부하에 변동이 없을 경우 시스템을 자동으로 off 할 수 있는 기능을 내장하였다.

설계된 PFC IC는 50V high voltage 공정변수를 사용하여 Cadence의 spectre를 사용하여 시뮬레이션을 하였고, 2-poly, 2-metal 공정을 사용하여 제작하였다.

2. Power Factor Correction IC

본 논문에서 설계한 PFC IC는 역률개선 부분과 시스템 보호부분으로 이루어진다. 그림 1은 boost PFC의 간단한 블록도를 나타낸 것으로 정전압원, error 증폭기, analog multiplier, comparator, current amplifier, PWM, gate

drive, protection 회로 등으로 구성되어 있다.

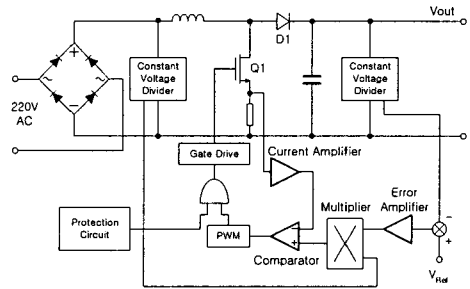


그림 1. 역률개선을 위한 boost 구조의 블록도

표 1은 본 연구에서 설계한 PFC IC의 기본적인 설계 사양을 나타낸 것이다. 1kW급 이상의 전원장치의 제어를 위해 power MOSFET 구동을 위한 출력전류는 최대 0.7A까지 가능하도록 하였으며, 구동주파수는 150kHz까지 가능하도록 하였다. 또한 내부에 저전압보호, 과전압, 과전류 보호와 같은 보호기능을 내장하였다.

표 1. 설계 및 제작된 PFC IC의 사양

Supply Current	30mA
Output current	0.7A
Gain modulator Isine input	1.2mA
Operating supply voltage	10V min. 25V max.
Error Amp. current	10mA
Oscillator charge current	2mA
Analog inputs	-0.3V to 5.5V

설계된 PFC IC는 총 14핀을 단자를 가지고 있으며 각 단자의 기능을 표 2에 나타내었다. VDDA, VDDH 단자와 VSSA 단자는 IC의 공급전압 및 접지단자를 나타낸다. ON 단자는 IC를 작동시키기 위한 단자이며, OUT 단자는 power MOSFET 구동을 위한 출력단자이다. VFB 단자는 정류된 2차측의 load에 관한 정보를 feedback하여 보호 및 PWM 블록을 제어한다. 이외에 IFB 단자는 power MOSFET에 흐르는 전류를 감지하여 PWM 블록에 정보를 제공하고, 과전류 보고 기능을 가진다. 표에서 보면 설계된 PFC IC는 2개의 VDDH 및 VSSA 단자를 가지고 있는 것을 알 수 있다. 이것은 설계된 PFC IC의 출력 전류가 0.7A로 높기 때문에 IC 동작의 안정성 확보 및 내부 logic의 안정적인 동작을 위해 출력 driver용 전원 공급핀을 별도로 배치한 것이다.

표 2. 설계된 PFC IC의 입출력 단자의 기능

Pin Name	Function
VFB	regulation된 정보 feedback
VDET	전압 감지 (PWM 제어용)
VDDA	5V 공급전원
OVP	과전압 보호
ON	IC 구동
CLK	IC 내부 주파수
VSSA	Ground
VSSA	Ground (driver용)
OUT	power MOSFET 구동
VDDH	20V 공급전원
VDDH	20V 공급전원(driver용)
REF	내부 reference 전압확인
FB	feedback
IDET	MOSFET에 흐르는 전류 감지

그림 2는 PFC IC의 내부 회로를 나타낸 것이다. 그림에서 볼 수 있듯이 설계된 IC는 크게 IC를 외부로부터 보호하는 보호회로, 전원공급을 위한 전원공급부 및 power MOSFET 구동을 위한 driver, 내부 제어를 위한 logic부로 나눌 수 있다.

SMPS의 브리지회로에서 정류된 전압은 VDDA 및 VDDH 단자에 초기 동작전압을 공급한다. VDDH 전압이 일정 전압 이상이 되고, 외부에서 IC의 구동을 위한 신호가 ON 단자에 인가되면 power MOSFET의 구동을 시작한다. VFB 단자에서의 전압에 따라 PWM에서 출력 구동 신호의 on/off duty 비를 결정한다. 출력단의 부하가 클 경우 높은 VFB 전압에 의해 duty비가 최대 90%까지 출력된다. 그러나 시스템이 대기모드에 있는 경우 출력단의 부하가 낮아져 VFB 전압이 1V 이하로 내려가고, PWM에 의해 power MOSFET 구동을 위한 on 시간이 최소화되어 대기전력을 절감할 수 있다. 내부 timer는 시스템이 대기모드에서 일정시간 유지될 경우 출력 단에서의 부하변동을 감지하여 시스템을 자동으로 off시키는 기능을 한다. 보호회로는 open loop나 overload 보호기능을

가지며, 에러신호가 감지된 이후 약 5ms 정도의 지연시간 후에 off 신호가 출력된다. 이렇게 함으로써 잘못된 에러신호에 의한 off 신호의 출력을 방지할 수 있다. IFB 단자는 power MOSFET에 흐르는 전류를 감지하여 PWM의 제어에 사용된다. Power MOSFET에 연결된 감지 저항에 의해 나타나는 전압은 내부의 기준전압과 비교하여 PWM에 의해 duty비를 조절하게 된다. 이외에 IC의 내부 동작에 필요한 정전압 및 전류는 reference 회로에서 생성한다.

3. PFC IC 시뮬레이션 및 제작

IC의 시뮬레이션에는 50V 2-poly, 2-metal 공정 변수를 사용하였다. 레이아웃은 역시 cadence사의 virtuoso를 사용하였으며 diva를 사용하여 검증하였다. 그림 3은 PFC IC 내부에 있는 analog multiplier의 시뮬레이션 결과를 나타낸 것이다.

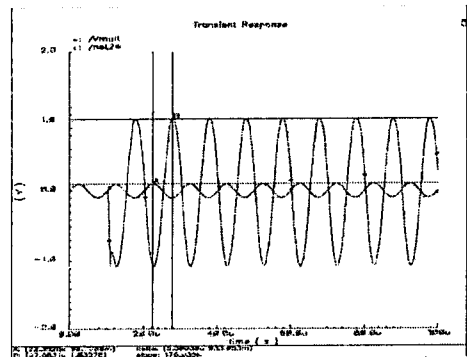


그림 3. Analog multiplier 시뮬레이션 결과

Analog multiplier는 연산증폭기와 MOSFET을 이용하

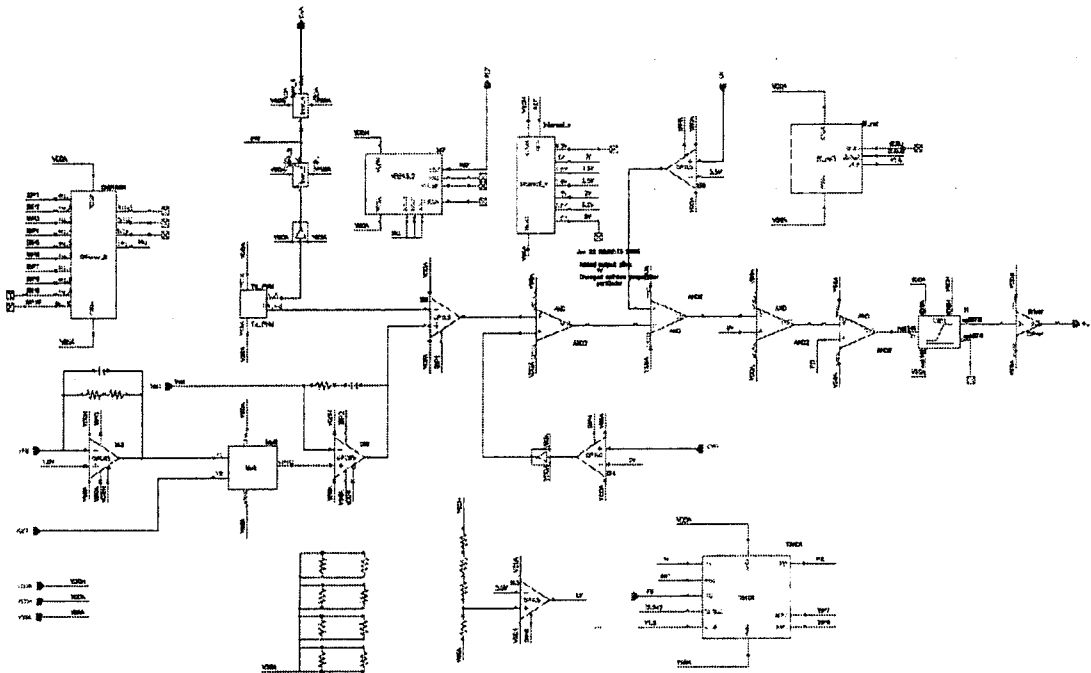


그림 2 PFC IC의 내부 회로도

여 다음의 식을 이용해 설계하였으며, 이때 K의 값은 0.23으로 하였다.

$$V_o = - \frac{Rv_1 v_2}{K}$$

그림 4는 클럭 및 삼각파 발생회로의 시뮬레이션 결과를 나타낸 것이다.

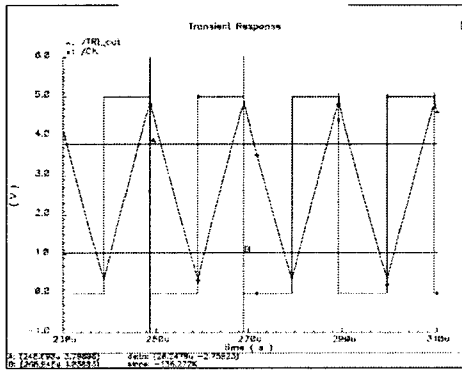


그림 4. 클럭 및 삼각파 발생회로의 시뮬레이션 결과

그림에서 볼 수 있듯이 클럭의 주파수는 주기가 20µs로 100kHz의 주파수를 가지며, 이 값은 PWM 신호의 생성을 위한 비교전압을 사용되어진다. 클럭 및 삼각파 발생회로의 출력 주파수는 내부 저항 및 커패시터를 사용하여 충·방전에 의해 변경될 수 있도록 하였으며, 최대 duty비는 90%이다.

그림 5는 전체 회로의 특성 시뮬레이션 결과를 나타낸 것이다.

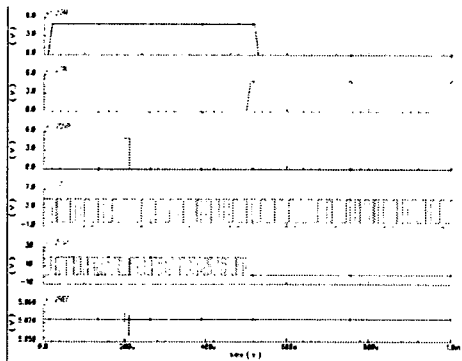


그림 5. PFC IC의 특성 시뮬레이션 결과

그림에서 볼 수 있듯이 설계된 PFC IC는 100kHz의 내부 구동 주파수를 가지며, 20V, 0.7A의 출력 전압 및 전류값을 가지고 있다. 또한 과전압 신호가 들어올 경우 약 5µs의 지연시간을 가진후에 출력 신호가 off됨을 볼 수 있다. 이 밖에 FB 단자에 신호가 인가되거나 ON 단자의 신호가 low로 될 경우에도 역시 출력 특성이 off됨을 알 수 있다. 또한 REF 단자에 나타나는 내부 reference 전압도 약 0.4%의 오차 범위 내에서 안정적으로 나오고 있음을 알 수 있다.

그림 6은 PFC IC의 전체 레이아웃을 보여준다. 제작된 IC의 전체 칩 크기는 2000µm(H)×2500µm(W)이며, 오스트리아에 위치한 AMS(Austria MicroSystems)사의 0.8µm

50V High voltage CMOS 2-poly, 2-metal 공정을 사용하여 제작하였다. 그림 7은 제작된 PFC IC를 나타낸 것이다.

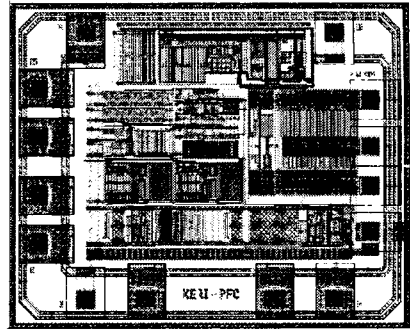


그림 6. PFC IC의 레이아웃

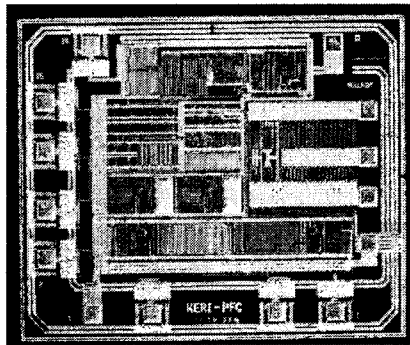


그림 7. 제작된 PFC IC

제작된 PFC IC는 DIP 16 package를 사용하여 packaging을 하였으며, 현재 test board를 사용하여 특성 평가가 진행 중에 있다.

4. 결론

본 논문에서는 대기전력 절감을 위한 시스템 off 기능을 내장한 전원장치용 PFC IC를 설계 및 제작하였다. 제작된 IC는 power MOSFET과 같은 스위칭 소자의 구동기능외에 시스템 보호기능을 내장하고 있으며, 스위칭 주파수와 duty비를 조절해 효과적으로 역률을 개선할 수 있다. 또한 높은 용량의 출력전압, 전류를 가지고 있어 1kW급 이상의 대용량 전원장치에 적용이 가능하다. 본 연구에서 설계한 IC를 에어컨, 컨버터와 같은 대용량 기기에 적용할 경우 역률 개선과 함께 효과적인 전력절감이 가능할 것으로 생각된다.

[참 고 문 헌]

- [1] Regan Zane and Dragan Maksimovic, "A Mixed-Signal ASIC Power-Factor-Correction(PFC) Controller for High Frequency Switching Rectifiers", IEEE Trans. PE., pp. 117-122, 1999.
- [2] 서길수, 김남균, 김상철, 방욱, 김은동, "대기전력 절감기술의 최근동향", 2002 대한전기학회 하계학술대회 논문집, B권, p. 1370-1372, 2002.