

Floating P-well을 이용하여 Avalanche 에너지를 개선하기 위한 600 볼트급 IGBT의 새로운 보호 회로

임지용, 지인환, 최영환, 한민구
서울대학교 공과 대학 전기 컴퓨터 공학부

A New Fault Protection Circuit of 600V PT-IGBT for the Improved Avalanche Energy Employing the Floating p-well

Jiyong Lim, In-Hwan Ji, Young-hwan Choi, Min-koo Han
School of Electrical Engineering, Seoul National University

Abstract - Unclamped Inductive Switching (UIS) 능력을 향상시키기 위하여 Floating p-well을 적용한 IGBT의 단락 회로 상태에서 과전압을 감지하는 새로운 보호 회로를 제안하고 제작하였다. 실험 결과 제안된 회로는 fault 상황에서 fault 신호를 감지하고 즉시 게이트 전압을 낮추어 컬렉터 전류를 감소시켰다. 또한 Hard Switching Fault (HSF) 와 Fault Under Load (FUL) 상황에서의 측정 및 2차원 Mixed-Mode 시뮬레이션을 통해 제안된 회로와 소자의 동작을 확인하였다.

1. 서 론

고전압 고전류 전력 응용에서 전력 반도체 소자는 Hard Switching Fault (HSF) 및 Fault Under Load (FUL)와 같은 fault 상황을 견뎌야 할 뿐 아니라 고전류 유도 부하 상황에서 턴-오프 되어야 한다. 비정상적인 동작에 의해 야기되는 단락 회로와, Unclamped Inductive Switching (UIS) 상황에서의 Avalanche 에너지는 특히 중요하다. 지금까지 IGBT의 다양한 보호 회로와 IGBT의 UIS 능력 향상을 위한 방법 또한 보고되고 제안되었다. 전력 반도체 소자의 ruggedness 향상을 위해서는 avalanche 에너지 향상과 fault 보호를 동시에 고려해야 한다.

이전의 연구에서는 floating p-well을 이용하여 UIS 상황의 avalanche 에너지를 크게 향상시켰다. 이 논문에서는 floating p-well을 이용한 새로운 보호 회로를 제안하였다. Fault 보호 회로의 연구를 위하여 floating p-well을 이용한 600V급 PT-IGBT와 제안된 회로를 7 마스크 IGBT 공정을 통해 제작하였다.

2. 본 론

2.1 Fault 보호 회로의 동작 원리

그림 1은 제안된 fault 보호 회로와 floating p-well을 이용한 IGBT의 단면도이다. IGBT cell은 MOSFET (M_P)과 다결정 실리콘 저항 (R_G)이 하나의 칩에 집적되어 있다. M_P 의 W/L은 $2000/3 \mu m$ 이고 R_G 는 3500 A 두께의 LPCVD 다결정 실리콘으로 제작하였다.

Floating p-well 전압 (G_p)이 M_P 의 문턱전압 (V_{th}) 보다 커지게 되면 M_P 는 IGBT의 내부 게이트 전압(D_p)을 끌어 내린다. 게이트 전압이 IGBT의 V_{th} 보다 커지게 되면 Floating p-well 전압은 컬렉터 전압을 따라 증가하게 되는데 전송자가 n- 드리프트 영역으로 주입되기 때문이다. IGBT의 fault 신호는 floating p-well 전압의 증가에 의해 나타난다. 단락 회로 fault 상태의 floating p-well 전압은 V_{CC} 정도까지 증가하게 된다. Floating p-well 전압은 IGBT가 off 상태일 때 게이트 절연막의 항복 현상을 피하기 위해 낮은 상태를 유지해야 한다. 정상 turn on 스위칭 동작을 하는 동안 Floating p-well 전압은 M_P 는 (V_{th})보다 낮은 상태를 유지해야 하며, 그렇지 않은 경우 fault 보호 회로가 fault 신호를 감지하기 위해 turn on 지연 시간을 필요로 하게 된다.

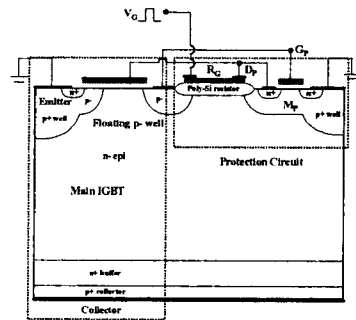


그림 1. 제안된 소자와 회로의 단면도

2.2 실험, 시뮬레이션 결과 및 토의

그림 2 (a)는 제안된 IGBT의 게이트 저항을 200 Ω 에서 1000 Ω 까지 변화시켜 측정된 순방향 DC I-V 특성 곡선이다. D_p 의 전압은 M_P 의 On 저항과 R_G 의 비율에 의해 결정된다. IGBT의 포화 전류 레벨은 R_G 를 조절해서 제어할 수 있다. R_G 가 증가하면 IGBT의 collector 전류는 더 낮은 collector 전압 (V_{CE})에서 감소한다. 기존 IGBT와 제안된 fault 보호 회로를 적용한 IGBT의 $100A/cm^2$ 일 때 $V_{CE,sat}$ 는 각각 1.34 V, 1.44V이다. 순방향 전압 강하는 Floating p-well과 p-base 사이의 JFET 저항에 의해 기존 IGBT가 제안된 IGBT보다 낮

으나 이는 JFET 영역의 도핑 농도와 n-epi 층 두께의 최적화를 통해 향상시킬 수 있다. 그림 2 (b)는 R_G 가 200 Ω 일 때 시간에 따른 노드 V_G , D_p , G_p 의 전압 및 V_{CE} 그래프이다. M_p 의 문턱전압인 약 3.3 V로 V_{ce} 가 증가함에 따라 G_p 전압은 선형적으로 6.4 V까지 증가하고, 이 때 D_p 전압은 4.2 V로 감소하게 된다.

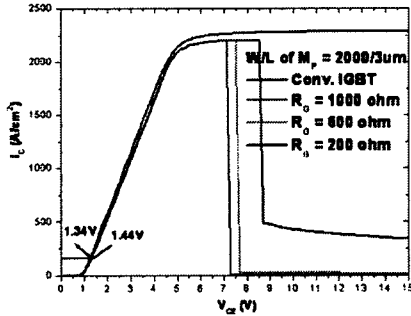


그림 2 (a) R_G 에 따른 DC I-V 특성 곡선

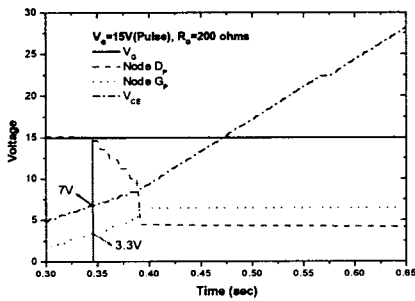


그림 2 (b) R_G 가 200 Ω 일 때 시간에 따른 각 노드 전압

이 결과의 심층적인 연구를 위해 ISE-TCAD를 이용한 Mixed-mode 시뮬레이션을 수행하였고 제안된 보호 회로의 동작 원리 연구를 위해 spice 회로 성분 또한 시뮬레이션 하였다. 표 1은 시뮬레이션 변수로 실제 공정 변수와 같다. 그림 3은 제안된 fault 보호 회로를 적용한 IGBT의 시뮬레이션 DC I-V 특성 곡선이다. V_{CE} 에 따른 기존 IGBT와 제안된 IGBT의 각 노드 전압이 그림 4에 나타나 있다. 게이트 전압 15 V가 D_p 에 인가 될 때 G_p 전압은 V_{CE} 가 증가함에 따라 선형적으로 증가한다. G_p 전압이 M_p 의 V_{th} 인 약 3.3 V를 초과하면 M_p 가 turn-on되며 그 결과 D_p 전압이 감소한다. D_p 전압은 G_p 전압이 일정 값으로 고정될 때까지 감소한다. G_p 전압은 게이트 전압이 0 V 일 때 2 V 이하의 전압을 유지하며 게이트 전압이 항복 전압 일 경우에도 유지한다. 이것은 M_p 의 게이트 전압이 순방향 블러킹 동작에서 절연막의 항복 전압 이하로 유지된다는 것을 의미한다.

그림 5는 HSF 단락 회로 상황에서 제안된 소자의 V_G 와 노드 D_p , G_p 전압과 컬렉터 전류의 시뮬레이션 결과이다. 제안된 fault 보호 회로는 위에서 언급한 동작 원리에 따라 IGBT에 인가된 내부 게이트 전압을 감소시키기

위해 단락 회로 fault를 최대한 빨리 감지하는데 이는 단락 상태의 고 전력 소실로 인한 failure로부터 IGBT를 보호하기 위해서이다. Collector 전류 밀도의 최대 값은 일시적으로 2400A/cm²까지 증가하지만, IGBT의 래치업 전류 밀도보다 낮으며 M_p 의 V_{th} 를 변화시켜 제어하는 것이 가능하다.

Parameter ¹⁾	Value ²⁾
N+ emitter ³⁾	Junction depth 1.0 μm ⁴⁾
	Does $5 \times 10^{15} \text{ cm}^{-2}$ ⁵⁾
P- base ⁶⁾	Junction depth 3 μm ⁴⁾
	Does $5 \times 10^{13} \text{ cm}^{-2}$ ⁵⁾
P+ emitter ⁷⁾	Junction depth 5 μm ⁴⁾
	Does $5 \times 10^{15} \text{ cm}^{-2}$ ⁵⁾
N- drift ⁸⁾	Thickness 50 μm ⁴⁾
	Doping concentration $1 \times 10^{14} \text{ cm}^{-3}$ ⁹⁾
N+ buffer ¹⁰⁾	Thickness 10 μm ⁴⁾
	Doping concentration $1 \times 10^{16} \text{ cm}^{-3}$ ⁹⁾
Gate ¹¹⁾	Oxide thickness 1000 \AA ¹²⁾
	Lengths 3/10 μm ¹³⁾
P+ collector ¹⁴⁾	Doping concentration 10^{19} cm^{-3} ¹⁵⁾

표 1. 소자 시뮬레이션 파라미터

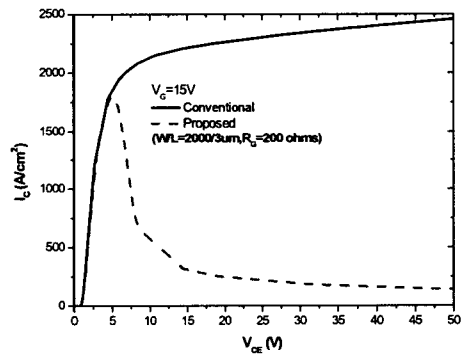


그림 3. 제안된 fault 보호 회로가 포함된 IGBT의 시뮬레이션 결과

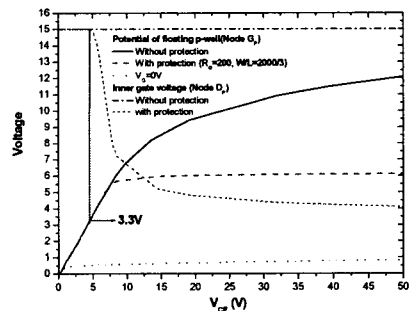


그림 4. 기존 IGBT와 제안된 보호 회로가 포함된 IGBT의 collector 전압에 따른 floating p- well (노드 D_p) 전압과 게이트 내부 (노드 G_p) 전압의 시뮬레이션 결과

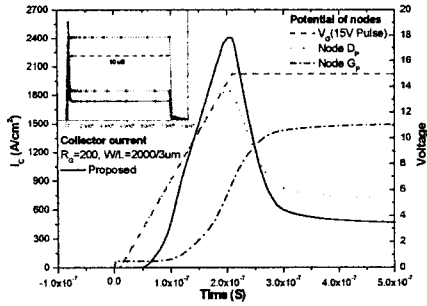


그림 5 10us의 HSF 단락 상황이 주어진 상황에서 제안된 보호 회로가 포함된 IGBT의 V_G 와 노드 D_p , G_p 전압과 collector 전류의 시뮬레이션 결과

실제 fault 감지 동작과 fault 상황에서 보호 동작을 확인하기 위해 제안된 fault 보호 회로를 포함한 IGBT를 HSF와 FUL 상황에서 측정하였다. 그림 6은 HSF 단락 상황에서 측정된 노드 전압이다. 컬렉터에 200 V의 V_{CC} 가 인가되었을 때 V_G 신호는 IGBT의 게이트에 연결된다. 단락 회로 상황에서 G_p 전압은 M_p 의 turn-on에 의해 약 2.4 V를 유지하고 있다. 시뮬레이션 결과에서는 D_p 전압이 V_G 의 증가에 따라 증가하는데 반해, 실험 결과에서는 D_p 전압이 V_G 를 따르지 않는다. V_G 펄스의 상승 시간이 단일 펄스 발생 장비의 시간 제어 기능의 한계로 인해 D_p 전압의 변화를 보기에는 너무 커서 fault 감지를 할 수 없기 때문이다. 그러나 fault 감지 실패는 inductive 스위칭과 같은 더 짧은 스위칭 시간의 어플리케이션에서는 발견되지 않았다.

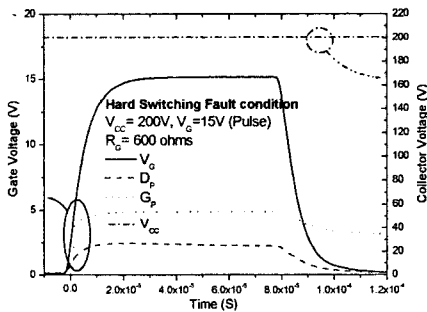


그림 6 HSF 단락 상황이 주어진 상황에서 제안된 보호 회로가 포함된 IGBT의 V_G 와 노드 D_p , G_p 전압과 collector 전류 측정 결과

그림 7은 FUL 단락 상황에서 측정된 각 노드 전압이다. 75 V의 V_{CC} 펄스가 15 V의 V_G 가 인가된 IGBT의 collector에 인가된다. 단락 회로 상황에서 G_p 전압이 M_p 를 turn-on시킬 정도로 증가했을 때, D_p 전압은 15 V에서 3.7 V로 감소한다. Fault가 제거 되면 D_p 전압은 15 V의 V_G 까지 회복된다.

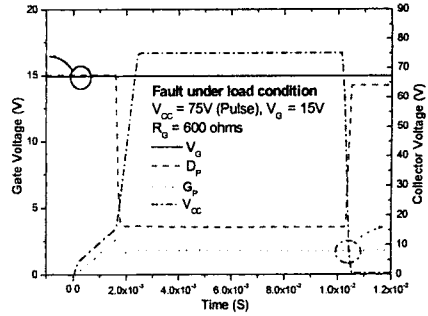


그림 7 FUL 단락 상황이 주어진 상황에서 제안된 보호 회로가 포함된 IGBT의 V_G 와 노드 D_p , G_p 전압 측정 결과

3. 결 론

실험과 시뮬레이션을 통해, 제안된 IGBT의 보호 회로가 단락 회로 신호를 성공적으로 감지하는 것을 검증하였다. IGBT의 floating p-well은 fault 신호를 감지할 뿐만 아니라 UIS 능력 또한 향상시켰다. 실험 결과에서 알 수 있듯이 HSF와 FUL 상황에서 D_p 전압은 충분히 낮은 수준으로 감소되었으며, 이는 소자가 충분히 보호될 정도로 컬렉터 전류를 감소 시켰다. 제안된 IGBT와 보호 회로는 다른 외부 회로 성분 없이 하나의 칩에 집적하였다.

[참 고 문 헌]

- [1] D. Kastha, B. K. Bose, "Investigation of Fault modes of Voltage Fed Inverter system for Induction Motor Drive," IEEE Transaction on Industry Applications, July-August, 1994, Vol.30, No. 4, pp. 1028-1038
- [2] J. Yedinak, et al, "Optimizing 600V Punchthrough IGBT's for Unclamped Inductive Switching(UIS)", ISPSD'2000, pp.363-366, 2000.
- [3] S.Musumeci, R. Pagano, Raciti, "A new gate circuit performing fault protections of IGBTs during short circuit transients", Industry Applications Conference, 2002. vol.4 pp.2614-2621, 2002
- [4] J. Yedinak, et al, "Enhanced IGBT self clamped inductive switching (SCIS) capability through vertical doping profile and cell optimization", ISPSD'02, pp.289-292, 2002
- [5] Soo-Seong Kim, et al, "A new 600V PT-IGBT for the improved avalanche energy by employing the floating p-well", ISPSD'03, pp.71-74, 2003
- [6] ISE Integrated Systems Engineering AG, ISE TCAD Manuals, Release 6.0, 1999.