

고속 다기능 실시간 시스템 개발

김기승, 홍정운, 나성웅
국방과학연구소, 을제텍, 충남대학교

Development of High Speed Multi-function Real Time System

Ki-Seung Kim, Jeong-Woon Hong and Seong-Woong Ra
Agency for Defense Development, Oizetek, Chungnam National Univ.

Abstract - 정밀 유도무기체계는 매우 큰 복잡도를 가지는 탑재 소프트웨어와 다양한 입출력을 가지는 하드웨어로 구성된다. 이에 대한 시험장비는 유도무기체계에 탑재되는 소프트웨어에 대한 검증 및 모든 입출력 신호를 수용할 수 있는 성능을 보유하여야 한다.

시험장비에 요구되는 일반적인 조건은 고속처리, 다양한 입출력 기능, 신호 변환 장치 등을 포함하고 Hard Real Time 실행성능을 만족하여야 하며, 각각의 하위 시스템을 통합 운영하기 위한 실시간 인프라 구조 소프트웨어가 구축되어야 한다.

본 논문에서는 실시간 운영체제를 탑재하고 다중 프로세서를 장착한 VME 기반의 임베디드 시스템 설계 방안 및 개발 장비에 관하여 기술하였다.

1. 서 론

정밀 유도무기체계는 다양한 입출력 기능을 갖는 복수의 부 체계로 구성된다. HILS(Hardware In the Loop Simulation)는 부 체계들의 실물 하드웨어를 모의시험에 포함시켜서 수학적으로 모델이 불가능한 시스템의 특성을 포함한 전체 시스템의 성능을 검증하는데 목적이 있다. HILS 시스템은 시험대상 체계의 수학적 모델을 연산하고, 부 체계와의 물리적 연동 및 입출력 제어 등을 실시간으로 수행하여야 한다.

HILS의 실시간 수행성을 고려하여 기존의 하드웨어 구축 방식 중에서 접근이 가장 용이한 임베디드 시스템을 선택하였다. 시스템 버스는 가장 널리 사용되는 cPCI(Compact PCI)와 VME가 있다. cPCI는 장착 가능한 보드 수가 기본적으로 8개로 제한되는 단점과 다중 프로세서 시스템에서 제약조건(전용 Master SBC 필요)이 존재한다. 본 시스템에서는 기존 시스템과의 호환성 및 상기 두 가지 항목에서 강점을 보이는 VME 기반의 개방형 구조를 선택하였다.

실시간 입출력을 수행하기 위하여 HILS 제어 시스템에는 실시간 OS가 적재되어야 한다. 대표적인 상용 실시간 OS로는 pSOS, VxWorks, NT-RTX 등이 있으나 시장 점유율과 기존 시스템과의 호환성 및 성능을 고려하여 WindRiver사의 VxWorks를 선택하였다. 또한, VxWorks에 VxMP 옵션 패키지를 설치하여 다중 프로세서 기능이 지원되도록 구성하였다.

실시간 OS가 실행될 SBC(Single Board Computer)로는 VMIC, Motorola등에서 출시한 제품이 있으나 안정성, 성능 및 호환성을 고려하여 Motorola사의 PPC74xx 계열을 선택하였다. 입출력 보드는 안정성, 성능을 고려하여 VMIC 계열을 선택하였다. 1553B 통신 보드로는 호환성 및 Avionics 분야에서 지명도가 있는 SBS사 제품을 선택하였다. HILS 제어 시스템은 작업의 용이성과 장비 관리를 고려하여 19" 표준 Rack에 장착되도록 구성하였다.

2. 고속 다기능 실시간 시스템

HILS 제어 시스템(HCS : HILS Control System)은 유도탄의 유도조종 성능 및 체계 성능을 단계적, 종합적으로 시험하기 위한 시스템이다.

HCS는 독립적으로 HILS에 사용될 수 있을 뿐만 아니라, 초고주파 탐색기를 장착한 유도탄의 HILS에 사용하도록 RFSS와의 인터페이스 장치(Reflective Memory, VME to VME)를 갖추도록 설계하였다. 또한 각종 부 체계와의 인터페이스를 위하여 아날로그, 디지털, MIL-STD-1553B, 및 SDLC 등의 입출력 채널을 포함하도록 하고, 시스템의 유지보수 및 확장성을 고려하여 VME Bus기반의 개방형 구조(Open Architecture)로 설계하였고, 각 부분품들은 최대한 COTS(Commercial off the shelf)를 사용하였다.

HCS는 HU(Host Unit), RTU(Real-Time Processors) 및 IFU(Interface Unit)로 구성하였다. HU는 운용자 소프트웨어를 개발하고, RTU를 제어하여 HILS를 수행할 수 있도록 하며, 실험 후 결과 분석(PSA : Post Simulation Analysis)을 위한 실시간 자료 획득 및 도시 기능을 갖도록 설계하였다. RTU는 개발된 HILS프로그램을 실시간으로 수행한다. IFU는 실험 대상 부 체계와 RTU를 전기적으로 연결한다.

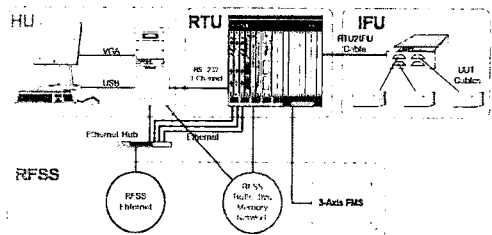


그림 1. HCS 구성도

2.1 설계방향

HILS 제어 시스템의 설계 기본 방향은 다음과 같다.

1. 상용 표준 버스 시스템에 근거한 설계
 - VME Bus, PCI Bus
 - 시스템 성능예측 및 입증된(Proven) 시스템 사양
2. 성능 입증된 고성능 직렬 통신방식 사용
 - MIL-STD-1553B 통신 방식
 - Reflective Memory Interface
3. 간략하고 표준화된 인터페이스 방식
 - 프로그램 개발 및 Debugging 및 시험에 사용
 - RS-232, RS-422/485(SDLC), Ethernet
4. 여분의 시스템 자원을 통한 시스템 확장성 확보
5. COTS 제품을 사용한 설계

- 상용 하드웨어
- 상용 소프트웨어
- 6. 유지보수성을 고려한 모듈단위 구현
- 7. 시스템 프로그램 개발의 용이성
 - Tornado IDE 사용
- 8. C/C++ 언어를 사용한 시스템 프로그램 개발
- 9. 시스템 프로그램의 모듈화

2.2 시스템 하드웨어

2.2.1 Host Unit

HU는 RTU와 인터페이스 되어 RTU의 응용 프로그램을 개발하고, RTU의 실행 상태를 제어하는 기능을 한다. USB to RS232C 변환기 3 채널과 Ethernet을 사용하여 RTU와 통신하며, RM(Reflective Memory)을 사용하여 RTU와 실시간 통신 Network를 구성한다. HU의 개략적인 구성은 그림2와 같다.

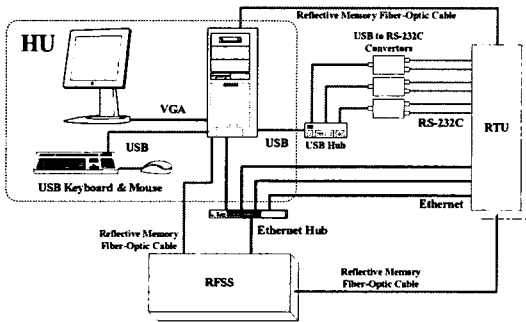


그림 2. HU 구성도

2.2.2 Real Time Unit

RTU의 구성은 그림3과 같다. RTU는 CPU Board 3장 (SCCB: System Control and Communication Board, CEB: Computing Engine Board)을 탑재하는 VME Bus 기반의 다중 프로세서 시스템이며, PTB(Precision Timer Board)를 사용하여 100 nanoseconds의 분해능으로 Timer Interrupt를 발생시킨다. 기존 시스템과의 인터페이스를 위하여 FCB(FMS Control Board)와 RTCB(Real Time Communication Board)를 장착하고, HILS에 필요한 각종 입출력(Analog, Digital, MIL-STD-1553B) 장치를 탑재한다. IFU와의 인터페이스 Connector 및 Cable Harness를 System Rack 후방에 설치하고, HU과의 인터페이스는 RS-232C 및 Ethernet을 사용한다.

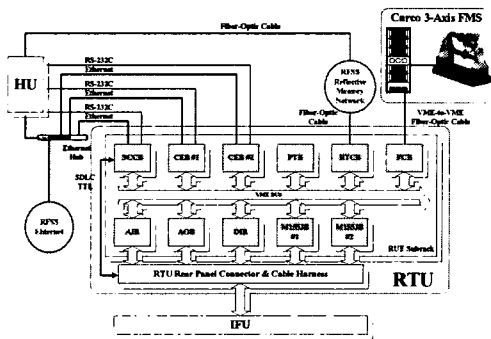


그림 3. RTU 구성도

2.2.3 Interface Unit

IFU는 IOPB와, HILS Cable Set으로 구성되며 RTU와 UUT들 간의 인터페이스를 담당한다. IOPB는 Signal Conditioning Module, 4개의 1553 Bus Coupler, IO

Switching Module 및 내부 Cable Harness로 구성된다. HILS Cable Set은 RTU와 IFU, RTU, IFU와 UUT들 간의 전기, 광학적인 통신 선로를 구성한다. 그림 4는 IFU의 개략적인 구성도이다.

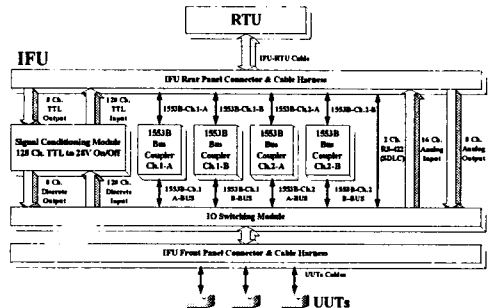


그림 4. IFU 구성도

2.3 시스템 소프트웨어

HCS의 소프트웨어 구성은 그림 5와 같다. 시스템 통합 개발 환경(IDE : Integrated Development Environment)인 Tornado와 NFS Server는 Windows 2000 Professional기반의 PC인 HU에서 실행된다. RTU는 실시간 운영 체제인 VxWorks를 사용하며, 다중 프로세서 운영을 지원하는 VxMP를 사용하여 프로세서간 데이터 공유 및 실행 흐름을 제어한다.

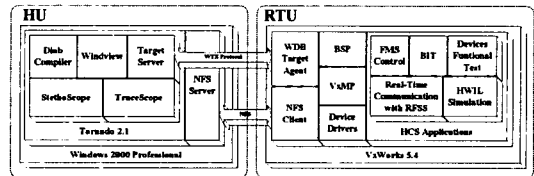


그림 5. HCS 소프트웨어 구성

모든 입출력 장치의 디바이스 드라이버는 Tornado 2.2/VxWorks 5.5 환경에서 입출력 기능을 개발/구동할 수 있도록 하며 C언어로 작성하도록 한다. Device Drivers가 제공되는 입출력 장치는 PTB, AIB(Analog Input Board), AOB(Analog Output Board), DIB(Digital Input Board), M1553B, RTCB, 및 FCB이며, 각 입출력 장치의 모든 하드웨어 기능을 사용할 수 있도록 한다.

2.3.1 BIT 및 자기진단 소프트웨어

RTU에 설치된 모든 Board 수준의 장치들은 각각의 BIT Software를 사용하여 고장 진단이 가능하다. BIT는 시스템 초기화 시에 자동으로 수행되도록 개발하고, 사용자의 요구에 따라 BIT를 수행할 수 있도록 별도의 응용 프로그램과 API(Application Program Interface)형태로 구성한다. BIT의 결과는 NFS를 통하여 HU에 전달되고 사용자가 확인하기 쉬운 형태로 저장한다.

2.3.2 실시간 모의시험 소프트웨어

HCS의 실시간 모의시험 운용 상태 흐름도는 그림 5와 같다. Init 상태에서는 HCS의 하드웨어 및 소프트웨어의 초기화를 수행하고, Run 상태에서 실시간 모의시험이 수행되며, Data Collection 상태에서는 실시간으로 저장된 데이터를 NFS를 통하여 HU에 수집, 저장한다.

3개의 프로세서를 사용하여 HILS를 수행하는 소프트웨어 구조는 그림 6과 같다. SCCB는 PTB의 주기적인 인터럽트를 사용하여 최소 0.5msec(2kHz)마다 Frame Master Task를 활성화 시킨다. Frame Master Task는 세마포어 및 메시지큐를 사용하여 CEB에서 수행되는

Frame Slave Task들을 동기화 시키며, Shared Memory Pool을 사용하여 시스템 전역 변수 공간을 확보한다. 전역 변수들의 consistency를 유지하기 위하여 critical한 영역의 데이터 영역은 write시에 세마포어를 사용하여 blocking한다. 모든 입출력에 관련된 computing, 시스템 동기화 및 자료획득 기능 등은 SCCB에서 처리하며, CEB들은 HILS에 요구되는 수학 모델 연산에 사용된다. HILS 수행 종료 후 SCCB는 NFS를 사용하여 획득된 자료를 HU으로 전송한다.

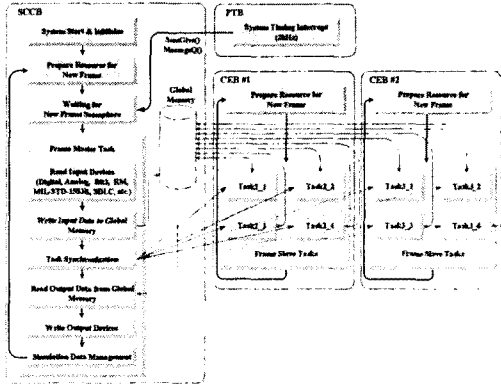


그림 6. 다중 프로세서 기반의 HILS 소프트웨어 구조

3. 시스템 통합 시험

HCS의 통합 성능 시험을 위하여 대표적인 6자유도 시뮬레이션 프로그램과 3축 비행자세모의기를 사용하여 페루프 HILS 시연을 수행한다. 유도탄의 6-DOF 운동데이터 중 각운동량은 FMS 자세 궤환값을 획득하고, 병진 운동 데이터는 Aero-dynamic 모델을 계산하여 획득한다. SCCB는 전체 HILS의 흐름제어, 입출력 장치제어, HILS 자료획득 및 모니터링의 역할을 수행하며, CEB 1은 유도탄과 표적의 운동 방정식을 계산하고, CEB 2는 부체계 모델들의 연산에 사용한다. 그림 7은 HILS 시연 소프트웨어 구성이다.

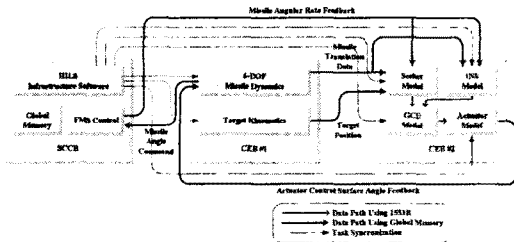


그림 7. HILS 시연용 소프트웨어 구조

4. 결 론

HCS는 중거리 지대공 유도탄 HILS를 위해 개발한 고속 다기능 실시간 시스템이다. HCS는 모의비행시험에 적용하여 500uSec Hard Real Time 성능과 직렬통신, 아날로그 및 디지털 신호의 고속 입출력 성능을 만족하였다. 향후, 다중 프로세서를 장착한 SBC를 HCS에 적용할 경우, SBC 프로세서간의 고속 데이터 전송에 소요되는 Latency가 감소하게 되므로 보다 고속의 실시간 시스템을 구축할 수 있을 것으로 기대된다.