2005년도 대한전기학회 하계학술대회 논문집 2005. 7. 18 - 20

저전압 저전력 아날로그 멀티플라이어 설계

이근호, 설남오
전주대학교 정보기술공학부, 서남대학교 전기전자공학과

Design of a Analog Multiplier for low-voltage low-power

Goun Ho Lee, Nam-O Seul
Information Technology & Engineering Jeonju University, Seonam University Electrical & Electric Dept.

Abstract - In this paper, the CMOS four-quadrant analog multipliers for low-voltage low-power applications are presented. The circuit approach is based on the characteristic of the LV (Low-Voltage) composite transistor which is one of the useful analog building blocks. SPICE simulations are carried out to examine the performances of the designed multipliers. Simulation results are obtained by 0.25㎛ CMOS parameters with 2V power supply. The LV composite transistor can easily be extended to perform a four-quadrant multiplication. The multiplier has a linear input range up to ±0.5V with a linearity error of less than 1%. The measured -3dB bandwidth is 290MHz and the power dissipation is 373㎼. The proposed multiplier is expected to be suitable for analog signal processing applications such as portable communication equipment, radio receivers, and hand-held movie cameras.

1. 서 론

최근 수년간 정보통신 관련 기기에 있어서의 두드러진 경향은 휴대용 컴퓨터와 이동통신기기에 대한 수요의 급증 추세이다. 종전에는 집적회로의 설계에서 동작속도의 고속화와 칩 면적의 최소화에 주안점을 두어왔으며, 이러한 문제들은 공정기술의 발달에 의해서 어느 정도 그 목표를 달성하였다고도 볼 수 있다.[1-4] 그러나 휴대용 정보통신기기에서는 기기의 동작을 주로 2차 전지에 의존하기 때문에 필요한 전지의 무게와 재충전사이의 사용시간이 중요한 고려사항이다. 따라서 휴대용 기기를 주어진 시간동안 동작시키기 위해서는 특별히 칩의 전력소모가 작도록 설계하여야 한다.[5-7] 이렇게 설계된 회로의 전력소모를 작게 하기 위해서는 동작전압을 낮게 하는 것이 최선의 방법으로 연구되고 있는 실정이다.[8-10] 또한 집적회로의 발전추세를 보면 집적회로의 집적도, 신뢰도의 계속적인 증가의 결과로 인하여 아날로그와 디지털시스템을 동일한 칩 상에서 집적화 시키는 경향이 두드러지고 있다. 여러 시스템들이 아날로그와 디지털 혼성모드방식을 이용한 동일 칩 상에 공존해야하고 고성능화와 더불어 다기능화로 되어감에 따라 아날로그 집적회로에 대한 특성상의 요구도 다양화되고 있다. 그 중에서도 가장 큰 요구사항은 디지털 회로의 저전압화에 발맞추어 기존의 아날로그 회로들도 저 전압 하에서 동작해야 한다는 것이다. 따라서 본 논문에서는 저전압하에서 동작 가능한 아날로그 멀티플라이어를 설계하였다. 아날로그 멀티플라이어란 두신호의 곱에 비례한 출력을 발생시키는 장치로서 통신 시스템에서 통신에 필요한 신호를 변조, 복조 시킨다는 측면에서 중요한 블록으로 다루어지고 있다.[10] 제안된 멀티플라이어는 2V 공급전압에서 동작 가능하도록 설계되었으며, 0.6㎛ 공정 파라미터를 이용한 Hspice 시뮬레이션 결과 ±0.5V까지의 입력선형범위내에서 선형도에 대한 오차는 1%미만이었다. 또한 -3dB 점에서의 대역폭은 290 MHz, 그리고 전력소모는 373㎼값을 나타내었다. 설계된 멀티플라이어는 phase-locked loops, frequency mixers, adaptive filters, modulators, neural networks, 그리고 각종 신호처리 소자의 기본 블록으로서 널리 이용될 수 있을 것으로 생각된다.

2. CBT와 링크 속도 예측

2.1 CBT프로토콜

CMOS 아날로그 멀티플라이어를 설계하는데 있어 MOS 트랜지스터의 square-law 특성을 이용하는 방식이 자주 이용되고 있다. 멀티플라이어에서 각각의 기본 블록은 MOS 트랜지스터가 포화영역에서 동작할 때 구현된다. 입력이 게이트와 소스에 인가될 때 소스단은 낮은 입력 임피던스로 인해 버퍼회로보다 앞서 동작하여야 한다. 따라서 이러한 문제를 해결하기 위한 방식으로 그림 2.1에 나타난 것과 같이 상보형 트랜지스터구조를 이용하는 방식이 있다.[11][12] 상보형 트랜지스터 구조는 NMOS 혹은 PMOS 하나가 포화영역에서 동작하는 경우로 등가화 될 수가 있다.

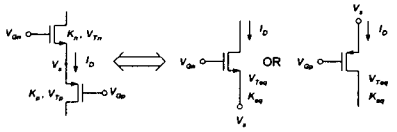

그림 2.1 기존의 CMOS 상보형 트랜지스터
Fig. 2.1. Conventional CMOS composite transistor

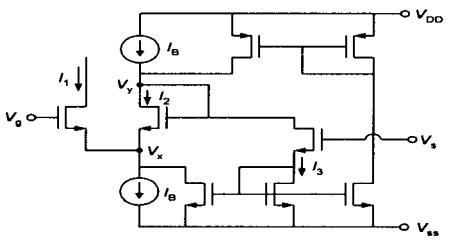

그림 2.2 LV 상보형 트랜지스터
Fig. 2.2 LV composite transistor

그림 2.2에서 모든 트랜지스터가 포화영역에 있으면 각 MOS의 게이트-소스전압은 다음과 같이 표현될 수 있다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \tag{2.1}$$

$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \tag{2.2}$$

$$V_y - V_s = \sqrt{\frac{2I_3}{K_{p1}}} + |V_{Tp}| \tag{2.3}$$

식 (2.3)을 이용하여 게이트-소스전압 V_{gs} 를 계산하면 다음과 같다.

$$V_{gs} = V_g - V_s = \sqrt{\frac{2I_1}{K_{n1}}} - \sqrt{\frac{2I_2}{K_{n2}}} + \sqrt{\frac{2I_3}{K_{p1}}} + |V_{Tp}| \tag{2.4}$$

이때 I_1과 I_3값이 같고, I_2와 I_B값이 같으므로 식 (2.4)는 다음과 같이 표현될 수 있다.

$$V_{gs} = \sqrt{\frac{2I_1}{K_{eq}}} - \sqrt{\frac{2I_B}{K_{n2}}} + |V_{Tp}| \tag{2.5}$$

여기에서 LV 상보형 트랜지스터의 등가 트랜스컨덕턴스 파라미터 K_{eq}는 다음과 같다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \tag{2.6}$$

또한 전류 I_1과 등가문턱전압 V_{Teq}는 다음과 같이 간단히 표현될 수 있다.

$$I_1 = \frac{K_{eq}}{2}\,(V_{gs} - V_{Teq})^2 \tag{2.7}$$

$$V_{Teq} = |V_{Tp}| - \sqrt{\frac{2I_B}{K_{n2}}} \tag{2.8}$$

식 (2.8)에서 볼 수 있듯이 등가문턱전압은 $\sqrt{2I_B/K_{n2}}$ 항에 의해 감소된다. 이는 LV 상보형 트랜지스터 회로구조에서 가장 중요한 특성으로 감소된 등가문턱전압에 의해 동작 전압 범위를 확장시키고 따라서 낮은 공급전압으로도 회로를 구동시킬 수 있다는 장점이 된다.

2.2 상보형 구조를 이용한 CMOS 멀티플라이어 설계

앞에서 언급된 LV 상보형 트랜지스터 구조가 아날로그 멀티플라이어를 설계하는데 이용될 수 있다. 본 논문에서는 네 개의 LV 상보형 트랜지스터를 이용하여 아주 간단한 구조로 멀티플라이어를 설계하였다. 그림 3.1에서 설계된 회로의 전체 구조를 보여주고 있으며, 동작원리는 다음과 같다.

그림 3.1에서의 MOS 소자가 모두 포화영역에 바이어스 되어있다면, 각 단의 트랜스컨덕턴스 파라미터와 문턱전압이 각각 K_{eq}, V_{eq}와 같다. 이때 MOS 방정식을 이용하면, 전류값 I_1, I_2, I_3 그리고 I_4 는 다음의 식 (3.1)과 같이 표현될 수 있다.

$$I_1 = \frac{K_{eq}}{2}\,(V_1 - V_3 - V_{Teq})^2 \tag{3.1-a}$$

$$I_2 = \frac{K_{eq}}{2}\,(V_1 - V_4 - V_{Teq})^2 \tag{3.1-b}$$

$$I_3 = \frac{K_{eq}}{2}\,(V_2 - V_3 - V_{Teq})^2 \tag{3.1-c}$$

$$I_4 = \frac{K_{eq}}{2}\,(V_2 - V_4 - V_{Teq})^2 \tag{3.1-d}$$

따라서 멀티플라이어의 출력전류 I_{out}은 다음과 같다.

$$I_{out} = (I_1 + I_4) - (I_2 + I_3) = K_{eq}(V_1 - V_2)(V_3 - V_4) \tag{3.2}$$

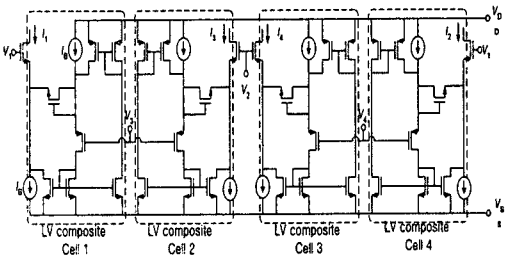

그림 3.1 상보형 구조 CMOS 멀티플라이어
Fig. 3.1 Composite cell CMOS multiplier

곱셈상수 K_{eq}에 의해 선형적인 출력을 얻을 수 있으며, 다음과 같이 정의할 수 있다.

$$V_1 = V_{cm1} + \frac{\Delta v_{12}}{2} \tag{3.3-a}$$

$$V_2 = V_{cm1} - \frac{\Delta v_{12}}{2} \tag{3.3-b}$$

$$V_3 = V_{cm2} + \frac{\Delta v_{34}}{2} \tag{3.3-c}$$

$$V_4 = V_{cm2} - \frac{\Delta v_{34}}{2} \tag{3.3-d}$$

이때 Δv_{12}과 Δv_{34}는 두 개의 차동 입력값을 나타내고, 동상모드 직류전압 V_{cm1}과 V_{cm2} 는 각각 입력신호 Δv_{12}과 Δv_{34}을 이용하여 표현할 수 있다. 두 개의 차동 입력 전압은 다음과 같이 정의될 수 있다.

$$\Delta v_{12} = V_1 - V_2 \tag{3.4}$$

$$\Delta v_{34} = V_3 - V_4 \tag{3.5}$$

또한 출력 전류값은 다음과 같이 얻을 수 있다.

$$I_{out} = K_{eq}\,\Delta v_{12}\,\Delta v_{34} \tag{3.6}$$

지금까지 수식적인 해석을 통해 그림 3.1에서와 같이 LV 상보형 Cell 네 개로 구성된 회로가 아날로그 멀티플라이어의 역할을 할 수 있음을 보여주었다. 출력 전류 I_{out}은 전류미러 방식을 이용하거나 저항을 이용하여 출력전압으로 변환시킴으로서 그 값을 얻어낼 수 있다.

그림 3.1에서의 모든 트랜지스터들이 포화영역에서 동작하기 위해서는 입력신호의 범위가 다음의 식 (3.7)과 (3.8)을 만족하여야 한다..

$$|V_1, V_2| \geq \min\{\, V_{Tn} + V_{DS,sat,I_B} \} \tag{3.7}$$

$$|V_3, V_4| \leq \max\{\, V_{DD} - |V_{TP}| - V_{DS,sat,I_B} \} \tag{3.8}$$

이때 V_{DS,sat,I_B} 는 전류원에서 드레인-소스 포화 전압이다.

2.3 실험 및 고찰

그림 4.1은 -0.5V 에서 +0.5V까지 변화하는 $V_1 - V_2$ 그리고 -0.5V to +0.5V까지 변화하는 $V_3 - V_4$ 에서 멀티플라이어를 통해 입력되는 전압에 대한 출력전압의 변화값을 0.1V 단위로 보여주고 있다. 설계된 멀티플라이는 ±0.5V 영역에서 선형성을 가지고 있다.

그림 4.2는 $V_1 - V_2$가 5MHz에서 $0.5V_{p\,p}$값을 갖는 사인파와 $V_3 - V_4$가 150MHz의 $0.5V_{p\,p}$값을 갖는 사인파의 변조특성을 보여주고 있다. 이는 설계된 회로가 모듈레이터로서 동작 가능함을 나타낸다.

그림 4.3는 주파수 doubler로서의 멀티플라이어의 성능을 나타내고 있다. 입력 신호는 $0.5V_{p\,p}$에서 10MHz 값을 갖는 두 개의 사인파로 설정하였다. 출력값은 입력신호 주파수의 두배가 된 사인파가 나오고 있음을 알 수 있다.

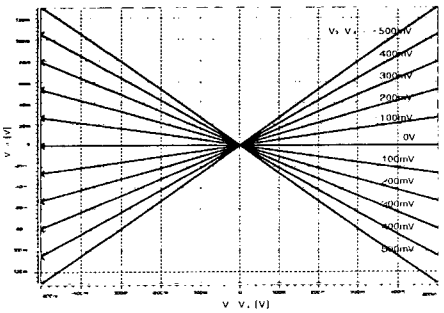

그림 4.1 CMOS 멀티플라이어의 DC 전달특성
Fig. 4.1. DC transfer curves of composite cell CMOS multiplier

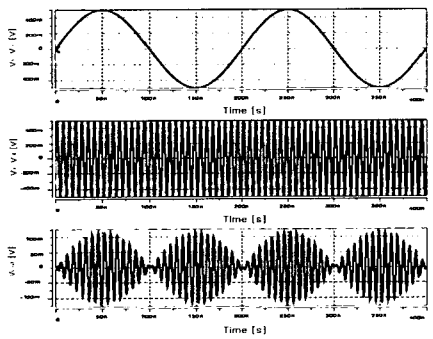

그림 4.2 설계된 CMOS 멀티플라이어의 변조 특성
Fig. 4.4. Modulation waveform diagram

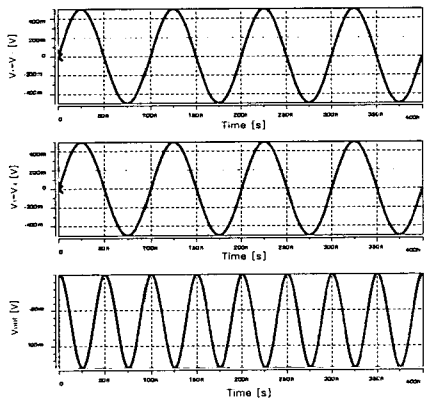

그림 4.3 주파수가 같은 두 입력에 대한 출력값
Fig. 4.5. Multiplication of two sine waves of the same frequency

Power supply voltage	2V
Bias currents	13μA
Input range	±0.5V
Linearity error	< 1%
-3dB Frequency	290MHz
Power dissipation	373μW

표 4.1 설계된 CMOS 멀티플라이어의 성능
Table 4.1. Performances of the multiplier in Fig. 3.3

3. 결 론

종전에는 집적회로의 설계에서 동작속도의 고속화와 칩 면적의 최소화에 주안점을 두어왔으며, 이러한 문제들은 공정기술의 발달에 의해서 어느 정도 해결되었고, 따라서 휴대용 기기를 주어진 사양에서 되도록 오랜 시간 동작시키기 위해서는 특별히 칩의 전력소모가 작도록 설계하기 위해 그 연구가 이루어지고 있는 실정이다. 이렇게 설계된 회로의 전력소모를 작게 하기 위해서는 동작전압을 낮게 하는 것이 최선의 방법으로 연구되고 있다. 본 논문에서는 이러한 추세에 부합하는 저전압 저전력의 CMOS 아날로그 멀티플라이어를 설계하였다.

설계된 멀티플라이어는 0.6 ㎛ CMOS 공정 파라미터를 이용한 Hspice 시뮬레이션 결과 단일 2V 공급전압하에서 동작이 가능하며, 입력 선형범위가 ±0.5V이고 선형 오차는 1% 미만의 값을 보여주었다. 또한 실험결과에서도 보여졌듯이 -3dB에서의 대역폭은 290MHz 그리고 소모되는 전력 값이 373㎼값을 나타내었다.

따라서 제안된 멀티플라이어는 저전압, 저전력 시스템에서 응용가능하며, 보다 간단한 구조를 지님으로서 차지하는 칩면적을 현저히 줄일 수 있다는 장점이 있다. 향후에는 이러한 특성을 지니며 입력 전압범위를 증가시킬 수 있는 방식의 회로가 병행되어야 할 것으로 사료된다.정과 프로토콜 시뮬레이션을 통한 성능 평가가 필요하다

[참 고 문 헌]

[1] Shah, S.; Al-Khalili, A.J.; Al-Khalili, D,"Comparison of 32-bit multipliers for various performance measures", Proceedings of the 12th International Conference , Oct. 2000 pp.75-80

[2] Wiatr, K.,"Implementation of multipliers in FPGA structures", Quality Electronic Design, 2001 International Symposium, March 2001 pp.415-420

(3) Chen, O.T.-C.; Sandy Wang; Yi-Wen Wu," Minimization of switching activities of partial products for designing low-power multipliers", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume 11, Issue 3, June 2003 pp. 418-433

(4) Hunsoo Choo; Muhammad, K.; Roy, K.,"Two's complement computation sharing multiplier and its applications to high performance DFE," IEEE Transactions on Signal Processing, Volume 51, Issue 2, Feb. 2003 pp.458-469

(5) Ermak, G.P.; Kuprijanov, P.V.,"Development of a planar multiplier circuit for millimeter-wave frequency multipliers," The Fourth International Kharkov Symposium on Physics and Engineering of Millimeter and Sub-Millimeter Waves, 2001. Volume 2, 4-9 June 2001 pp.696-698